



(12)发明专利

(10)授权公告号 CN 106301337 B

(45)授权公告日 2019.12.06

(21)申请号 201510242709.7

(22)申请日 2015.05.13

(65)同一申请的已公布的文献号
申请公布号 CN 106301337 A

(43)申请公布日 2017.01.04

(73)专利权人 恩智浦有限公司
地址 荷兰艾恩德霍芬

(72)发明人 晏进喜 黄水文 恽廷华

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51)Int.Cl.

H03K 19/0175(2006.01)

(56)对比文件

CN 1694425 A,2005.11.09,
CN 103647544 A,2014.03.19,
CN 104052456 A,2014.09.17,
US 2012/0002573 A1,2012.01.05,

审查员 吴一帆

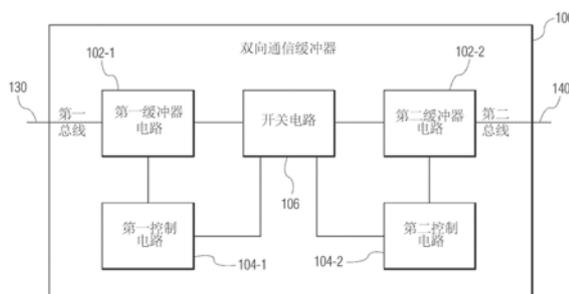
权利要求书2页 说明书7页 附图11页

(54)发明名称

双向通信的方法和系统

(57)摘要

描述了双向通信的方法和双向通信缓冲器。在一种实施方式中,描述了双向通信的方法,其使用具有相反数据传输方向的第一和第二通信总线。该双向通信的方法涉及:检测来自第一通信总线的信号,缓冲所检测的信号,以及通过第二通信总线传输缓冲的信号,并阻止来自第二通信总线的数据传输。还描述了其他实施方式。



1. 一种双向通信的方法,其特征在于,所述方法包括:

用第一控制电路检测来自第一通信总线的信号,并产生第一控制信号,第一控制电路包括单触发电路与锁存电路;以及

缓冲该检测到的信号,通过第二通信总线传输缓冲的信号的同时阻止来自第二通信总线的数据的传输;其中第一和第二通信总线具有相反的数据传输方向;

其中,检测来自第一通信总线的信号包括:检测来自第一通信总线的信号的下降沿或上升沿;

其中,缓冲该检测到的信号及通过第二通信总线传输缓冲的信号包括:以第一控制信号来控制逻辑电路,所述来自第一通信总线的信号通过逻辑电路被传输到第二通信总线;

其中,所述逻辑电路包括或非门,所述来自第一通信总线的信号通过所述或非门被传输到第二通信总线;

其中,以第一控制信号来控制逻辑电路,所述信号通过逻辑电路被传输到第二通信总线包括:

生成所述信号的延迟和反转的版本,包括使用奇数个反相器处理所述信号,其中所述奇数个反相器为至少三个;以及

将所述信号与所述信号的延迟和反转的版本合并,包括:将所述信号以及所述信号的延迟和反转的版本输入到与非门。

2. 如权利要求1所述的方法,其特征在于,进一步包括:对从第一通信总线所接收的输入信号进行电平移位,以生成所述信号。

3. 如权利要求1所述的方法,其特征在于,阻止来自第二通信总线的数据的传输包括:响应于所述第一控制信号,生成第二控制信号,以控制第二逻辑电路,来自第二通信总线的信号通过第二逻辑电路被传输。

4. 如权利要求3所述的方法,其特征在于,所述第二逻辑电路包括或非门,来自第二通信总线的信号通过所述或非门被传输。

5. 如权利要求1所述的方法,其特征在于,检测来自第一通信总线的信号包括:在检测来自第二通信总线的第二信号的下降沿之前,检测来自第一通信总线的信号的下降沿。

6. 一种双向通信的缓冲器,其特征在于,所述双向通信缓冲器包括:

第一控制电路,可操作地连接至第一通信总线,并配置为检测来自第一通信总线的第一信号以产生第一控制信号;

第二控制电路,可操作地连接至第二通信总线,并配置为以第二控制信号来阻止来自第二通信总线的数据的传输;其中第一和第二通信总线具有相反的数据传输方向;

第一缓冲器电路,可操作地连接到第一通信总线;

第二缓冲器电路,可操作地连接到第二通信总线,并配置为缓冲第一信号,以通过第二通信总线传输;以及

开关电路,可操作地连接到第一和第二控制电路以及第一和第二缓冲器电路;并配置为经第一控制信号的控制而将第一信号传送到第二缓冲器电路;

其中所述第一控制电路包括单触发电路与第一锁存电路,配置为检测所述第一信号的下降沿或上升沿以产生第一控制信号;

其中所述单触发电路包括奇数个反相器,配置为生成第一信号的延迟和反转版本;以

及与非门,配置为接收所述第一信号以及第一信号的延迟和反转版本;其中所述奇数个反相器为至少三个;

所述开关电路包括第一或非门,第一信号通过第一或非门被传输到第二通信总线;以及其中第一锁存电路配置为生成第一控制信号,以控制第一或非门。

7.如权利要求6所述的双向通信缓冲器,其特征在于:所述第一缓冲器电路包括电平移位器,电平移位器配置为对从第一通信总线所接收的输入信号进行电平移位,以生成所述第一信号。

8.如权利要求6所述的双向通信缓冲器,其特征在于:第二控制电路包括单触发电路和第二锁存电路,配置为检测来自第二通信总线的第二信号的下降沿或上升沿而产生第二控制信号,其中所述开关电路包括第二或非门,第二信号通过第二或非门被传输到第一通信总线;以及其中第二控制电路的第二锁存电路配置为生成第二控制信号,以控制第二或非门。

9.一种包括如权利要求6所述的双向通信缓冲器的存储装置。

10.一种双向通信的方法,其特征在于,所述方法包括:

对从第一通信总线所接收的输入信号进行电平移位,以生成经处理的信号;

用第一控制电路检测经处理的信号的下降沿以产生第一控制信号,第一控制电路包括单触发电路与锁存电路;以及

缓冲所述经处理的信号,通过第二通信总线传输缓冲的经处理的信号,同时阻止来自第二通信总线的数据的传输;其中第一和第二通信总线具有相反的数据传输方向;

其中,缓冲所述经处理的信号以及通过第二通信总线传输缓冲的经处理的信号包括:以第一控制信号来控制第一或非门,经处理的信号通过所述第一或非门被传输到第二通信总线;

其中,以第一控制信号来控制第一或非门,所述经处理的信号通过第一或非门被传输到第二通信总线包括:

使用奇数个反相器生成所述经处理的信号的延迟和反转版本,其中所述奇数个反相器为至少三个;以及

将所述经处理的信号和所述信号的延迟和反转版本输入到与非门。

11.如权利要求10所述的方法,其中阻止来自第二通信总线的数据的传输包括:响应于第一控制信号,生成第二控制信号,以控制第二或非门,来自第二通信总线的信号通过所述第二或非门被传输。

双向通信的方法和系统

技术领域

[0001] 本发明涉及一种双向通信的方法与系统,特别地,涉及一种双向通信的方法与双向通信缓冲器。

背景技术

[0002] 双向通信缓冲器可以作为在不同方向上传输数据的多个通信装置之间的中间装置。示例地,可以使用双向缓冲电路来缓冲来自具有不同的数据传输方向的总线上的数据。双向通信缓冲器可用于各种类型的数据通信。例如,双向缓冲电路可以用在数据存储装置中,如存储器/闪存卡;或者用在通信接口装置中,例如网络卡。

[0003] 现有的双向通信缓冲器通常不能有成本效益地支持高性能的高速传输。比如,一些双向缓冲电路需要专用的终端/引脚来检测数据传输方向。然而,专用的终端/引脚占用双向缓冲电路的电路空间,并可能降低传输的可靠性。一些双向缓冲电路无需专用终端/引脚就可以检测数据传输方向。但是,这些双向缓冲电路仅能支持低速传输,且在所传送的信号中可能产生尖刺,这会影响数据传输性能。

发明内容

[0004] 描述了双向通信的方法和双向通信缓冲器。在一种实施方式中,描述了双向通信的方法,其使用具有相反数据传输方向的第一和第二通信总线。该双向通信的方法涉及:检测来自第一通信总线的信号,缓冲所检测的信号,以及通过第二通信总线传输缓冲的信号,并阻止来自第二通信总线的数据传输。还描述了其他实施方式。

[0005] 根据一种实施方式,一种双向通信缓冲器包括:第一控制电路,可操作地连接到第一通信总线,并配置为检测来自第一通信总线的第一信号;第二控制电路,可操作地连接到第二通信总线,并配置为阻止来自第二通信总线的数据传输;第一缓冲器电路,可操作地连接到第一通信总线;第二缓冲器电路,可操作地连接到第二通信总线,并配置为缓冲第一信号,以通过第二通信总线进行传输;以及开关电路,可操作地连接到第一和第二控制电路以及第一和第二缓冲器电路,并配置为将第一信号传送到第二缓冲器电路。第一与第二通信总线具有相反方向的数据传输。

[0006] 在一种实施方式中,一种双向通信的方法涉及:对从第一通信总线所接收的输入信号进行电平移位,以生成经处理的信号;检测经处理的信号的下降沿;以及缓冲所述经处理的信号,通过第二通信总线传输缓冲的经处理的信号,同时阻止来自第二通信总线的数据传输。第一和第二通信总线具有相反的数据传输方向。

[0007] 本发明的各实施方式的其他方面和优点将通过以下详细描述结合所附的附图进一步阐明。

附图说明

[0008] 图1所示的是根据本发明一种实施方式的双向通信缓冲器的模块示意图。

- [0009] 图2描述了图1中所示的双向通信缓冲器的一种实施方式。
- [0010] 图3所示的是图2中的双向通信缓冲器的单触发电路的一种实施方式。
- [0011] 图4A示出了图3中所示的单触发电路在低速模式下的信号时序图。
- [0012] 图4B所示的是图3中单触发电路在高速模式下的信号时序图。
- [0013] 图5所示的是图2中的双向通信缓冲器在低速模式下的信号时序图。
- [0014] 图6所示的是图2中的双向通信缓冲器在低速模式下的另一信号时序图。
- [0015] 图7所示的是图2中的双向通信缓冲器在高速模式下的信号时序图。
- [0016] 图8所示的是图2中的双向通信缓冲器在高速模式下的另一信号时序图。
- [0017] 图9为根据本发明一种实施方式的双向通信的方法的流程图。
- [0018] 图10是根据本发明一种实施方式的双向通信方法的流程图。
- [0019] 在本描述中,相似的标号能够用于标识相似的元件。

具体实施方式

[0020] 应当理解的是,本发明各实施方式中所提及的并在后附的图形中展示的各元件可以在更广范围内以不同的设置方式进行布置和设计。从而,以下关于各实施方式所描述的以及附图中所表示的本发明的细节,仅表示各实施方式的代表,但并不表示对本发明范围的限制。同时,本发明实施方式的各部分在附图中有所展示,但除非特别说明,附图并不绘制为限制比例。

[0021] 以下所述的各实施方式在任何情况下都应当仅理解为示例性地而非限制性地。因此,本发明的范围应当由后述的权利要求书而不是本实施方式说明来标示。任何在权早要求的意述和等同范围内的变化,都应当认为是包含于本发明的权利要求之内。

[0022] 在本说明书中,对于特征、优点或相似表述的指代,并不意味着由本发明可以实现的特征和优点是在或应当在本发明的任何单独的实施方式中。相反,对于特征和优点的指代性语言应当理解为表明至少一个本发明的实施方式中包括了通过某一实施方式所描述了的特定的特征、优点或特性。因此,本说明书中对于特征、优点或类似语言的描述可能但不必然地指向相同的实施方式。

[0023] 进一步地,所描述的本发明的各特征、优点和特点在一个或多个实施方式中可以以任意合适的方式进行组合。所属技术领域的技术人员可以意识到,通过以下描述,本发明可以实现为不具备某个特定实施方式中的一个或多个特定的特征或优点。在其他例子中,也可以意识到其具有未被各实施方式所描述的其他特征或优点。

[0024] 在本说明书中,对于“实施方式”或相似表述的指代,意味着与所指的实施方式相关描述的特定的特征、结构或优点是包括在本发明的至少一个实施方式中。因此,本说明书中对于“在一个实施方式中”或类似语言的描述可能但不必然地指向相同的实施方式。

[0025] 图1所示的是根据本发明一种实施方式的双向通信缓冲器100的模块示意图。双向通信缓冲器作为在不同方向的多个总线之间的中间装置。比如,双向通信缓冲器可作为第一总线130和与第一总线反向的第二总线140之间的中间装置。双向通信缓冲器将来自第一总线的信号缓冲,并通过第二总线传输缓冲的信号,同时限制来自第二总线的输入信号。或者,双向通信缓冲器可以将来自第二部分的信号缓冲,并通过第一总线传输缓冲的信号,同时限制来自第一总线的输入信号。双向通信缓冲器可以用于各种类型的数据通信。例如,双

向通信缓冲器可以用在数据存储设备中,如存储器/闪存卡,或者用在通信接口装置中,如网络卡。在一些实施方式中,双向通信缓冲器用于高速双向数据传输,例如兼容安全数字(Secure Digital,SD)3.0的数据传输。

[0026] 在图1所示的实施方式中,双向通信缓冲器100包括:可操作地连接至第一总线130的第一缓冲器电路102-1、第一控制电路104-1、开关电路106、可操作地连接至第二总线的第二缓冲器电路102-2、以及第二控制电路104-2。尽管双向通信缓冲器在图1中显示为包括了特定的元件,在一些实施方式中,该双向通信缓冲器包括更多或更少的元件,以实现更多或更少的功能。例如,双向通信缓冲器可以包括一个或多个另外的缓冲器电路,以适应于一个或多个另外的总线。与传统的需要终端/引脚来感测/控制传输方向的双向通信缓冲器相比,该双向通信缓冲器不需要另外的终端/引脚来感测/控制传输方向。因此,双向通信缓冲器的电路面积可以减小,并且传输的可靠性可以得到提高。此外,与传统的在信号中通常产生尖刺的双向通信缓冲器相比,该双向通信缓冲器可以缓冲和传输数据,而没有明显数量的尖刺。从而,该双向通信缓冲器的数据传输速度可以得到提升。比如,该双向通信缓冲器可以支持SD 3.0或其他高速数据传输协议,其可以具有208兆字节/秒或更高的数据传输速度。

[0027] 双向通信缓冲器100的第一缓冲器电路102-1耦合到第一总线130,并且配置为缓冲将要通过第一总线传输的信号和/或从第一总线所接收的信号。在一些实施方式中,第一缓冲器电路包括处理电路,处理电路可以改变(例如放大)从第一总线所接收的信号以及将通过第一总线传输的信号。比如,第一缓冲器电路可以包括电平移位器,其通过增大从第一总线所接收的信号的幅度来对从第一总线所接收的信号执行电平移位。在一些实施方式中,电平移位器增大从第一总线所接收的信号的幅度,而并不影响或改变从第一总线所接收信号的时序/相位。

[0028] 双向通信缓冲器100的第一控制电路104-1配置为控制开关电路106,以基于来自第一缓冲器电路102-1和/或第二缓冲器电路102-2的信号而允许或不允许来自第一总线130的信号通过该开关电路。在一些实施方式中,第一控制电路感测来自第一总线的信号的上升沿和/或下降沿,并生成控制信息,以允许或不允许来自第一总线的信号通过开关电路。第一控制电路并不需要独立的终端/引脚来感测/控制传输方向。因此,第一控制电路的电路面积可以得到节省,并且传输的可靠性得以提升。

[0029] 双向通信缓冲器100的第二缓冲器电路102-2被耦合到第二总线140,并配置为缓冲将要通过第二总线传输的信号和/或从第二总线接收的信号。在一些实施方式中,第二缓冲器电路包括处理电路,处理电路可以改变(例如放大)从第二总线所接收的信号以及将通过第二总线传输的信号。比如,第一缓冲器电路可以包括电平移位器,其通过增大从第二总线所接收的信号的幅度来对从第二总线所接收的信号执行电平移位。在一些实施方式中,电平移位器增大从第二总线所接收的信号的幅度,而并不影响或改变从第二总线所接收信号的时序/相位。

[0030] 双向通信缓冲器100的第二控制电路104-2配置为控制开关电路106,以基于来自第二缓冲器电路102-2和/或第一缓冲器电路102-1的信号而允许或不允许来自第二总线130的信号通过该开关电路。在一些实施方式中,第二控制电路感测来自第二总线的信号的上升沿和/或下降沿,并生成控制信息,以允许或不允许来自第二总线的信号通过开关电

路。第二控制电路并不需要独立的终端/引脚来感测/控制传输方向。因此,第二控制电路的电路面积可以得到节省,并且传输的可靠性得以提升。

[0031] 双向通信缓冲器100的开关电路106配置为,基于来自第一控制电路104-1或第二控制电路104-2的输入,而允许或不允许来自第一总线130或第二总线140的信号通过。在一些实施方式中,开关电路将来自第一总线的信号传送/发送到第二缓冲器电路102-2,并将来自第二总线的信号传送/发送到第一缓冲器电路102-1。

[0032] 图2描述了图1中所示的双向通信缓冲器100的一种实施方式。在图2所示的实施方式中,双向通信缓冲器200包括:可操作地连接到总线A的第一缓冲器电路202-1、第一控制电路204-1、开关电路206、可操作地连接到总线B的第二缓冲器电路202-2、以及第二控制电路204-2。图2中所示的双向通信缓冲器是图1中示出的双向通信缓冲器的一种可能的实现方式。然而,图1中所示的双向通信缓冲器可以实现为与图2中的双向通信缓冲器不同。本发明并不局限于图2中所示的这种双向通信缓冲器的特定实现方式。

[0033] 双向通信缓冲器200的第一缓冲器电路202-1包括:电平移位器210-1、上拉电阻212-1、两个缓冲器214-1和214-2、以及两个晶体管216-1与218-1。第一缓冲器电路配置为缓冲将要通过总线A传输的信号“A_gatep”和“A_gaten”。电平移位器配置为通过增大信号的幅度来处理来自总线A的信号“IO_A”,以生成信号“IO_A_1s”。在一些实施方式中,信号IO_A_1s具有与信号IO_A相同的时序/相位。上拉电阻连接到电压Vdda,并且配置为当双向通信缓冲器上电时设置初始状态。缓冲器配置为缓冲来自总线B的信号A_gatep和A_gaten。PMOS晶体管216-1连接到缓冲器214-1,而NMOS晶体管218-1连接到缓冲器214-2。PMOS晶体管和NMOS晶体管用来控制缓冲器214-1、214-2对总线A的存取。

[0034] 双向通信缓冲器200的第一控制电路204-1包括单触发电路220-1、D锁存电路222-1、以及反相器或者非门224-1。第一控制电路配置为控制开关电路206,以允许或不允许来自总线A的信号IO_A通过该开关电路。单触发电路可用来产生具有固定持续时间的时序阶段。在一些实施方式中,单触发电路具有稳态和非稳(瞬时)态。在单触发电路进入到非稳态后,单触发电路将在固定时间后返回稳态。在图2所示的实施方式中,单触发电路配置为通过产生信号IO_A_1s的延迟和反转版本,并将信号IO_A_1s与其延迟和反转版本合并,以处理来自电平移位器210-1的信号IO_A_1s,据以生成信号A_rn提供给D锁存电路222-1。D锁存电路包括两个交叉连接的与非门226-1、226-2。在图2所示的实施方式中,D锁存电路从单触发电路接收信号A_rn,以及从反相器224-1接收信号A_sn,并生成输出信号A_ctrln。

[0035] 双向通信缓冲器200的第二缓冲器电路202-2包括:电平移位器210-2、上拉电阻212-2、两个缓冲器214-3和214-4、以及两个晶体管216-2与218-2。第二缓冲器电路配置为缓冲将要通过总线B传输的信号“B_gatep”和“B_gaten”。电平移位器配置为通过增大信号的幅度来处理来自总线B的信号“IO_B”,以生成信号“IO_B_1s”。在一些实施方式中,信号IO_B_1s具有与信号IO_B相同的时序/相位。上拉电阻连接到电压Vddb,并且配置为当双向通信缓冲器上电时设置初始状态。缓冲器配置为缓冲来自总线A的信号B_gatep和B_gaten。PMOS晶体管216-2连接到缓冲器214-3,而NMOS晶体管218-2连接到缓冲器214-4。PMOS晶体管和NMOS晶体管用来控制缓冲器214-3、214-4对总线B的存取。

[0036] 双向通信缓冲器200的第二控制电路204-2包括单触发电路220-2、D锁存电路222-2、以及反相器或者非门224-2。第二控制电路配置为控制开关电路206,以允许或不允许来

自总线B的信号IO_B通过该开关电路。单触发电路可用来产生具有固定持续时间的时序阶段。在一些实施方式中,单触发电路具有稳态和非稳(瞬时)态。在单触发电路进入到非稳态后,单触发电路将在固定时间后返回稳态。在图2所示的实施方式中,单触发电路配置为通过产生信号IO_B_1s的延迟和反转版本,并将信号IO_B_1s与其延迟和反转版本合并,以处理来自电平移位器210-2的信号IO_B_1s,据以生成信号B_rn提供给D锁存电路222-2。D锁存电路包括两个交叉连接的与非门226-3、226-4。在图2所示的实施方式中,D锁存电路222-2从单触发电路接收信号B_rn,以及从反相器224-2接收信号B_sn,并生成输出信号B_ctrln。

[0037] 双向通信缓冲器200的开关电路206包括:两个单触发电路220-3和220-4、两个反相器224-3和224-4、两个与门228-1和228-2、以及两个或非门232-1和232-2。开关电路配置为,基于来自第一控制电路204-1或第二控制电路204-2的输入信号A_ctrln或B_ctrln,来允许或不允许通过来自总线A或总线B的信号IO_A_1s、IO_B_1s。

[0038] 以下描述第一和第二控制电路204-1、204-2的运行的一个示例。在初始状态时,总线信号IO_A和IO_B由上拉电阻212-1、212-2上拉而处于高位,方向控制信号A_ctrln和B_ctrln为0,从而信号IO_A和IO_B可以从总线A或总线B进行传输。在第一控制电路204-1中,单触发电路220-1和D锁存电路222-1感测来自总线A的信号IO_A_1s的下降沿,并将或非门232-1的输出信号Net_B置为0,以允许来自总线A的信号IO_A_1s通过或非门232-1。一旦来自总线A一侧的信号IO_A_1s开始传输,总线B一侧的D锁存输出B_ctrln被设为逻辑高“1”,从而阻断总线B一侧的或非门232-2,因此信号只是从总线A一侧向总线B一侧传输。如果总线A被释放(如信号IO_A变为“1”),控制电路为下一次传输而将信号A_ctrln和B_ctrln重置为“0”。在第二控制电路204-2中,单触发电路220-2和D锁存电路222-2感测来自总线B的信号IO_B_1s的下降沿,并将或非门232-2的输出信号Net_A置为0,以允许来自总线B的信号IO_B_1s通过或非门232-2。一旦来自总线B一侧的信号IO_B_1s开始传输,总线A一侧的D锁存输出A_ctrln被设为逻辑高“1”,从而阻断总线A一侧的或非门232-1,因此信号只是从总线B一侧向总线A一侧传输。

[0039] 图3所示的是图2中的单触发电路220-1或220-2的一种实施方式。在图3所示的实施方式中,单触发电路320包括三个反相器324-1、324-2、324-3以及一个与非门326。图3中所示的单触发电路是图2中所示的单触发电路的一种可能的实现方式。然而,图2中所示的单触发电路可以实现为与图3中的单触发电路不同。例如,单触发电路可以任意其他奇数个反相器,例如5个或7个反相器。此外,反相器也可以用其他延迟元件/电路来替换。本发明并不局限于图3中所示的这种单触发电路的特定实现方式。

[0040] 单触发电路320用于检测来自总线A的信号或来自总线B的信号的边沿(如上升沿或者下降沿)。单触发电路可以对来自电平移位器210-1或210-2的信号D产生反转的版本S,并将信号D与经延迟与反相的信号S合并,以生成输出信号Q。在图3所示的实施方式中,三个反相器324-1、324-2、324-3接收来自电平移位器的信号D,并生成信号D的延迟与反转S,其中延迟时间为 T_{os} 。

[0041] 在单触发电路的低速运行模式中,输入信号D的1位的持续时间 T_{bit} 大于输出信号Q相对于输入信号D的延迟时间 T_{os} 。图4A示出了图3中所示的单触发电路320在低速模式下的信号时序图。如图4A所示,信号D的上升沿被延迟一个延迟时间 T_{os} 。单触发电路320生成的输出信号Q的下降沿410处在从总线A到总线B的信号D的上升沿420。

[0042] 在单触发电路320的高速运行模式中,1位的持续时间Tbit小于或等于延迟时间Tos。因此,在高速运行模式中,单触发电路可以生成来自电平移位器的信号的反转版本。图4B所示的是图3中单触发电路在高速模式下的信号时序图。如图4B所示的,单触发电路的输出信号Q是输入信号D的反转。延迟时间Tos等于1位的持续时间Tbit的奇整数倍。例如,延迟时间Tos可以是1位的持续时间Tbit的3倍或5倍。

[0043] 图5所示的是图2中的双向通信缓冲器200在低速模式下的信号时序图。在图5所示的时序图中,数据传输的方向都是从总线A向总线B。如图5所示,在初始状态时,方向控制信号A_ctrlIn和B_ctrlIn为“0”,总线A信号IO_A以及总线B信号IO_B为高或者“1”。在总线A信号IO_A由1变为0后,初始状态被改变,在总线A上开始数据传输。作为总线A信号IO_A的下降沿510的结果,或非门232-1的输出信号Net_B由0变为1。响应于或非门的输出信号Net_B的变化,开关电路206的输出信号B_gaten从0变为1,这引起来自反相器224-2的信号B_sn由1变为0,并且输入到或非门232-2的输入信号B_ctrlIn由0变为1,从而阻止总线B数据通过或非门232-2的传输。经过一个Tpd_f的持续时间之后,总线B信号IO_B由1变为0,这由总线B信号IO_B的下降沿520表示。然而,由于输入到或非门232-2的输入信号B_ctrlIn被置为1,总线B数据通过或非门232-2的传输被阻止。由于总线A信号IO_A的上升沿530,单触发电路220-1的输出信号A_rn由1变为0,或非门232-1的输出信号Net_B由1变为0。从而,开关电路的信号B_gatep和信号B_gaten由1变为0,从而引起反相器224-2的输出信号B_sn由0变为1。经过一个Tpd_r的持续时间之后,总线B信号IO_B由0变为1,其引起信号B_rn和信号B_ctrlIn由1变为0,从而数据在从总线A到总线B的方向上进行传输。

[0044] 图6所示的是图2中的双向通信缓冲器200在低速模式下的另一信号时序图。在图6所示的时序图中,数据传输的方向先是从总线A向总线B,然后从总线B向总线A。图6所示的信号时序图区别于图5所示的信号时序图的地方在于,由下降沿640所指示的总线B信号IO_B由1变为0是在由下降沿650所指示的总线A信号IO_A由1变为0之前。从而,在总线B信号IO_B从1变为0后,数据传输在总线B上开始进行。作为总线B信号IO_B的下降沿640的结果,或非门232-2的输出信号Net_A由0变为1。响应于或非门232-2的输出信号Net_A的变化,开关电路206的输出信号A_gaten从0变为1,这引起来自反相器224-1的信号A_sn由1变为0,并且输入到或非门232-1的输入信号A_ctrlIn由0变为1,从而阻止总线A数据通过或非门232-1的传输。经过一个Tdc的持续时间之后,总线A信号IO_A由1变为0。然而,由于输入到或非门232-1的输入信号A_ctrlIn被置为1,总线A数据通过或非门232-1的传输被阻止。作为总线B信号IO_B的上升沿660的结果,单触发电路220-2的输出信号B_rn由1变为0,或非门232-2的输出信号Net_A由1变为0。从而,开关电路的信号A_gatep和信号A_gaten由1变为0,并引起信号A_sn由0变为1,并且双向通信缓冲器返回到初始状态。

[0045] 图7所示的是图2中的双向通信缓冲器200在高速模式下的信号时序图。在图7所示的时序图中,数据传输的方向总是从总线A向总线B。如图7所示,在初始状态时,方向控制信号A_ctrlIn和B_ctrlIn为“0”,总线A信号IO_A以及总线B信号IO_B为高。在总线A信号IO_A由1变为0后,初始状态被改变,在总线A上开始数据传输。作为总线A信号IO_A的下降沿710的结果,或非门232-1的输出信号Net_B由0变为1。响应于或非门232-1的输出信号Net_B的变化,开关电路206的输出信号B_gaten从0变为1,这引起来自反相器224-2的信号B_sn由1变为0,并且输入到或非门232-2的输入信号B_ctrlIn由0变为1,从而阻止总线B数据通过或非门

232-2的传输。其后,总线B信号IO_B由1变为0,这由总线B信号IO_B的下降沿720表示。然而,由于输入到或非门232-2的输入信号B_ctrln被置为1,总线B数据通过或非门232-2的传输被阻止。由于总线A信号IO_A的上升沿730,单触发电路220-1的输出信号A_rn由1变为0,或非门232-1的输出信号Net_B由1变为0。从而,开关电路的信号B_gatep和信号B_gaten由1变为0,从而引起信号B_sn由0变为1,因此数据在由总线A向总线B的方向上被传输。

[0046] 图8所示的是图2中的双向通信缓冲器200在高速模式下的另一信号时序图。在图8所示的时序图中,数据传输的方向先是从总线A向总线B,然后从总线B向总线A。图8所示的信号时序图区别于图7所示的信号时序图的地方在于,由下降沿840所指示的总线B信号IO_B由1变为0是在由下降沿850所指示的总线A信号IO_A由1变为0之前。从而,在总线B信号IO_B从1变为0后,数据传输在总线B上开始进行。作为总线B信号IO_B的下降沿840的结果,或非门232-2的输出信号Net_A由0变为1。响应于或非门232-2的输出信号Net_A的变化,开关电路206的输出信号A_gaten从0变为1,这引起来自反相器224-1的信号A_sn由1变为0,并且输入到或非门232-1的输入信号A_ctrln由0变为1,从而阻止总线A数据通过或非门232-1的传输。其后,总线A信号IO_A由1变为0。然而,由于输入到或非门232-1的输入信号A_ctrln被置为1,总线A数据通过或非门232-1的传输被阻止。作为总线B信号IO_B的上升沿860的结果,单触发电路220-2的输出信号B_rn由1变为0,或非门232-2的输出信号Net_A由1变为0。从而,开关电路的信号A_gatep和信号A_gaten由1变为0,并引起信号A_sn由0变为1,并且双向通信缓冲器返回到初始状态。

[0047] 图9为根据本发明一种实施方式的双向通信的方法的流程图。步骤902,检测来自第一通信总线的信号。步骤904,缓冲该检测到的信号,通过第二通信总线传输缓冲的信号,同时阻止来自第二通信总线的数据传输。第一与第二通信总线具有相反方向的数据传输。

[0048] 图10是根据本发明一种实施方式的双向通信方法的流程图。步骤1002,对从第一通信总线所接收的输入信号执行电平移位,以生成经处理的信号。步骤1004,检测经处理的信号的下降沿。步骤1006,缓冲经处理的信号,通过第二通信总线传输缓冲的经处理的信号,同时阻止来自第二通信总线的数据传输。第一与第二通信总线具有相反方向的数据传输。

[0049] 尽管该方法的运行在上述说明以附图中显示为具有特定顺序,该方法的运行顺序可以调整,以便特定的步骤可以以相反的顺序运行,或者特定的步骤可以至少部分地与其他步骤同时运行。在其他实施方式中,指令或不同运算的子运算可以间歇性地和/或交互地运行。

[0050] 此外,尽管本发明以上所述的特定实施方式中包括了所述的或所展示的数个元件,本发明的其他实施方式也可以包括更多或更少的元件,以实现更多或更少的特性。

[0051] 进一步地,尽管以上描述了本发明的特定实施方式,本发明并不限于所描述或展示的特定形式或安排的部分。本发明的范围由所附的权利要求书及其等同所定义。

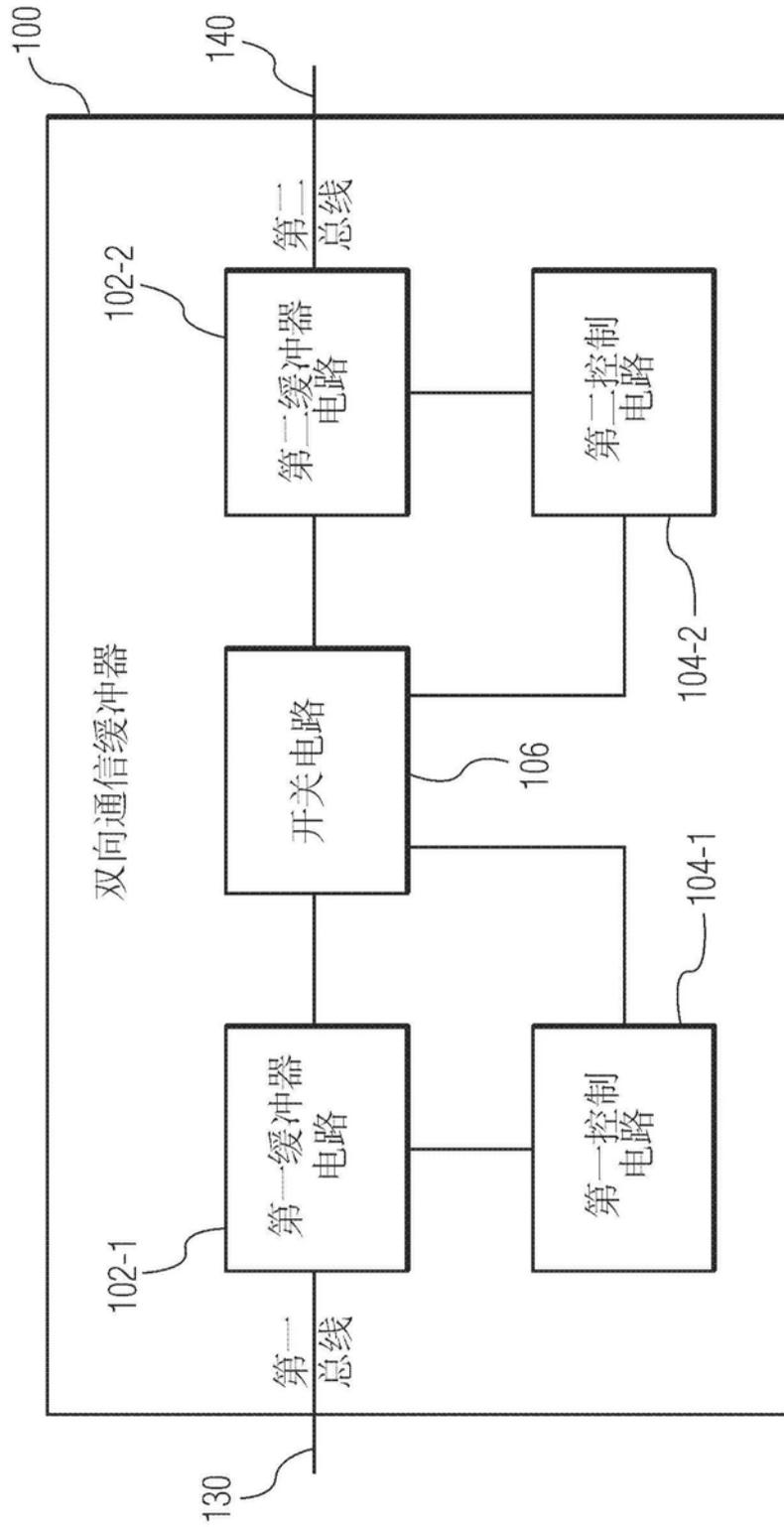


图1

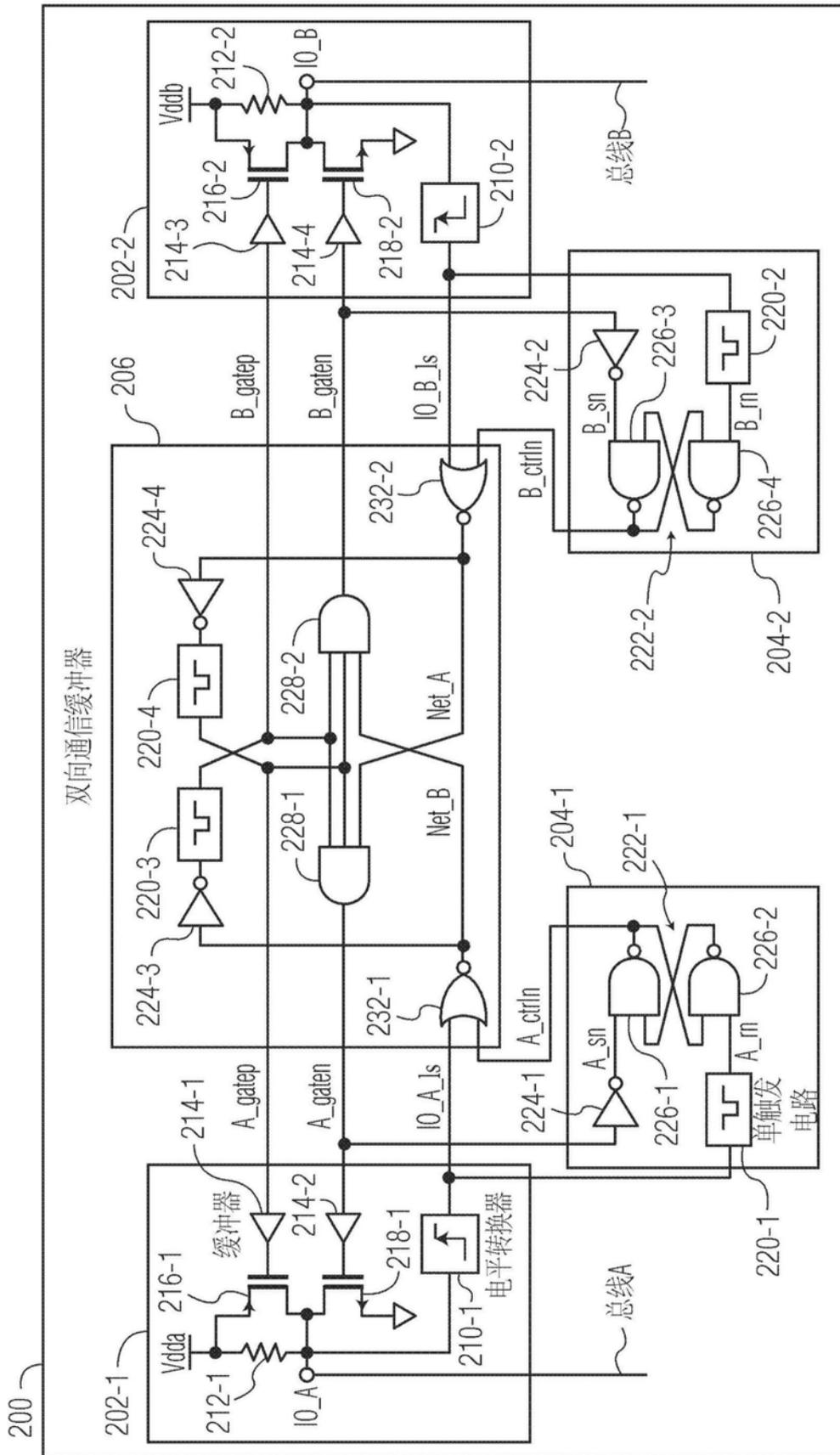


图2

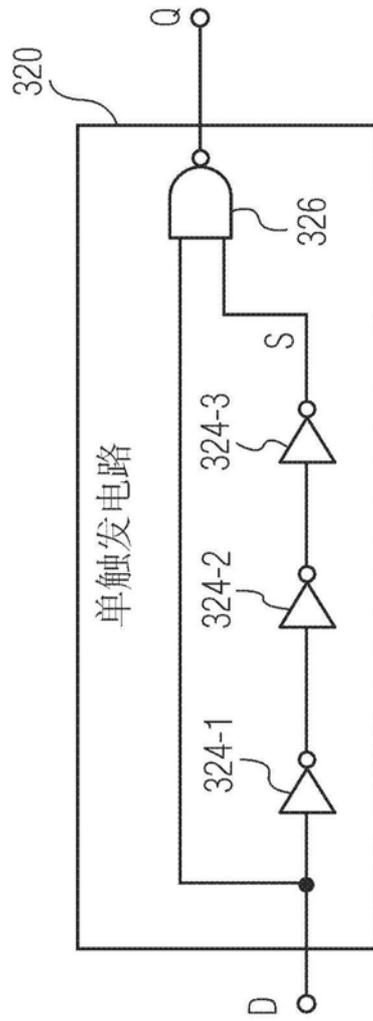


图3

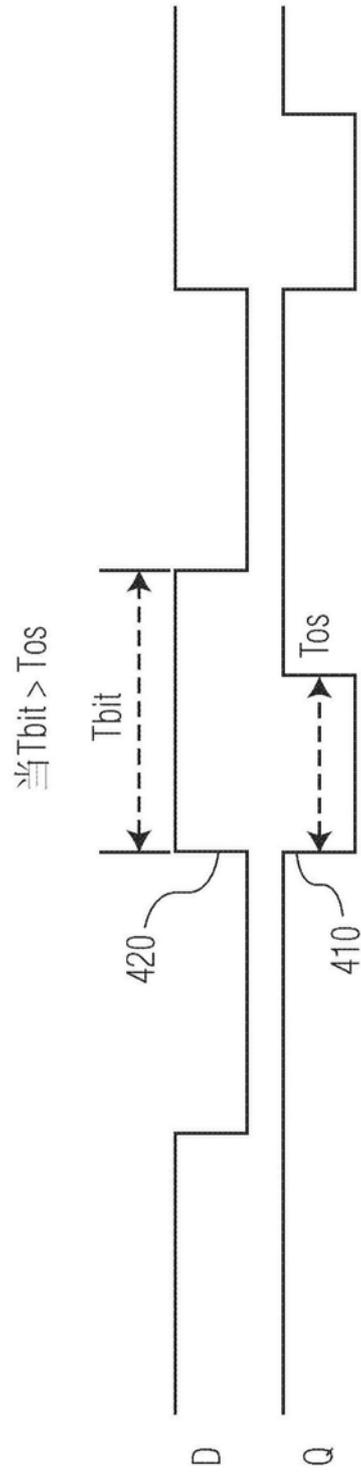


图4A

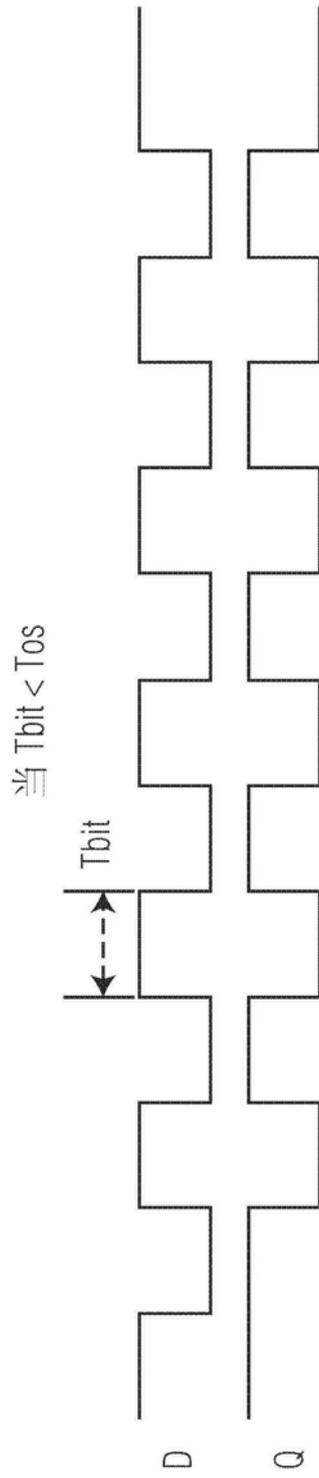


图4B

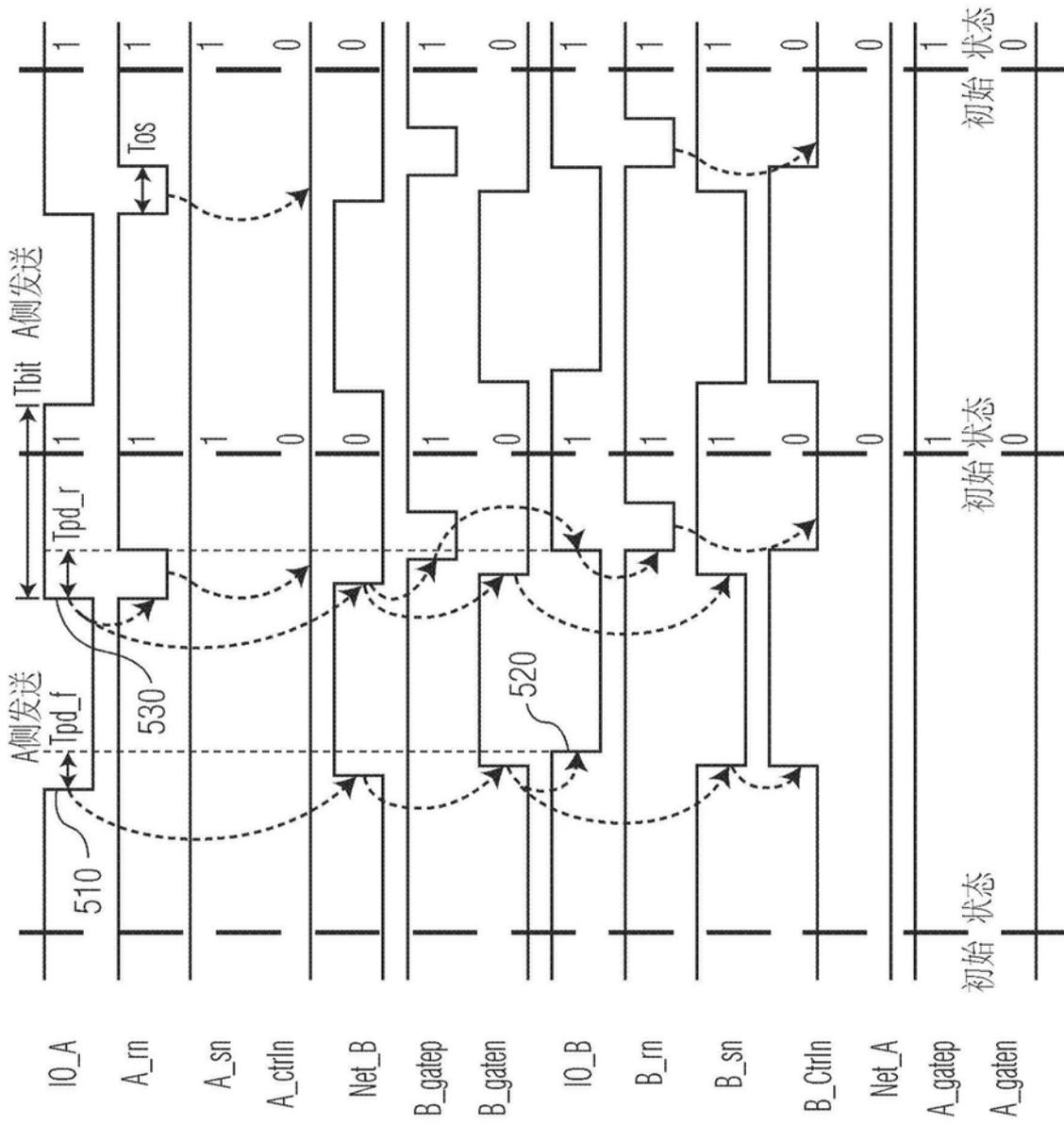


图5

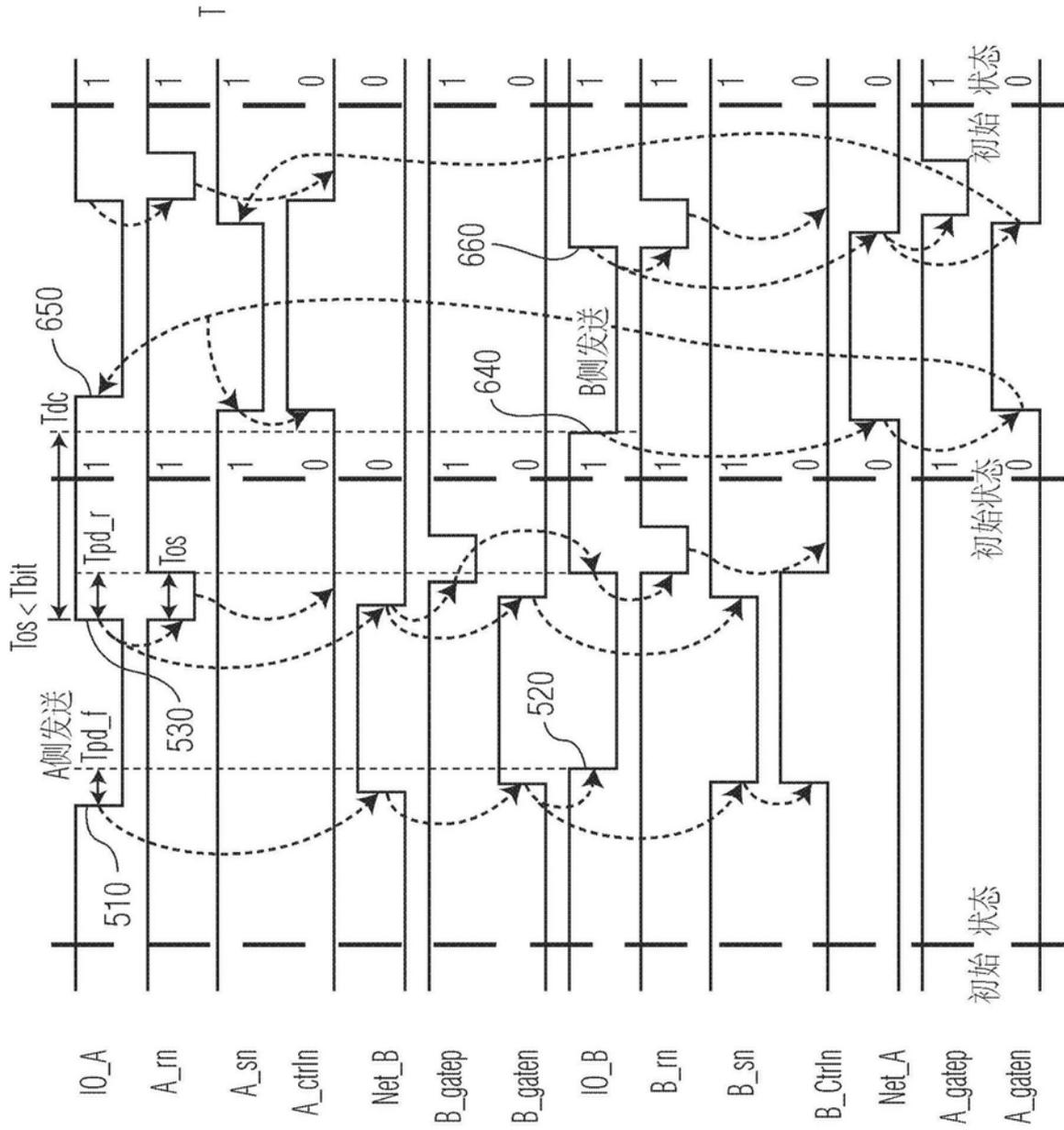


图6

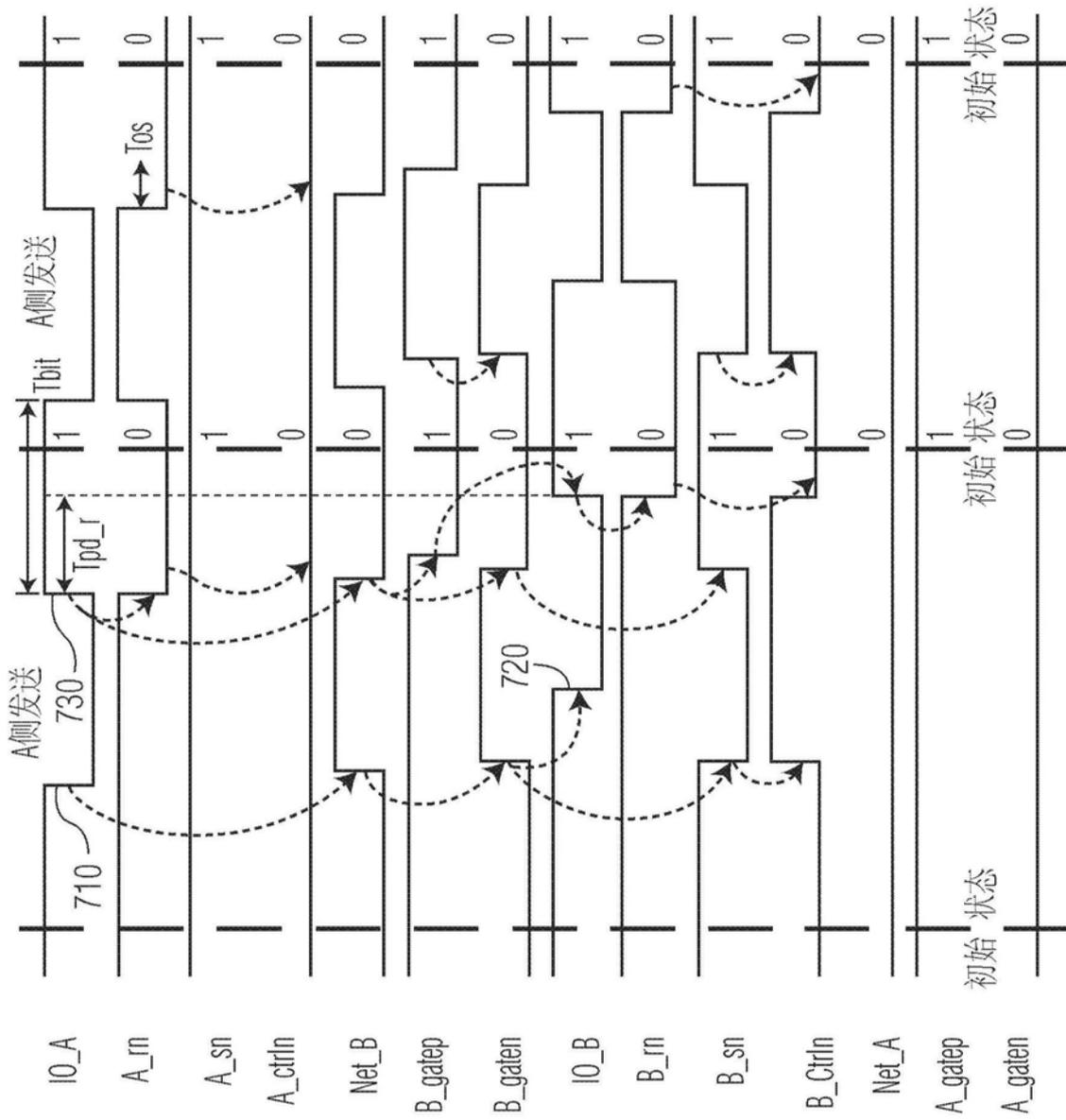


图7

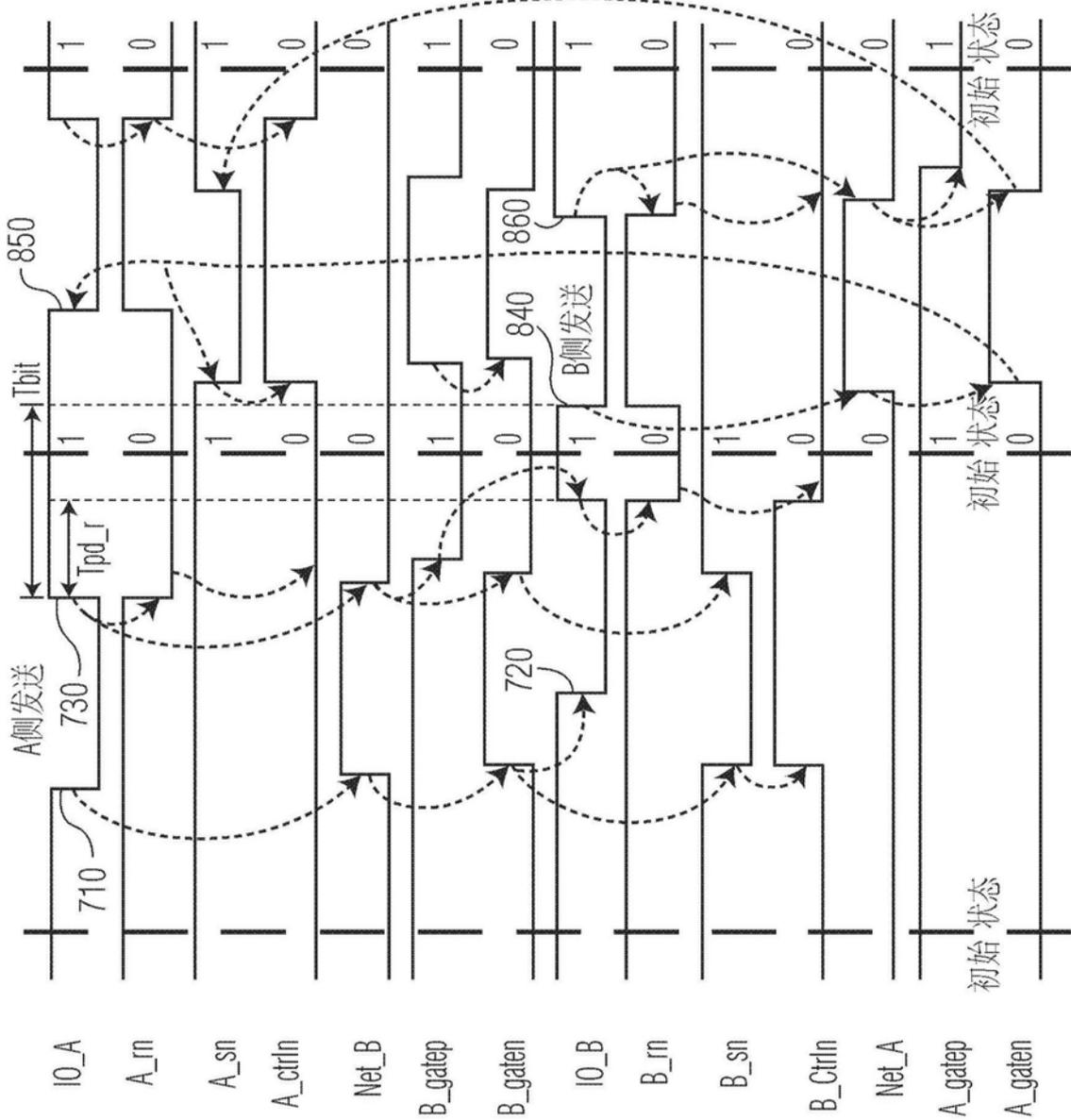


图8

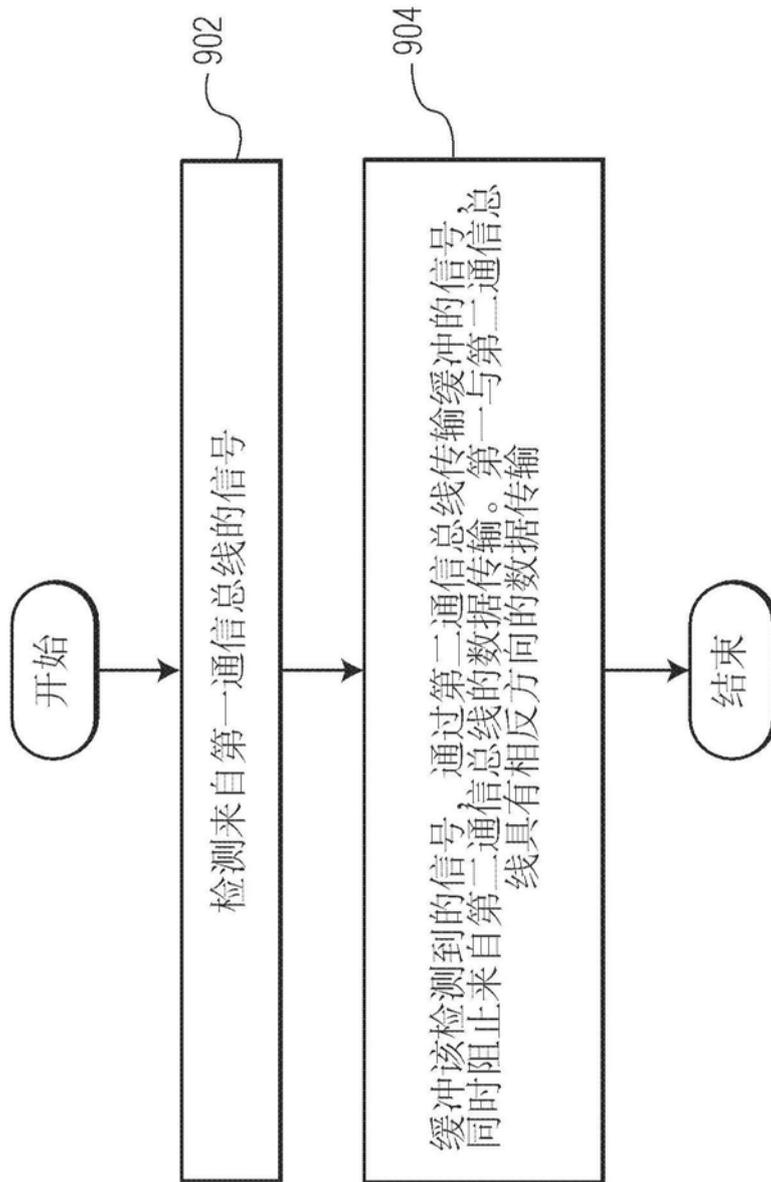


图9

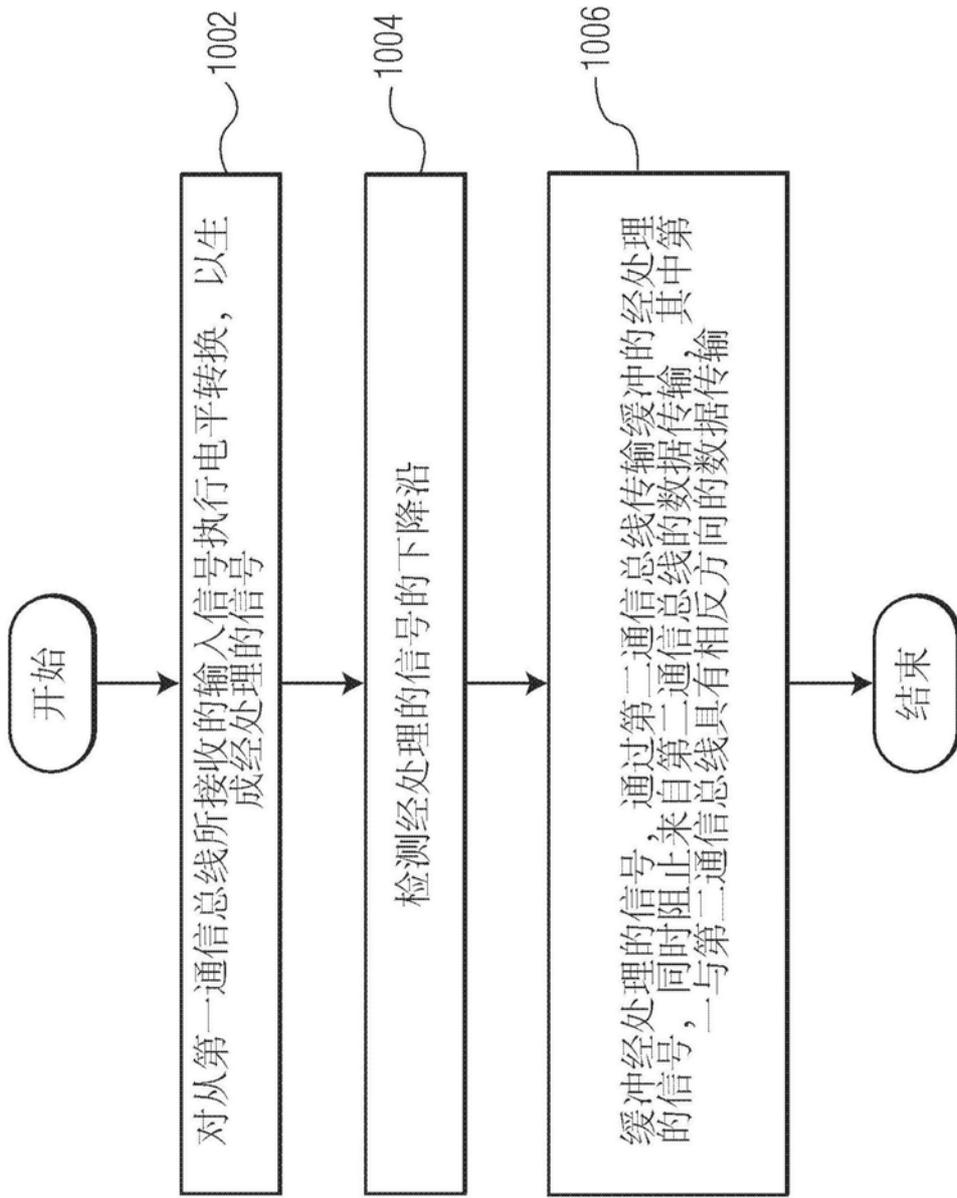


图10