

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5540852号  
(P5540852)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int. Cl. F I  
 HO 1 L 21/8238 (2006.01) HO 1 L 27/08 3 2 1 E  
 HO 1 L 27/092 (2006.01) HO 1 L 27/08 3 2 1 C

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2010-90771 (P2010-90771)	(73) 特許権者	308014341
(22) 出願日	平成22年4月9日(2010.4.9)		富士通セミコンダクター株式会社
(65) 公開番号	特開2011-222770 (P2011-222770A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成23年11月4日(2011.11.4)		23
審査請求日	平成24年12月28日(2012.12.28)	(74) 代理人	100113608
			弁理士 平川 明
		(74) 代理人	100105407
			弁理士 高田 大輔
		(74) 代理人	100089244
			弁理士 遠山 勉
		(72) 発明者	福田 真大
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通マイクロエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1領域に第1ゲート電極を形成し、前記半導体基板の第2領域に第2ゲート電極を形成する工程と、

前記第1ゲート電極の側壁に第1サイドウォールを形成し、前記第2ゲート電極の側壁に第2サイドウォールを形成する工程と、

前記半導体基板、前記第1ゲート電極、前記第2ゲート電極、前記第1サイドウォール及び前記第2サイドウォールを覆うように酸化膜を形成する工程と、

前記酸化膜上に、前記第1領域を覆うようにレジストを形成する工程と、

前記レジストをマスクとして前記酸化膜をエッチングする工程と、

前記エッチングする工程の後に前記レジストを除去する工程と、

前記レジストを除去する工程の後に塩素を含むガスを用いてプラズマ処理を行う工程と

、  
前記プラズマ処理を行う工程の後に前記半導体基板を洗浄する工程と、

前記洗浄する工程の後に、前記第2領域の前記半導体基板にリセスを形成する工程と、

前記リセス内にシリコンゲルマニウム層を形成する工程と、

を有し、

前記洗浄する工程において、前記エッチングする工程で残存した前記酸化膜の残留物を除去することを特徴とする半導体装置の製造方法。

【請求項2】

前記塩素を含むガスを用いたプラズマ処理において、前記第2サイドウォール端に残留した前記酸化膜をリフトオフすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記酸化膜は、TEOS（テトラエトキシシラン）、BTBAS（ビスターシャルブチルアミノシラン）又はTDMA（テトラジメチルアミノシラン）を含む原料ガスを用いて形成することを特徴とする請求項1あるいは2に記載の半導体装置の製造方法。

【請求項4】

前記洗浄する工程は、フッ酸を含む溶液を用いた洗浄を行うことを特徴とする請求項1から3の何れか一項に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

MOS電界効果トランジスタ(MOSFET)において、pチャネル型MOSFET(PMOSFET)のソースドレイン領域にSiGe(シリコンゲルマニウム)層が埋め込まれたembedded SiGe(eSiGe)構造が採用されている。SiGeの格子定数はSiの格子定数よりも大きいため、SiGe層が埋め込まれたソースドレイン領域に挟まれたチャンネル領域に圧縮歪みが印加される。この場合、チャンネル領域のホール移動度が向上することにより、PMOSFETの電流駆動能力が高まり、PMOSFETの特性向上を実現することができる。

20

【0003】

例えば、シリコン基板上に、絶縁膜として酸化膜をCVD(chemical vapor deposition)により形成し、酸化膜をマスクとしてエッチングを行い、酸化膜から露出した箇所のシリコン基板の表面にリセス(凹み)を形成する。そして、リセス内にSiGe層を選択エピタキシャル成長させることによって、シリコン基板にeSiGe構造が形成される。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献1】特開2009-094225号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本件は、nチャネル型MOSFET(NMOSFET)と、eSiGe構造を適用するpチャネル型MOSFET(PMOSFET)を同一基板上に形成する場合であって、NMOSFETにSiGe層が成長されることを抑制し、かつPMOSFETのSiGe層の形状不良の発生を抑止することを目的とする。

【課題を解決するための手段】

40

【0006】

本件の一観点による半導体装置の製造方法は、半導体基板の第1領域に第1ゲート電極を形成し、前記半導体基板の第2領域に第2ゲート電極を形成する工程と、前記第1ゲート電極の側壁に第1サイドウォールを形成し、前記第2ゲート電極の側壁に第2サイドウォールを形成する工程と、前記半導体基板、前記第1ゲート電極、前記第2ゲート電極、前記第1サイドウォール及び前記第2サイドウォールを覆うように酸化膜を形成する工程と、前記酸化膜上に、前記第1領域を覆うようにレジストを形成する工程と、前記レジストをマスクとして前記酸化膜をエッチングすることにより、前記第2領域の前記酸化膜を除去する工程と、前記レジストを除去する工程と、前記半導体基板及び前記第1領域の前記酸化膜に対して、塩素を含むガスを用いてプラズマ処理を行う工程と、を備える。

50

## 【発明の効果】

【0007】

本件によれば、NMOSFETにSiGe層が成長されることを抑制し、かつPMOSFETのSiGe層の形状不良の発生を抑制することができる。

## 【図面の簡単な説明】

【0008】

【図1】本実施形態に係る半導体装置の断面図(その1)である。

【図2】本実施形態に係る半導体装置の断面図(その2)である。

【図3】本実施形態に係る半導体装置の断面図(その3)である。

【図4】本実施形態に係る半導体装置の断面図(その4)である。

【図5】本実施形態に係る半導体装置の断面図(その5)である。

【図6】酸化膜20のフッ酸耐性の変化を示すグラフである。

【図7】プラズマ処理時間と、酸化膜20の膜厚の減少量(nm)との関係を示すグラフである。

【図8】シリコン基板1及び酸化膜20のエッチング量とエッチング時間との関係を示すグラフである。

【図9】本実施形態に係る半導体装置の断面図(その6)である。

【図10】本実施形態に係る半導体装置の断面図(その7)である。

【図11】本実施形態に係る半導体装置の断面図(その8)である。

【図12】本実施形態に係る半導体装置の断面図(その9)である。

【図13】本実施形態に係る半導体装置の断面図(その10)である。

【図14】本実施形態に係る半導体装置の断面図(その11)である。

【図15】本実施形態に係る半導体装置の断面図(その12)である。

【図16】ゲートピッチ(Wpitch)、ゲート幅(Wgate)、SW幅(Wsw)及びリセス幅(Wrecess)の寸法を示す図である。

【図17】従来例に係る半導体装置の断面図である。

【図18】従来例に係る半導体装置の断面図である。

【図19】従来例に係る半導体装置の断面図である。

【図20】従来例に係る半導体装置の断面図である。

【図21】従来例に係る半導体装置の断面図である。

## 【発明を実施するための形態】

【0009】

PMOS領域(PMOSFETが形成される領域)にリセスを形成する場合、シリコン基板の表面にリセスを形成する前に、PMOS領域の酸化膜を予め除去する必要がある。PMOS領域の酸化膜の除去には、ドライエッチングが一般的に用いられる。PMOS領域の酸化膜が完全に除去されず、PMOS領域に酸化膜の一部が残存することで、所望の形状のリセスが、シリコン基板の表面に形成されない問題がある。

【0010】

例えば、図17の(A)に示すように、PMOS領域のゲート電極40の側壁に形成されるサイドウォール41際に酸化膜42の一部が残存すると、図17の(B)に示すように、所望の形状のリセス43が、シリコン基板44の表面に形成されない。図17の(B)に示す点線は、酸化膜42を完全に除去した場合に形成されるリセス43の位置を示している。サイドウォール41の形状のバラツキの影響を受けて、サイドウォール41際に残存する酸化膜42のサイズにバラツキが生じるため、リセス43の幅(Wrecess)にバラツキが生じる。リセス43の幅のバラツキは、リセス43内に埋め込むSiGe層の幅のバラツキの原因となる。その結果、チャンネル領域に印加される圧縮歪みの大きさにバラツキが生じるため、PMOSFETの特性にもバラツキが発生する。

【0011】

シリコン基板44にポケット領域及びエクステンション領域を形成した後、シリコン基板44にeSiGe構造を形成する際、600以上の高温処理を行うと不純物の拡散を

10

20

30

40

50

誘起するため、600 以上の高温処理は好ましくない。そのため、シリコン基板 44 上に酸化膜 42 を成膜する際の温度は、600 未満とすることが好ましい。

【0012】

しかし、低温 CVD により、シリコン基板 44 上に形成された酸化膜 42 は、フッ酸耐性が低くなる。酸化膜 42 の膜厚が薄い場合、フッ酸を使用したウェット処理によってリセス 43 表面の自然酸化膜を除去する際に、NMOS 領域 (nチャネル型 MOSFET が形成される領域) の酸化膜 42 も除去されてしまうという問題がある。図 18 に示すように、酸化膜 42 の膜厚が薄い場合、NMOS 領域の酸化膜 42 が除去された位置に SiGe 層 45 が形成される。

【0013】

一方、酸化膜 42 の膜厚が厚い場合、PMOS 領域の狭ピッチ部に酸化膜 42 が埋まる。狭ピッチ部は、隣接して形成された PMOSFET の間の距離が短い部分である。図 19 に示すように、酸化膜 42 の膜厚が厚い場合、PMOS 領域の狭ピッチ部に酸化膜 42 が埋まる。隣接して形成された PMOSFET の間の距離が短いほど、隣接して形成された PMOSFET の間に酸化膜 42 が埋まりやすくなる。

【0014】

隣接して形成された PMOSFET の間に酸化膜 42 が埋まっている場合、PMOS 領域の酸化膜 42 をドライエッチングにより除去する際に、酸化膜 42 を完全に除去できない。図 20 に示すように、隣接して形成された PMOSFET の間の酸化膜 42 が完全に除去されず、隣接して形成された PMOSFET の間に酸化膜 42 が残存してしまう。

【0015】

隣接して形成された PMOSFET の間に残存する酸化膜 42 が、ドライエッチングによってシリコン基板 44 にリセス 43 を形成する際のマスクとなる。そのため、酸化膜 42 の直下のシリコン基板 44 にリセス 43 が形成されず、シリコン基板 44 にリセス形成の不良が発生する。図 21 は、シリコン基板 44 にリセス形成の不良が発生した場合の半導体装置の断面図である。図 21 に示すように、隣接して形成された PMOSFET の間に残存する酸化膜 42 の直下のシリコン基板 44 にリセス 43 が形成されておらず、シリコン基板 44 にリセス形成の不良が発生している。

【0016】

上記の課題を解決するための実施形態を、以下、図面を参照して説明する。最初に、図 1 に示す半導体装置が形成されるまでの工程について説明する。本実施形態に係る半導体装置の製造方法においては、まず、シリコン (半導体) 基板 1 に STI (shallow trench isolation) 構造の素子分離膜 2 を形成する。

【0017】

素子分離膜 2 の形成は以下のようにして行う。まず、スピコート法により、フォトレジスト膜をシリコン基板 1 上に形成し、フォトリソグラフィによってフォトレジスト膜をパターニングすることにより、シリコン基板 1 上にレジストを形成する。次に、レジストをマスクとして、ドライエッチングによりシリコン基板 1 に素子分離溝を形成する。その後、アッシング処理により、レジストを除去する。次いで、CVD (Chemical Vapor Deposition) 法により、シリコン基板 1 に形成された素子分離溝にシリコン酸化膜を埋め込むとともに、シリコン基板 1 上にシリコン酸化膜を堆積する。

【0018】

そして、CMP (chemical mechanical polishing) 法により、シリコン基板 1 上のシリコン酸化膜の平坦化を行い、シリコン基板 1 に素子分離膜 2 を形成する。シリコン基板 1 に素子分離膜 2 を形成することにより、シリコン基板 1 に NMOS 領域 (nチャネル型 MOSFET が形成される領域) と、PMOS 領域 (pチャネル型 MOSFET が形成される領域) とがそれぞれ画定される。

【0019】

次に、スピコート法により、フォトレジスト膜をシリコン基板 1 上に形成し、フォトリソグラフィによってフォトレジスト膜をパターニングすることにより、PMOS 領域を

10

20

30

40

50

覆うようにレジストを形成する。そして、PMOS領域のレジストをマスクとして、シリコン基板1のNMOS領域に、例えば、B（ボロン）をイオン注入することにより、シリコン基板1にpウェル3を形成する。

【0020】

次いで、アッシング処理により、PMOS領域のレジストを除去する。そして、スピコート法により、フォトリソグロフ膜をシリコン基板1上に形成し、フォトリソグロフにより、NMOS領域を覆うようにレジストを形成する。次に、NMOS領域のレジストをマスクとして、シリコン基板1のPMOS領域に、例えば、P（リン）を、イオン注入することにより、シリコン基板1にnウェル4を形成する。次に、アッシング処理により、NMOS領域のレジストを除去する。

10

【0021】

そして、シリコン基板1上にゲート絶縁膜5を形成する。ゲート絶縁膜5として、例えば、酸化膜又は高誘電率（High-k）絶縁膜を用いてもよい。次に、CVD法により、ゲート絶縁膜5上にポリシリコンを形成する。ポリシリコンに代えて、アモルファスシリコンをゲート絶縁膜5上に形成してもよい。次いで、スピコート法により、フォトリソグロフ膜をポリシリコン上に形成し、フォトリソグロフによってフォトリソグロフ膜をパターンニングすることにより、PMOS領域のポリシリコンを覆うようにレジストを形成する。そして、PMOS領域のポリシリコン上のレジストをマスクとして、NMOS領域のポリシリコンにn型不純物をイオン注入する。

【0022】

20

そして、アッシング処理により、PMOS領域のポリシリコン上のレジストを除去する。次に、スピコート法により、フォトリソグロフ膜をポリシリコン上に形成し、フォトリソグロフによってフォトリソグロフ膜をパターンニングすることにより、NMOS領域のポリシリコンを覆うようにレジストを形成する。次いで、NMOS領域のポリシリコン上のレジストをマスクとして、PMOS領域のポリシリコンにp型不純物をイオン注入する。

【0023】

そして、アッシング処理により、NMOS領域のポリシリコンを覆うレジストを除去する。必要に応じて、ポリシリコンに注入されたn型不純物及びp型不純物の拡散を促進させるため、スパイクアニール等の熱処理を行ってもよい。

【0024】

30

次に、スピコート法により、フォトリソグロフ膜をポリシリコン上に形成し、フォトリソグロフによってフォトリソグロフ膜をパターンニングすることにより、ゲート電極用のレジストをポリシリコン上に形成する。次いで、ゲート電極用のレジストをマスクとして、異方性ドライエッチングを行い、シリコン基板1上方に第1ゲート電極6A及び第2ゲート電極6Bを形成する。NMOS領域に第1ゲート電極6Aが形成され、PMOS領域に第2ゲート電極6Bが形成される。

【0025】

そして、アッシング処理により、ゲート電極用のレジストを除去する。次に、第1ゲート電極6Aの側壁に第1thinサイドウォール7Aを形成し、第2ゲート電極6Bの側壁に第2thinサイドウォール7Bを形成する。第1thinサイドウォール7A及び第2thinサイドウォール7Bの形成は、例えば、シリコン基板1の全面に酸化膜を形成し、酸化膜をエッチバックすることにより行われる。酸化膜に代えて、窒化膜又は酸化膜と窒化膜との積層膜をシリコン基板1の全面に形成してもよい。本実施形態では、第1thinサイドウォール7A及び第2thinサイドウォール7Bを形成する例を示すが、第1thinサイドウォール7A及び第2thinサイドウォール7Bの形成を省略してもよい。

40

【0026】

次いで、スピコート法により、フォトリソグロフ膜をシリコン基板1上に形成し、フォトリソグロフによってフォトリソグロフ膜をパターンニングすることにより、PMOS領域にレジストを形成する。次に、第1ゲート電極6A、第1thinサイドウォール7A及びPMOS領域のレジストをマスクとして、シリコン基板1のNMOS領域にポケット注入及

50



次に、アッシング処理により、シリコン基板 1 の N M O S 領域のレジストを除去する。次いで、第 1 thin サイドウォール 7 A の側壁に第 1 サイドウォール 1 2 A を形成し、第 2 thin サイドウォール 7 B の側壁に第 2 サイドウォール 1 2 B を形成する。第 1 サイドウォール 1 2 A 及び第 2 サイドウォール 1 2 B の形成は、例えば、シリコン基板 1 の全面に酸化膜を形成し、酸化膜をエッチバックすることにより行われる。酸化膜に代えて、窒化膜又は酸化膜と窒化膜との積層膜をシリコン基板 1 の全面に形成してもよい。

【 0 0 3 5 】

そして、スピンコート法により、フォトレジスト膜をシリコン基板 1 上に形成し、フォトリソグラフィによってフォトレジスト膜をパターンングすることにより、P M O S 領域にレジストを形成する。次に、第 1 ゲート電極 6 A、第 1 thin サイドウォール 7 A、第 1 サイドウォール 1 2 A 及び P M O S 領域のレジストをマスクとして、シリコン基板 1 の N M O S 領域にソースドレイン注入を行う。このように、第 1 サイドウォール 1 2 A は、シリコン基板 1 の N M O S 領域にソースドレイン注入を行うためのオフセットスペースとして機能する。第 1 thin サイドウォール 7 A の形成工程を省略している場合は、第 1 ゲート電極 6 A、第 1 サイドウォール 1 2 A 及び P M O S 領域のレジストをマスクとして、シリコン基板 1 の N M O S 領域にソースドレイン注入を行う。

【 0 0 3 6 】

シリコン基板 1 の N M O S 領域に対するソースドレイン注入は、シリコン基板 1 の N M O S 領域にソースドレイン不純物をイオン注入することにより行われる。ソースドレイン不純物は、例えば、P (リン) 及び A s (ヒ素) 等の n 型不純物である。シリコン基板 1 の N M O S 領域にソースドレイン不純物がイオン注入されることにより、シリコン基板 1 の N M O S 領域にソースドレイン領域 1 3 が形成される。なお、ソースドレイン領域 1 3 の形成は、後の工程で行ってもよい。

【 0 0 3 7 】

次に、L P - C V D (low pressure chemical vapor deposition) 法又は A L D (atomic layer deposition) 法により、シリコン基板 1 の上及びシリコン基板 1 の上方に、酸化膜 2 0 を形成する。酸化膜 2 0 の膜厚は、例えば、2 0 n m である。図 2 は、酸化膜 2 0 が形成された場合の半導体装置の断面図である。

【 0 0 3 8 】

L P - C V D 法の場合、T E O S (テトラエトキシシラン) 及び O<sub>2</sub> (酸素) を原料ガスとして、5 5 0 以上 6 0 0 以下の成膜温度及び 0 . 1 P a 以上 1 0 0 0 P a 以下の圧力の条件によりシリコン酸化膜 2 0 を形成してもよい。更に、リモートプラズマによって原料ガスを活性化させてもよい。

【 0 0 3 9 】

また、L P - C V D 法の場合、B T B A S (ピスターシャルブチルアミノシラン) 及び O<sub>2</sub> (酸素) を原料ガスとして、4 5 0 以上 6 0 0 以下の成膜温度及び 0 . 1 P a 以上 1 0 0 0 P a 以下の圧力の条件によりシリコン酸化膜 2 0 を形成してもよい。更に、リモートプラズマによって原料ガスを活性化させてもよい。

【 0 0 4 0 】

A L D 法の場合、T D M A S (テトラジメチルアミノシラン) 及び O<sub>3</sub> (オゾン) を原料ガスとして、3 0 0 以上 6 0 0 以下の成膜温度の条件によりシリコン酸化膜 2 0 を形成してもよい。更に、リモートプラズマによって原料ガスを活性化させてもよい。

【 0 0 4 1 】

L P - C V D 法、L P - C V D 法又は A L D 法により、T E O S、B T B A S 又は T D M A S を含む原料ガスを用いて形成された酸化膜 2 0 は、S i H を含む S i O<sub>2</sub> である。

【 0 0 4 2 】

そして、スピンコート法により、フォトレジスト膜を酸化膜 2 0 上に形成し、フォトリソグラフィによってフォトレジスト膜をパターンングすることにより、シリコン基板 1 における N M O S 領域を覆うようにレジスト 2 1 を形成する。図 3 は、N M O S 領域にレジスト 2 1 を形成した場合の半導体装置の断面図である。

10

20

30

40

50

## 【 0 0 4 3 】

次に、N M O S 領域のレジスト 2 1 をマスクとして、ドライエッチングにより P M O S 領域の酸化膜 2 0 を除去する。ドライエッチングは、 $C F_4$ 、 $C_4 F_8$  又は  $C H F_3$  などのフロロカーボン系のガスを用いて行ってもよい。また、ドライエッチングは、 $C F_4$ 、 $C_4 F_8$  又は  $C H F_3$  などのフロロカーボン系のガスを主体として、 $A r$  や  $O_2$  を添加したガスを用いて行ってもよい。

## 【 0 0 4 4 】

図 4 は、P M O S 領域の酸化膜 2 0 を除去した場合の半導体装置の断面図である。図 4 に示すように、P M O S 領域において、シリコン基板 1 と第 2 サイドウォール 1 2 B とが接触する位置の周辺には酸化膜 2 0 の残留物が残っている。

10

## 【 0 0 4 5 】

次いで、アッシング処理により、レジスト 2 1 を除去する。図 5 は、N M O S 領域のレジスト 2 1 を除去した場合の半導体装置の断面図である。

## 【 0 0 4 6 】

そして、基板温度を 6 0 0 以下にして、シリコン基板 1 及び N M O S 領域の酸化膜 2 0 に対して  $C l$  (塩素) を含むガスでプラズマ処理を行う。 $C l$  を含むガスでプラズマ処理を行うことにより、N M O S 領域の酸化膜 2 0 が緻密化され、N M O S 領域の酸化膜 2 0 のフッ酸耐性が向上する。また、基板温度を 6 0 0 以下にして、シリコン基板 1 及び酸化膜 2 0 に対して  $C l$  及び  $H e$  (ヘリウム) を含むガスでプラズマ処理を行ってもよい。例えば、 $H e$  雰囲気中に  $C l$  を添加してもよい。

20

## 【 0 0 4 7 】

ここで、酸化膜 2 0 のフッ酸耐性の向上について説明する。図 6 は、酸化膜 2 0 のフッ酸耐性の変化を示すグラフである。図 6 の縦軸は、酸化膜 2 0 に対してフッ酸処理を行った場合の酸化膜 2 0 の膜厚の減少量 (  $n m$  ) を示している。図 6 の横軸は、プラズマ処理の条件を示している。条件 A は、プラズマ処理を行わずに、酸化膜 2 0 に対してフッ酸処理を行っている。条件 B は、 $H e$  (ヘリウム) ガス及び  $O_2$  (酸素) ガスを用いてプラズマ処理を 3 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 C は、 $H e$  ガス及び  $O_2$  ガスを用いてプラズマ処理を 6 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 D は、 $H e$  ガス及び  $O_2$  ガスを用いてプラズマ処理を 2 4 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 E は、 $H e$  ガスを用いてプラズマ処理を 3 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 F は、 $H e$  ガスを用いてプラズマ処理を 6 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 G は、 $H e$  ガスを用いてプラズマ処理を 2 4 0 秒行った後、酸化膜 2 0 に対してフッ酸処理を行っている。条件 B から条件 G におけるプラズマ処理は、基板温度を 4 5 0 以上 5 0 0 以下にして行っている。また、条件 A から条件 G において、フッ酸処理の条件は全て同じである。

30

## 【 0 0 4 8 】

図 6 に示すように、条件 A と比較して条件 B から条件 G は、酸化膜 2 0 の膜厚の減少量 (  $n m$  ) が、5 分の 1 程度になっている。すなわち、 $H e$  ガス及び  $O_2$  ガスを用いてプラズマ処理を行った場合や  $H e$  ガスを用いてプラズマ処理を行った場合、フッ酸耐性が向上している。また、 $H e$  ガスを用いてプラズマ処理を行った場合、 $H e$  ガス及び  $O_2$  ガスを用いてプラズマ処理を行った場合と同等以上のフッ酸耐性の向上が見られる。

40

## 【 0 0 4 9 】

図 7 は、プラズマ処理時間と、酸化膜 2 0 の膜厚の減少量 (  $n m$  ) との関係を示すグラフである。図 7 の縦軸は、プラズマ処理を行った場合の酸化膜 2 0 の膜厚の減少量 (  $n m$  ) を示している。約 1 0  $n m$  の膜厚の酸化膜 2 0 を形成した後、エリプソメーターを用いて、酸化膜 2 0 の膜厚を計測 ( 第 1 計測 ) し、 $H e$  ガスを用いてプラズマ処理した後、エリプソメーターを用いて、酸化膜 2 0 の膜厚を計測 ( 第 2 計測 ) する。第 2 計測による酸化膜 2 0 の膜厚から第 1 計測による酸化膜の膜厚を引いた数値を、酸化膜 2 0 の膜厚の減少量 (  $n m$  ) としている。図 7 の横軸は、 $H e$  ガスを用いてプラズマ処理したときのプラ

50

ズマ処理時間（秒）を示している。

【 0 0 5 0 】

He ガスを用いてプラズマ処理を行うことにより、酸化膜 2 0 の膜厚は減少する。図 7 に示すように、酸化膜 2 0 の膜厚は 2 nm 程度減少している。一方、酸化膜 2 0 の膜厚の減少量（nm）は、プラズマ処理時間を長くしてもほとんど変化していない。すなわち、プラズマ処理時間の長短によらず、酸化膜 2 0 の膜厚の減少量（nm）は一定である。この結果から、プラズマ処理におけるエッチングによって酸化膜 2 0 の膜厚の減少が発生したのではなく、酸化膜 2 0 が緻密化することによって酸化膜 2 0 の膜厚が減少したものと推測される。

【 0 0 5 1 】

図 6 及び図 7 に示す結果から、酸化膜 2 0 が緻密化することによって、酸化膜 2 0 のフッ酸耐性が向上すると推測される。プラズマ状態の He イオンやラジカルが酸化膜 2 0 に含まれる Si - H の結合から電子を受け取り、Si - H から H が離脱することによって、酸化膜 2 0 が緻密化したと考えられる。Si - H から H が離脱するのに重要なことは、高エネルギー状態で化学反応性の高いプラズマであり、プラズマ原料としては He に限らなくてもよい。ここでは、反応性の低い He プラズマを用いているが、反応性の高い Cl プラズマを用いた場合も同様に、Si - H から H が離脱する反応は進行する。したがって、Cl を含むガスを用いてプラズマ処理を行った場合であっても、酸化膜 2 0 のフッ酸耐性が向上すると推測される。

【 0 0 5 2 】

また、Cl を含むガスでプラズマ処理を行うことにより、PMOS 領域のシリコン基板 1 の表面がエッチングされ、PMOS 領域のシリコン基板 1 の表面が削られる。PMOS 領域のシリコン基板 1 の表面が削られることにより、シリコン基板 1 上に残存する酸化膜 2 0 の残留物がリフトオフされる。

【 0 0 5 3 】

図 8 は、シリコン基板 1 及び酸化膜 2 0 のエッチング量とエッチング時間との関係を示すグラフである。図 8 の縦軸は、シリコン基板 1 及び酸化膜 2 0 のエッチング量を示している。シリコン基板 1 及び酸化膜 2 0 のエッチング量は、透過型電子顕微鏡（TEM）を用いて、エッチング前後におけるシリコン基板 1 及び酸化膜 2 0 の形状から算出している。図 8 の横軸は、エッチング時間（秒）を示している。図 8 中の丸（○）は、シリコン基板 1 のエッチング量であり、図 8 中の四角（□）は、酸化膜 2 0 のエッチング量である。約 2 0 0 0 Pa の全圧で、H<sub>2</sub>（水素）ガスの供給量を 2 0 s l m、HCl（塩化水素）ガスの供給量を 4 5 s c c m とする混合ガスによりエッチングを行っている。

【 0 0 5 4 】

図 8 に示すように、エッチング時間が増加するにつれて、シリコン基板 1 のエッチング量が増加している。一方、図 8 に示すように、H<sub>2</sub> ガス及び HCl ガスの混合ガスによるエッチングが行われても酸化膜 2 0 の膜厚は減少せず、エッチング時間が増加しても、酸化膜 2 0 のエッチング量は増加していない。ここでは、H<sub>2</sub> ガス及び HCl ガスの混合ガスをプラズマ状態にしていなが、H<sub>2</sub> ガス及び HCl ガスの混合ガスをプラズマ状態にする場合、反応が活性になり、シリコン基板 1 のエッチング量がより多くなると推測される。また、HCl ガスを用いず、H<sub>2</sub> ガスのみでエッチングを行った場合については、シリコン基板 1 及び酸化膜 2 0 のエッチング量の増加は見られなかった。したがって、シリコン基板 1 の表面を削るためには、少なくとも Cl を含むガスを用いてシリコン基板 1 をエッチングすることが好ましい。

【 0 0 5 5 】

半導体装置の製造工程の説明に戻る。フッ酸を加えた SPM（sulfuric acid hydrogen peroxide mixture）溶液又はフッ酸を加えた APM（ammonia hydrogen peroxide mixture）溶液を用いて、シリコン基板 1 の表面を洗浄する。シリコン基板 1 に対する洗浄処理により、リフトオフされた酸化膜 2 0 の残留物の除去が行われる。図 9 は、PMOS 領域における酸化膜 2 0 の残留物を除去した場合の半導体装置の断面図である。

10

20

30

40

50

## 【 0 0 5 6 】

次に、N M O S 領域の酸化膜 2 0 をマスクとして、エッチングを行うことにより、酸化膜 2 0 から露出した箇所のシリコン基板 1 の表面にリセス ( 凹み ) 2 2 を形成する。すなわち、N M O S 領域の半導体基板 1 の表面にリセス 2 2 を形成する。エッチングは、等方性ドライエッチング、等方性ウェットエッチング及び異方性ウェットエッチングの何れかにより行ってもよいし、これらを組み合わせて行ってもよい。リセス 2 2 の深さは、例えば、2 0 n m 以上 1 0 0 n m 以下である。図 1 0 は、シリコン基板 1 の表面にリセス 2 2 を形成した場合の半導体装置の断面図である。

## 【 0 0 5 7 】

次いで、フッ酸を用いたウェット処理によりリセス 2 2 の表面の自然酸化膜を除去する。そして、C V D 法により、リセス 2 2 内に S i G e ( シリコンゲルマニウム ) を選択成長させることにより、リセス 2 2 内に S i G e 層 2 3 を形成する。図 1 1 は、シリコン基板 1 のリセス 2 2 内に S i G e 層 2 3 を形成した場合の半導体装置の断面図である。

## 【 0 0 5 8 】

H<sub>2</sub> ( 水素 )、S i H<sub>4</sub> ( シラン )、B<sub>2</sub>H<sub>6</sub> ( ジボラン )、H C l ( 塩化水素 )、G e H<sub>4</sub> ( ゲルマン ) の混合ガスを用いた場合、一例として、下記の条件でリセス 2 2 内に S i G e 層 2 3 を形成することができる。

- ・基板温度 5 0 0 以上 7 5 0 以下 ( 例えば、5 5 0 )
- ・混合ガスの全圧 1 3 3 3 . 2 2 P a
- ・各ガスの分圧 H<sub>2</sub> ( 水素 ) : 1 0 0 0 P a 以上 1 5 0 0 P a 以下 ( 例えば、1 3 0 0 P a )、S i H<sub>4</sub> ( シラン ) : 4 P a 以上 1 0 P a 以下 ( 例えば、6 P a )、B<sub>2</sub>H<sub>6</sub> ( ジボラン ) : 1 E - 3 P a 以上 2 E - 3 P a 以下 ( 例えば、1 . 3 E - 3 P a )、H C l ( 塩化水素 ) : 1 . 8 P a 以上 2 . 2 P a 以下 ( 例えば、2 P a )、G e H<sub>4</sub> ( ゲルマン ) : 4 P a 以上 1 0 P a 以下 ( 例えば、2 P a )
- ・ S i 成長速度 1 n m / m i n
- ・ B 濃度 1 E 1 9 / c m<sup>3</sup> 以上 1 E 2 1 / c m<sup>3</sup> 以下

N M O S 領域のシリコン基板 1 を覆うように酸化膜 2 0 が形成されているため、N M O S 領域のシリコン基板 1 の表面、第 1 ゲート電極 6 A 及び第 1 サイドウォール 1 2 A 等には、S i G e 層 2 3 が形成されていない。このように、N M O S 領域の酸化膜 2 0 は、S i G e 成長防止マスクとして機能する。

## 【 0 0 5 9 】

そして、フッ酸を用いたウェット処理により、N M O S 領域の酸化膜 2 0 を除去する。この場合、更にドライエッチングを行うことにより、N M O S 領域の酸化膜 2 0 を除去してもよい。図 1 2 は、N M O S 領域の酸化膜 2 0 を除去した場合の半導体装置の断面図である。なお、ソースドレイン領域 1 3 の形成が行われていない場合、N M O S 領域の酸化膜 2 0 を除去した後にソースドレイン領域 1 3 の形成を行うようにしてもよい。

## 【 0 0 6 0 】

次に、シリコン基板 1 の全面に、スパッタ法により N i ( ニッケル ) 及び C o ( コバルト ) 等の高融点金属膜を形成する。次いで、高融点金属膜をアニールして、第 1 ゲート電極 6 A の上面と、第 2 ゲート電極 6 B の上面と、ソースドレイン領域 1 3 におけるシリコン基板 1 の上面と、S i G e 層 2 3 の上面と、にそれぞれシリサイド層 2 4 を形成する。図 1 3 は、シリサイド層 2 4 を形成した場合の半導体装置の断面図である。

## 【 0 0 6 1 】

そして、T E O S ( t e t r a e t h o x y s i l a n e ) ガスを原料とするプラズマ C V D 法により、シリコン基板 1 上及びシリコン基板 1 の上方に、層間絶縁膜 3 0 として酸化シリコン ( S i O<sub>2</sub> ) 膜を形成する。次に、C M P 法により、層間絶縁膜 3 0 を研磨して、層間絶縁膜 3 0 の上面を平坦化する。

## 【 0 0 6 2 】

次いで、スピコート法により、フォトリソグラフ膜を層間絶縁膜 3 0 上に形成し、フォトリソグラフィによってフォトリソグラフ膜をパターニングすることにより、コンタクト用

10

20

30

40

50

のレジストを層間絶縁膜 30 上に形成する。そして、コンタクト用のレジストをマスクとして、異方性ドライエッチングを行い、層間絶縁膜 30 にコンタクトホールを形成する。

【0063】

次に、スパッタ法により、コンタクトホール内にバリアメタル膜を形成する。バリアメタル膜は、例えば、 $TaN$  (窒化タンタル) や  $TiN$  (窒化チタン) 等である。ここでは、コンタクトホール内にバリアメタル膜を形成する例を示すが、バリアメタル膜の形成工程を省略してもよい。

【0064】

次いで、CVD法により、コンタクトホール内にタングステン膜を形成する。タングステン膜に代えて、銅膜をコンタクトホール内に形成してもよい。そして、CMP法により、層間絶縁膜 30 の表面が露出するまで、タングステン膜及びバリアメタル膜を研磨する。この結果、コンタクトホール内にコンタクトプラグ 31 が形成される。図 14 は、層間絶縁膜 30 及びコンタクトプラグ 31 を形成した場合の半導体装置の断面図である。

10

【0065】

次に、スパッタ法により、層間絶縁膜 30 上に  $Al$  (アルミニウム) 等の金属膜を形成する。次いで、スピコート法により、フォトレジスト膜を金属膜上に形成し、フォトリソグラフィによってフォトレジスト膜をパターニングすることにより、配線用のレジストを金属膜上に形成する。そして、配線用のレジストをマスクとして、異方性ドライエッチングを行い、層間絶縁膜 30 上に配線層 32 を形成する。図 15 は、配線層 32 を形成した場合の半導体装置の断面図である。必要に応じて、層間絶縁膜 30、コンタクトプラグ 31 及び配線層 32 の形成と同様の工程により、層間絶縁膜、ビアプラグ及び配線層を形成して、多層配線構造としてもよい。

20

【0066】

図 16 に、ゲートピッチ ( $W_{pitch}$ )、ゲート幅 ( $W_{gate}$ )、 $SW$  幅 ( $W_{sw}$ ) 及びリセス幅 ( $W_{recess}$ ) の寸法を示す。ゲートピッチ ( $W_{pitch}$ ) は、隣接する第 2 ゲート電極 6B のピッチである。ゲート幅 ( $W_{gate}$ ) は、第 2 ゲート電極 6B の幅である。 $SW$  幅 ( $W_{sw}$ ) は、第 2 thin サイドウォール 7B 及び第 2 サイドウォール 12B の幅である。リセス幅 ( $W_{recess}$ ) は、リセス 22 の幅である。

【0067】

酸化膜 20 の膜厚が厚い場合、酸化膜 20 が均一の膜厚でシリコン基板 1 上に形成されず、狭ピッチ部のリセス幅 ( $W_{recess}$ ) が酸化膜 20 で完全に埋まってしまう。狭ピッチ部のリセス幅 ( $W_{recess}$ ) が酸化膜 20 で完全に埋まらないようにするための酸化膜 20 の膜厚は、ゲートピッチ ( $W_{pitch}$ )、ゲート幅 ( $W_{gate}$ ) 及び  $SW$  幅 ( $W_{sw}$ ) に依存し、下記の式によって算出することが可能である。

30

【0068】

$$W_{recess} = W_{pitch} - W_{gate} - 2W_{sw}$$

酸化膜 20 としてカバレッジが良い膜を用いた場合、狭ピッチ部のリセス幅 ( $W_{recess}$ ) が完全に埋まらないようにするための酸化膜 20 の膜厚は、 $W_{recess} / 2$  の膜厚となる。カバレッジが良い膜は、平坦部に成長する膜の膜厚と、サイドウォールの横に成長する膜の膜厚との差が小さい膜である。例えば、ゲートピッチ ( $W_{pitch}$ ) が  $140\text{ nm}$ 、ゲート幅 ( $W_{gate}$ ) が  $40\text{ nm}$ 、 $SW$  幅 ( $W_{sw}$ ) が  $30\text{ nm}$  である場合、 $W_{recess} = 140\text{ nm} - 40\text{ nm} - 30\text{ nm} \times 2 = 40\text{ nm}$  となる。したがって、狭ピッチ部のリセス幅 ( $W_{recess}$ ) が酸化膜 20 で完全に埋まらないようにするための酸化膜 20 の膜厚は、 $40\text{ nm} / 2 = 20\text{ nm}$  となる。

40

【0069】

本実施形態によれば、シリコン基板 1 及び  $NMOS$  領域の酸化膜 20 に対して  $Cl$  を含むガスでプラズマ処理を行うことにより、酸化膜 20 が緻密化され、 $NMOS$  領域の酸化膜 20 のフッ酸耐性を向上することができる。 $NMOS$  領域の酸化膜 20 のフッ酸耐性が向上するため、フッ酸を用いたウェット処理によりリセス 22 の表面の自然酸化膜を除去する工程において、 $NMOS$  領域の酸化膜 20 が除去されない。したがって、 $PMOS$  領

50

域の半導体基板 1 のリセス 2 2 内に S i G e 層 2 3 を形成する工程において、N M O S 領域に S i G e 層 2 3 が形成されることを回避できる。

【 0 0 7 0 】

また、本実施形態によれば、シリコン基板 1 及び N M O S 領域の酸化膜 2 0 に対して C 1 を含むガスでプラズマ処理を行うことにより、シリコン基板 1 上に残存する酸化膜 2 0 の残留物をリフトオフすることができる。リフトオフされた酸化膜 2 0 の残留物は、シリコン基板 1 に対する洗浄処理により除去することができる。P M O S 領域の酸化膜 2 0 が完全に除去されるため、P M O S 領域に酸化膜 2 0 の一部が残存するという問題を解消することができる。その結果、P M O S 領域の半導体基板 1 の表面に所望の形状のリセス 2 2 を形成することが可能となり、P M O S 領域の半導体基板 1 の表面に形成されるリセス 2 2 の形状不良の発生を抑止することができる。P M O S 領域の半導体基板 1 の表面に所望の形状のリセス 2 2 が形成されるため、リセス 2 2 内に形成される S i G e 層 2 3 の幅のバラツキが抑制される。これにより、チャンネル領域に印加される圧縮歪みの大きさが安定化され、P M O S F E T の特性の安定化を図ることが可能となる。

10

【 0 0 7 1 】

本実施形態では、シリコン基板 1 及び N M O S 領域の酸化膜 2 0 に対して C 1 を含むガスでプラズマ処理を行うことにより、酸化膜 2 0 を緻密化するとともに、シリコン基板 1 上に残存する酸化膜 2 0 の残留物をリフトオフする例を説明した。すなわち、一つの工程により、酸化膜 2 0 を緻密化するとともに、シリコン基板 1 上に残存する酸化膜 2 0 の残留物をリフトオフする例を説明した。しかし、これに限定されず、酸化膜 2 0 を緻密化する工程と、シリコン基板 1 上に残存する酸化膜 2 0 の残留物をリフトオフする工程とを別工程としてもよい。別工程とした場合、シリコン基板 1 及び N M O S 領域の酸化膜 2 0 に対して H e を含むガスでプラズマ処理を行うことにより、酸化膜 2 0 を緻密化してもよい。また、別工程とした場合、プラズマ状態ではない C 1 ガスを用いて、シリコン基板 1 上に残存する酸化膜 2 0 の残留物をリフトオフするようにしてもよい。

20

【 符号の説明 】

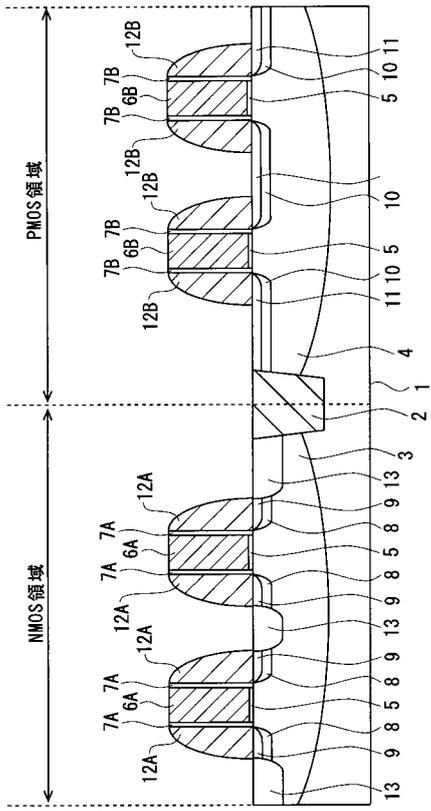
【 0 0 7 2 】

- 1 シリコン(半導体)基板
- 2 素子分離膜
- 3 p ウェル
- 4 n ウェル
- 5 ゲート絶縁膜
- 6 A 第 1 ゲート電極
- 6 B 第 2 ゲート電極
- 7 A 第 1 thin サイドウォール
- 7 B 第 2 thin サイドウォール
- 8、10 ポケット領域
- 9、11 エクステンション領域
- 12 A 第 1 サイドウォール
- 12 B 第 2 サイドウォール
- 13 ソースドレイン領域
- 20 酸化膜
- 21 レジスト
- 22 リセス
- 23 S i G e (シリコンゲルマニウム)層
- 24 シリサイド層
- 30 層間絶縁膜
- 31 コンタクトプラグ
- 32 配線層

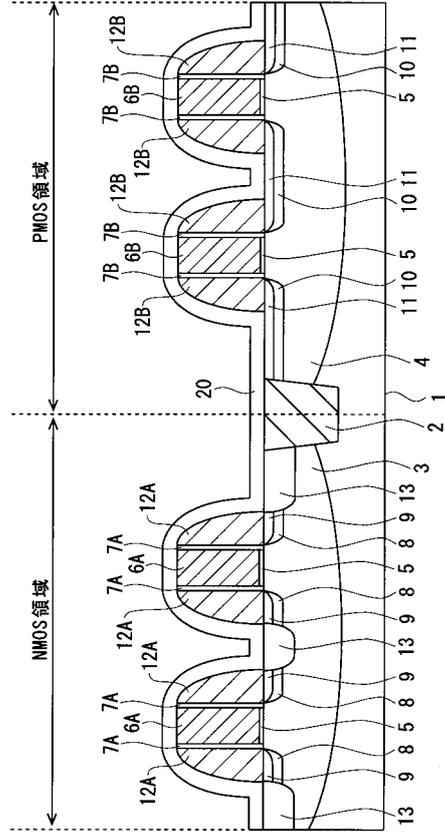
30

40

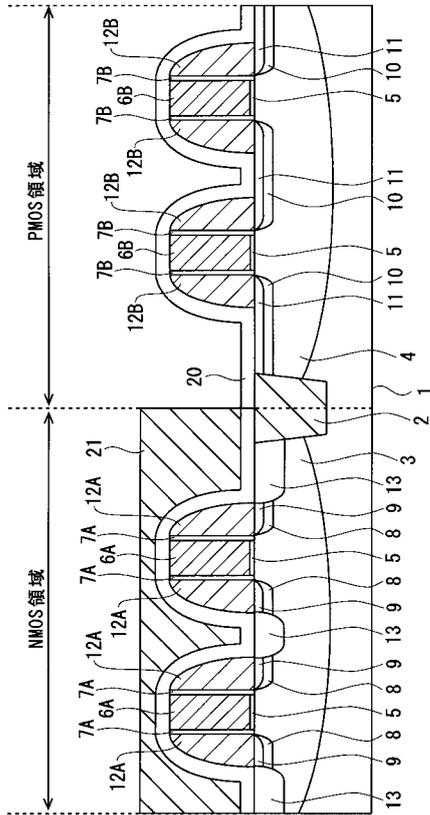
【 図 1 】



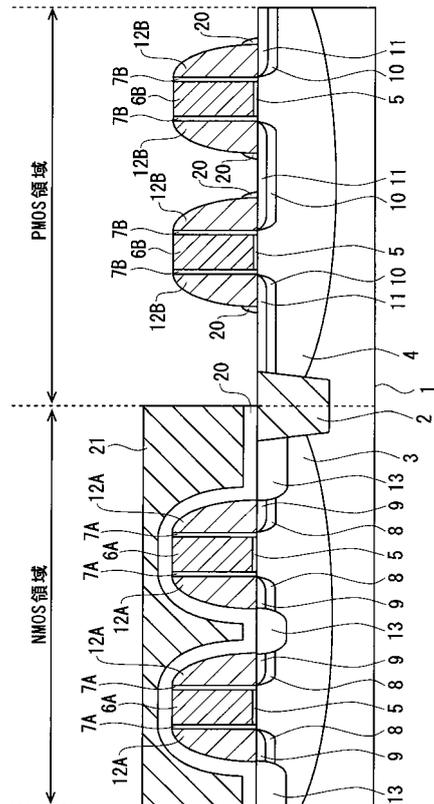
【 図 2 】



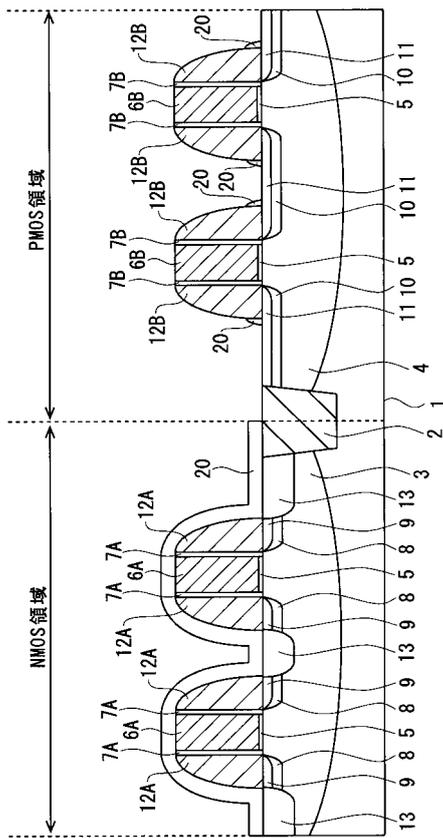
【 図 3 】



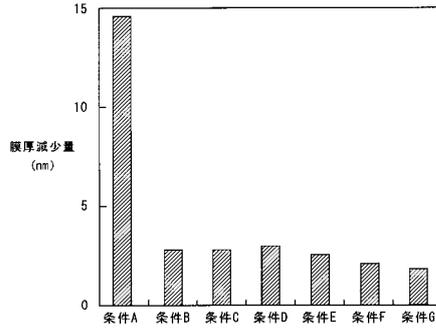
【 図 4 】



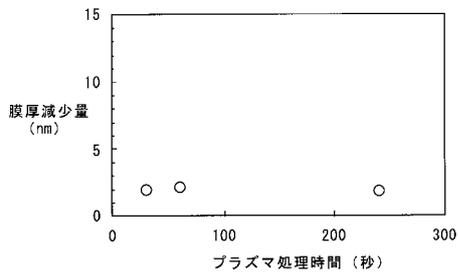
【図5】



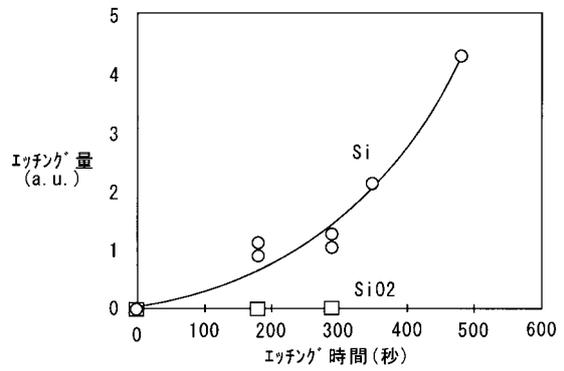
【図6】



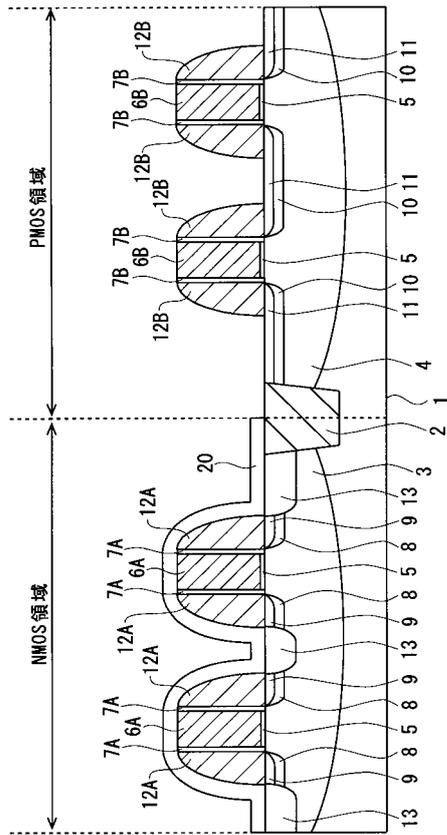
【図7】



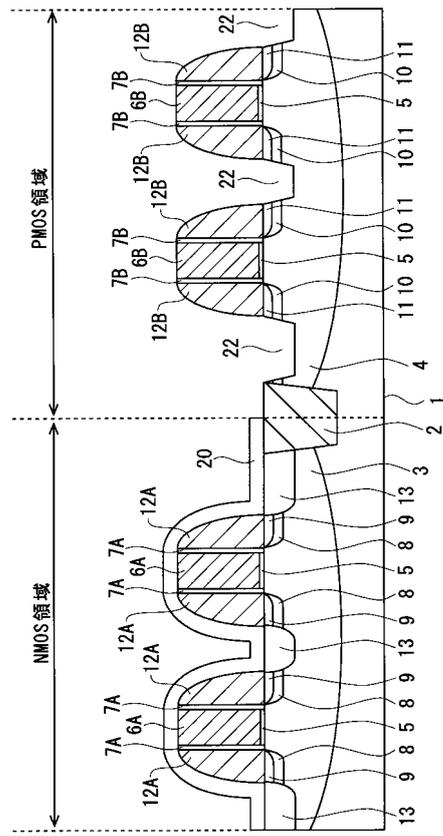
【図8】



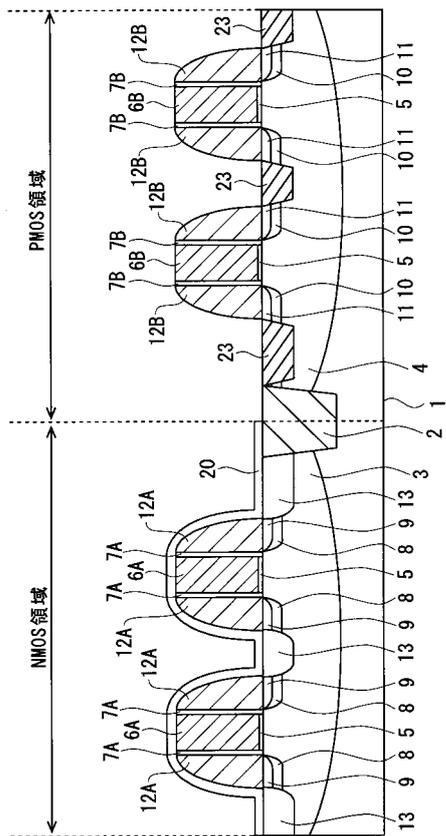
【図 9】



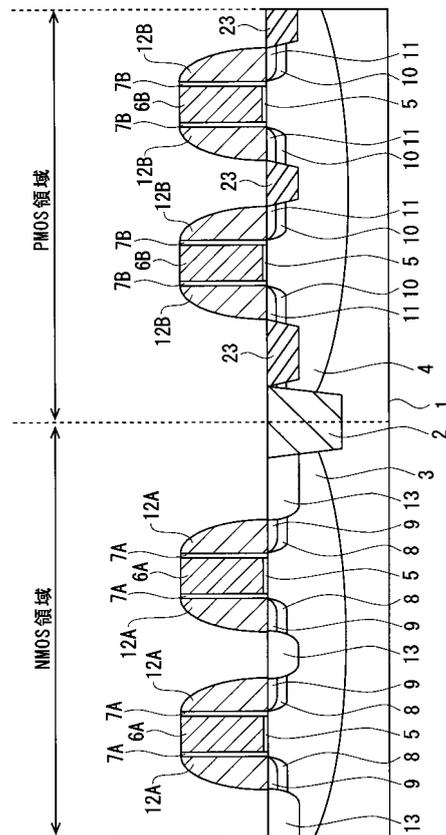
【図 10】



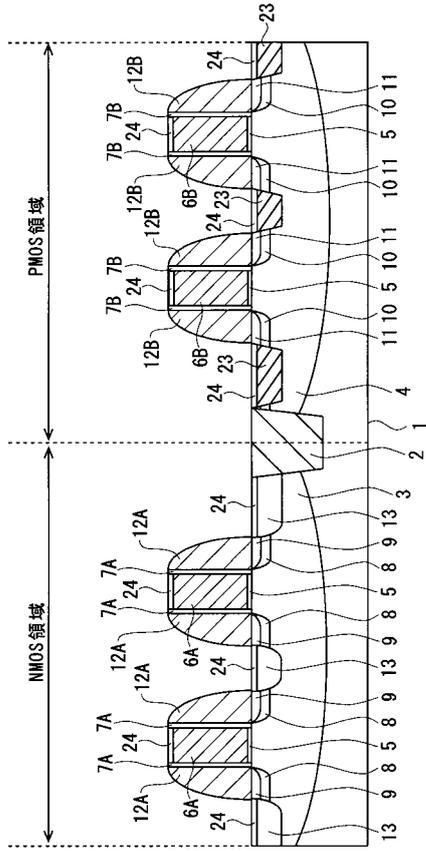
【図 11】



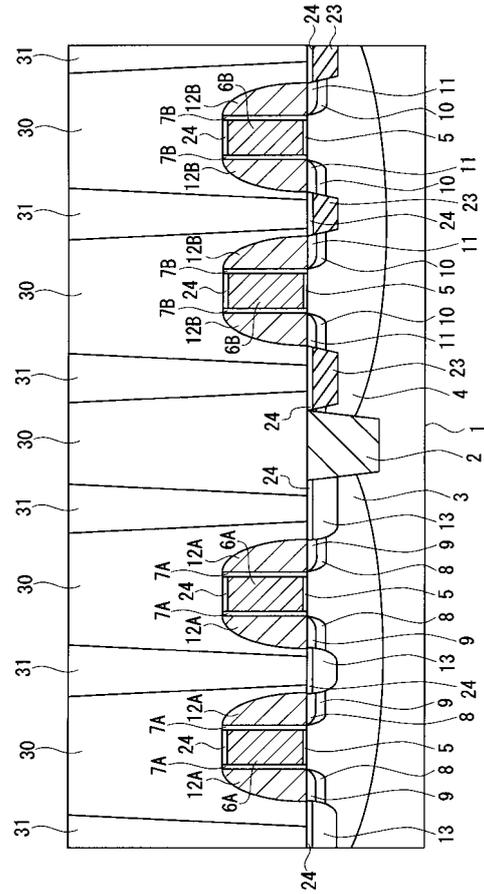
【図 12】



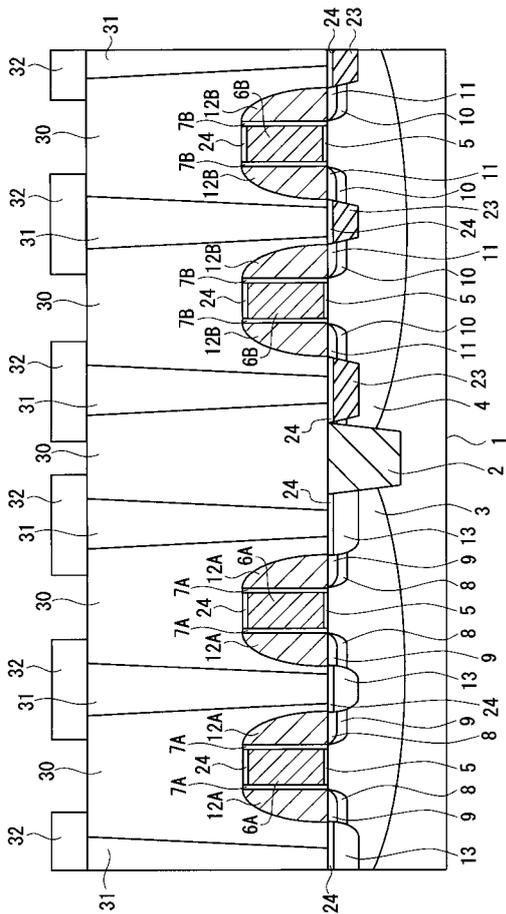
【図13】



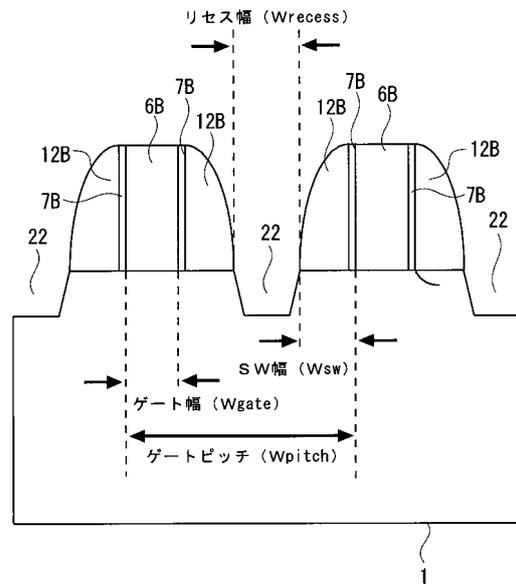
【図14】



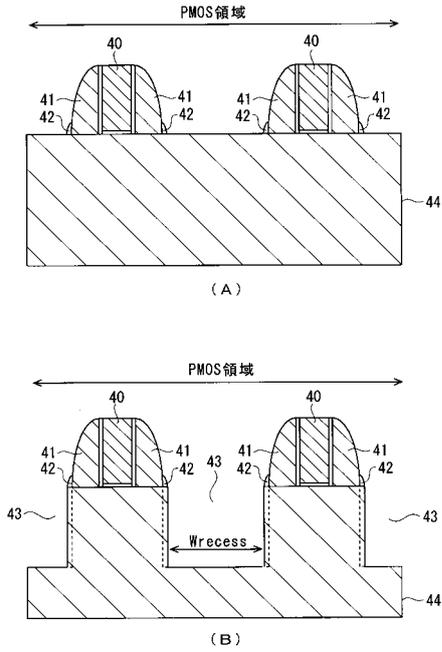
【図15】



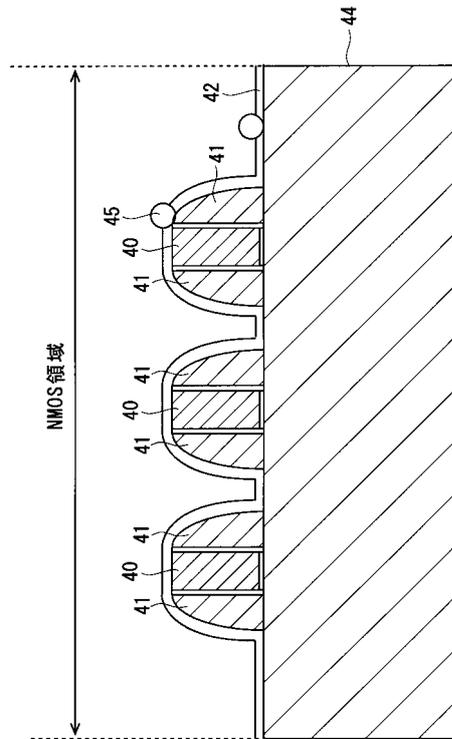
【図16】



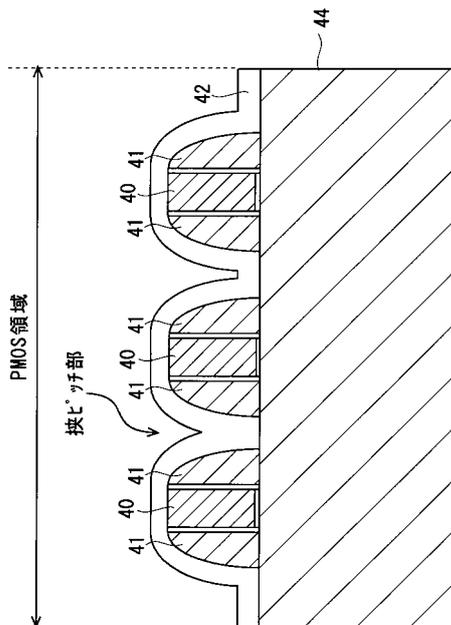
【図17】



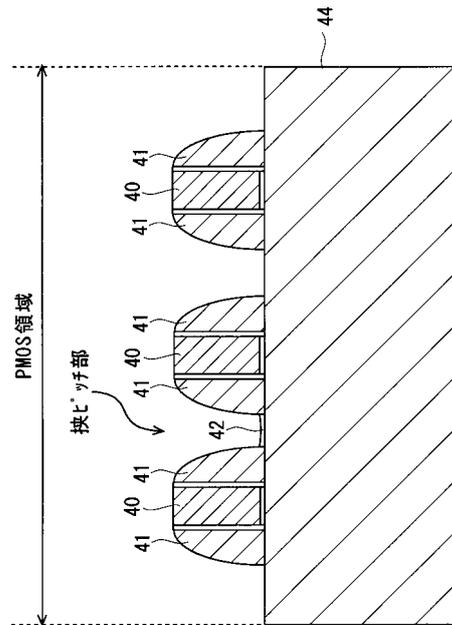
【図18】



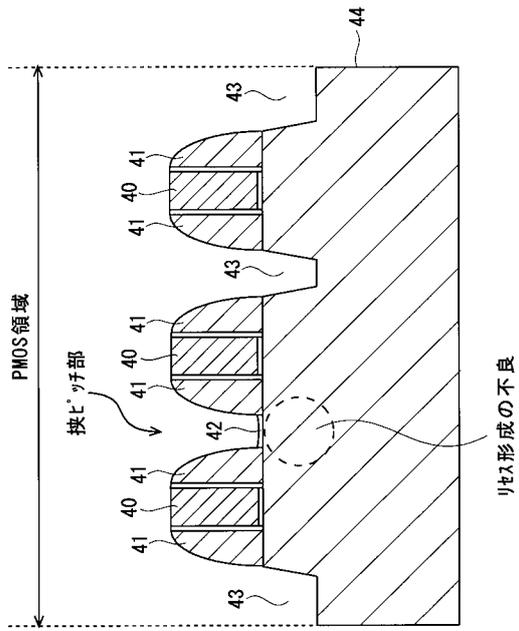
【図19】



【図20】



【図 21】



---

フロントページの続き

(72)発明者 杉本 賢

神奈川県横浜市港北区新横浜二丁目10番23 富士通マイクロエレクトロニクス株式会社内

(72)発明者 西川 昌利

神奈川県横浜市港北区新横浜二丁目10番23 富士通マイクロエレクトロニクス株式会社内

審査官 岩本 勉

(56)参考文献 特開2010-074105(JP,A)

国際公開第2008/127643(WO,A1)

特表2009-503851(JP,A)

特開平09-219498(JP,A)

特開2009-200225(JP,A)

特開2006-135340(JP,A)

特開2007-214278(JP,A)

特表2010-524259(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234 - 21/8238、21/8249、

27/06 - 27/08、27/088 - 27/092