

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4137903号
(P4137903)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl. F I
G06T 1/60 (2006.01) G O 6 T 1/60 4 5 0 H
G06T 11/00 (2006.01) G O 6 T 11/00 1 0 0 A

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2005-71366 (P2005-71366)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成17年3月14日(2005.3.14)	(74) 代理人	110000350 ポレール特許業務法人
(62) 分割の表示 原出願日	特願平8-258725の分割 平成8年9月30日(1996.9.30)	(74) 代理人	100068504 弁理士 小川 勝男
(65) 公開番号	特開2005-276194 (P2005-276194A)	(74) 代理人	100086656 弁理士 田中 恭助
(43) 公開日 審査請求日	平成17年10月6日(2005.10.6) 平成17年4月11日(2005.4.11)	(72) 発明者	松尾 茂 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所 日立研究所内
		(72) 発明者	下村 哲也 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所 日立研究所内 最終頁に続く

(54) 【発明の名称】 グラフィックス表示装置およびグラフィックスプロセッサ

(57) 【特許請求の範囲】

【請求項1】

表示すべきグラフィックス図形の種類や頂点パラメータ等で構成される描画手続き情報を生成するCPUと、前記CPUが生成した前記描画手続き情報や表示器に出力する描画データを記憶するグラフィックスメモリと、前記描画手続き情報に対する描画アクセスを行って前記グラフィックスメモリに描画データを記憶し、さらに前記描画データを前記表示器に出力する表示読み出しを行うグラフィックスプロセッサを備え、前記CPUと前記グラフィックスプロセッサの双方から前記グラフィックスメモリをアクセスするグラフィックス表示装置において、

前記CPUが前記グラフィックスメモリにデータを書き込む場合は、書き込むべきアドレスとデータを前記グラフィックスプロセッサ内のFIFOにその容量が満杯になるまで一次記憶させ、該FIFOから前記グラフィックスメモリに書き込む場合はページモードにより複数ワードのデータを連続して書き込み、

前記FIFOにデータが記憶されている状態で所定期間、前記CPUから前記FIFOへの書き込みがなされなかった場合には、前記グラフィックスプロセッサは前記FIFOに記憶されているデータを前記アドレスに従って前記グラフィックスメモリに前記ページモードにより書き込むことを特徴とするグラフィックス表示装置。

【請求項2】

表示すべきグラフィックス図形の種類や頂点パラメータ等で構成される描画手続き情報を生成するCPUと、前記CPUが生成した前記描画手続き情報や表示器に出力する描画

10

20

データを記憶するグラフィックメモリと、前記描画手続き情報に対する描画アクセスを行って前記グラフィックメモリに描画データを記憶し、さらに前記描画データを前記表示器に出力する表示読み出しを行うグラフィックプロセッサを備え、前記CPUと前記グラフィックプロセッサの双方から前記グラフィックメモリをアクセスするグラフィックス表示装置において、

前記CPUが前記グラフィックメモリにデータを書き込む場合は、書き込むべきアドレスとデータを前記グラフィックプロセッサ内のFIFOにその容量が満杯になるまで一次記憶させ、該FIFOから前記グラフィックメモリに書き込む場合はページモードにより複数ワードのデータを連続して書き込み、

前記CPUが前記グラフィックメモリを読み出す場合は、前記CPUが読み出す前に前記グラフィックプロセッサは前記FIFOに記憶されているデータを前記アドレスに従って前記グラフィックメモリに前記ページモードにより書き込むことを特徴とするグラフィックス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はグラフィックス表示装置に係り、特に動画の表示に必要な複数の情報を同一メモリに統合したグラフィックス表示装置とグラフィックプロセッサに関する。

【背景技術】

【0002】

高速な三次元グラフィックスを処理するプロセッサとして、非特許文献1記載の例がある。このプロセッサは、プロセッサ専用メモリとして、テクスチャ用メモリ、フレームバッファ用メモリ、ローカル用メモリの3種類を設けている。このアーキテクチャは性能向上の上で有利であるが、メモリが複数になるため個人向け携帯機器等の小形、低廉の装置には向かない。

【0003】

一方、グラフィックス情報を一元化し、引用例1に比べてメモリ個数を削減できる例に特許文献1がある。このグラフィックスシステムでは、CPUの主メモリ中にCPUのプログラム、テクスチャデータ、フレームバッファ等を統合して持つ。

【0004】

【特許文献1】特開平5-257793号公報

【非特許文献1】3次元CG描画LSI-パソコンで30万ポリゴン/秒実現-(日経エレクトロニクス; No. 640, 1995.7.17, pp109-120)

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記した従来技術においては、メモリのアクセス能力が数百MB/sといった十分高速のメモリシステムを備え、表示データ読出しの時間は十分に確保できていることが実現の前提となる。このことは、高価なメモリシステムを必要とし、小型化、低価格化の妨げとなる。

【0006】

特許文献1の構成において、もし、安価なメモリシステムを用いてメモリのアクセス能力を下げると、動画に必要な表示データの読出し時間の確保のために、表示以外の描画やCPUアクセスとの調整が必要になる。CPUからのライトアクセスの時間はデータ量によって変化するが、高速グラフィックスのための時間当たりのデータ量は増大し、1画面当たりのアクセス時間も長くなる。

【0007】

このため、メモリ統合タイプでは表示アクセスを優先する。しかし、グラフィックメモリから描画データを読み出す(以下、表示アクセスと呼ぶ)のアクセス要求が発行されても、CPUなど他のアクセスの実行中はそれが終了するまで待たされることになり、そ

10

20

30

40

50

の間に表示バッファのデータが空になると、動画の表示画面が乱れてしまう。そこで、表示アクセス時間に余裕を持たせて、表示バッファのデータ蓄積量を高めて、動画の画質を維持している。しかし、従来の表示アクセス優先方式ではグラフィックメモリのアクセス効率が低下するために、CPUによる高速グラフィックスの処理が困難になる。

【0008】

一般に、CPUは出力データを転送するためのキャッシュメモリを内蔵し、そのキャッシュ方式によってメモリアクセスのタイミングが相違する。たとえば、1ワードのみを転送するライトスルー方式に対し、複数ワード連続して転送するコピーバック方式は、描画手続き情報（以下では、描画コマンド）をまとめて転送できるのでアクセス時間を短縮できるにもかかわらず、アクセス時間の長いライトスルー方式において余裕のある表示アクセス時間の確保を行なっている。即ち、キャッシュ方式の違いに対する考慮がなされていないために、メモリアクセス効率が低下し、コピーバック方式で可能な高速のグラフィックス表示が犠牲にされていた。

10

【0009】

本発明の目的は、CPUとグラフィックスプロセッサの双方からアクセスする1つのグラフィックメモリを用いる場合に、CPUのキャッシュ方式に応じて1回の表示アクセスの連続時間を最適化して、メモリアクセス効率を高め、高速のグラフィックス表示を実現する表示装置と、そのグラフィックスプロセッサを提供することにある。

【課題を解決するための手段】**【0010】**

上記目的を達成する本発明のグラフィックス表示装置は、表示すべきグラフィックス図形の種類や頂点パラメータ等で構成される描画手続き情報（描画コマンド）を生成するCPUと、そのCPUから書き込まれる（ライトアクセス）前記描画手続き情報や表示器に出力する描画データ（ビットマップ情報）を記憶する1つのメモリと、前記描画手続き情報に対する描画アクセスを行なって前記メモリに描画データを記憶し、さらに前記描画データを前記表示器に出力する表示読み出し（表示アクセス）を行うグラフィックスプロセッサを備え、さらに、前記グラフィックスプロセッサは、前記CPUに具備され前記メモリへデータを転送するキャッシュメモリのキャッシュ方式に応じて、前記メモリに対する表示読み出しタイミングを変化させることを特徴とする。

20

【0011】

前記グラフィックスプロセッサは、前記キャッシュ方式が前記メモリに対して、複数ワードのデータを連続して転送する方式か又は1ワード毎に転送する方式かを示すキャッシュ方式情報を前記CPUから与えられ、前者の場合は後者に比べて1回の表示読み出しの連続時間を短くすることを特徴とする。

30

【0012】

上記目的を達成する本発明のグラフィックスプロセッサは、表示すべきグラフィックス図形の種類や頂点パラメータ等で構成される描画手続き情報（描画コマンド）の記憶エリア及び表示器に出力するビットマップ情報を記憶するエリアを有するグラフィックメモリに対して、前記ビットマップ情報を生成するための描画アクセス及び、表示器に表示データを出力するための表示アクセスを行うものであって、さらに、前記グラフィックメモリに対する前記描画手続き情報のライトアクセスが複数ワードのデータを連続アドレスで転送する方式か又は、1ワード毎に転送する方式かを示す転送方式情報を設定され、前者の場合は後者に比べて1回の前記表示アクセスの連続時間を短くすることを特徴とする。

40

【0013】

また、前記グラフィックスプロセッサは、前記描画アクセスを行なう描画ユニットと前記表示アクセスを行なう表示コントローラと、CPUからのデータ転送を受信し前記ライトアクセスを行なうインターフェイス手段と、それらのメモリアクセス要求を受け前記表示アクセスを優先するように制御するメモリコントローラ手段を備え、前記描画手続き情報を転送する前記CPUのキャッシュ方式によって前記転送方式情報を設定し、前記キ

50

キャッシュ方式がコピーバック方式の場合はライトスルー方式に比べて1回の表示アクセスの連続時間を短くすることを特徴とする。

【0014】

さらに、前記グラフィックスプロセッサは、前記表示アクセスによって前記グラフィックスメモリから読み出されたビットマップ情報を一時記憶し、表示器のタイミングによって出力する表示バッファを備え、前記1回の表示アクセスによる連続ワード数を前記表示バッファのデータ保持数の最大値とし、前記表示アクセスの要求発行のタイミングを前記データ保持数未満のしきい値とし、これらの最大値としきい値を前記転送方式情報に応じて変化させることを特徴とする。

【0015】

本発明の構成によれば、CPUがコピーバック方式の場合に、CPUのグラフィックスメモリに対するデータの書き込みは連続アドレスとなるので、同一データ量に対するライトアクセス時間が短くてすむ。その分、表示アクセスの優先確保のための余裕時間が少なくすみ、全体として1回のライトアクセス時間と表示アクセス時間は、ライトスルー方式の場合に比べて短縮できるので、メモリのアクセス効率が高まり、高速のグラフィックス処理が可能になる。言い替えれば、CPU側が高速のコピーバック方式によって、描画データのライトアクセスを行なうのに追従して、高速の描画処理を行なうことができる。

【発明の効果】

【0016】

本発明によれば、グラフィックスプロセッサに対してCPUのキャッシュ方式の違いを設定することによって、グラフィックスメモリを効率良くアクセスすることが可能となる。従って、グラフィックス表示処理の高速化を図ることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明による一実施形態を図面にしたがって詳細に説明する。図1は、本発明を適用する図形処理システムの構成図を示す。CPU10は装置全体の制御を行うと共に、表示器51に図形を表示するためのプログラムを実行する。主メモリ11は、CPU10が処理するデータやプログラムを記憶する。CD-ROMコントローラ12はCD-ROMの図形情報をアクセスし、通信コントローラ13は図示しない他の装置との情報を送受する。

【0018】

グラフィックスプロセッサ20は、グラフィックスメモリ40内の表示領域に図形を描画し、さらに描画したデータを読み出して表示器51に図形を表示する。DAC(Digital to Analog Converter)10は、グラフィックスプロセッサ20が出力するデジタル形式の表示データをアナログデータに変換する。

【0019】

グラフィックスメモリ40を構成する素子としては、DRAMを用いるのが望ましい。DRAMは他のメモリに比べて、チップ面積に対するトランジスタの集積度が高いためである。また、高速ページモードアクセスというアクセス方式を持っており、アドレスの上位部分(例えばビット9以上)が一致している場合の連続アクセスでは、高速なアクセスが可能になる。

【0020】

本装置で表示する図形は、1/60秒または1/30秒周期で、図形の大きさや位置を少しずつ変化させ、画面を連続的に見せることでグラフィックス図形の動画表示を行う。このため、CPU10やグラフィックスプロセッサ20は、1/60秒または1/30秒内に1画面分の描画を行なう。図形の描画は、次の手順で行なわれ、1画面分を繰り返し処理する。

(1) CPU10による図形データの座標変換

表示すべき図形に対して、方向や大きさ等を計算し、図形の頂点座標の計算を行う。三角形や四角形の単純図形を多数組合せて構成した複雑な図形の場合、その全ての単純図形

10

20

30

40

50

の頂点座標を計算する。

(2) CPU10によるディスプレイリストの作成

多数の単純図形からなる複雑な図形をグラフィックメモリ40に描画するために、CPU10は描画コマンド(以下では単に、コマンドと呼ぶ)をグラフィックプロセッサ20が実行できるコマンド形式に変換して、グラフィックメモリ40に転送する。通常は、単純図形単位のコマンドを組み合わせ、1図形分のコマンドに連結する。このコマンドが連結したものをディスプレイリストと呼ぶ。ディスプレイリストは数10~数100Kバイトの大きさで、ディスプレイリスト領域401に格納される。

(3) グラフィックプロセッサ20による描画

このディスプレイリストをグラフィックプロセッサ20が順次、読み込み、リストに示されるコマンドに従って、グラフィックメモリ40内の描画・表示領域402に描画する。

10

(4) グラフィックプロセッサ20による表示

描画・表示領域402に描画された図形は、グラフィックプロセッサ20により表示タイミングで読み出され、表示器51に表示される。描画・表示領域402はダブルバッファで構成され、描画と表示のバッファが交互に切り替わる。

【0021】

以上の(1)~(4)の処理を、1/60秒または1/30秒周期で繰り返す。システムバス14は、上記の周期でディスプレイリストのデータを転送する。

【0022】

20

次に、グラフィックプロセッサ20の構成と動作の概略を説明する。CPU I/F 21は、CPU10がシステム制御レジスタ32等のレジスタ類やグラフィックメモリ40をアクセスするための制御を行う。描画ユニット23は、グラフィックメモリ40内のディスプレイリストをフェッチし、そのリストに示されるコマンドに従って描画を行う。パラメータ変換部22は、必要に応じてコマンドのパラメータを変換する。表示コントローラ24は、描画ユニット23が描画したデータを表示するための制御を行なう。

【0023】

このように、グラフィックプロセッサ20はその各要素が何らかの処理を行う度にグラフィックメモリ40をアクセスするため、グラフィックメモリ40のアクセス効率を高めることが処理速度の向上につながる。そこで、グラフィックプロセッサ20は、アクセス要求単位にキャッシュやFIFOを持つことでアクセス効率を高める。

30

【0024】

CPU FIFO 25は、CPU10によるグラフィックメモリ40のアクセスを高速化する。キャッシュ(1)26はコマンド専用、キャッシュ(2)27はテクスチャ専用、キャッシュ(3)28は描画専用である。また、表示データ用に表示バッファ29を持つ。

【0025】

メモリコントローラ30は、キャッシュ(1)~(3)やFIFO25等から、グラフィックメモリ40に対するアクセス要求を受け付け、その優先順位を決定し、アクセスを制御する。メモリコントローラ30は表示コントローラ24からのアクセスを最優先する。しかし、CPU10や描画ユニット23からのアクセスが行なわれている間は、それらは中断されずに表示コントローラからのアクセスが待たされる。

40

【0026】

システム制御レジスタ32は、グラフィックプロセッサ20の動作モードを指定するレジスタである。レジスタ32は、CPU10のキャッシュモードを指定するCAM(CPU Access Mode)ビットを有している。

【0027】

図2に、グラフィックプロセッサ20の端子機能(1)~(5)を示す。

(1) System系

システムモードの設定とクロック及びリセットを入力する端子である。グラフィックス

50

プロセッサ 20 は、描画系と表示系で独立したクロックを入力でき、表示器 51 の性能に関係なく、描画系は常に高速処理を行うことができる。

(2) CPU系

CPU I/F 21 用の端子である。CPU 10 はグラフィックメモリ 40 の全空間と、システム制御レジスタ 32 等の内部レジスタをアクセスすることができる。グラフィックメモリ 40 をアクセスする場合は、CS0 端子を Low に、レジスタをアクセスする場合は CS1 端子を Low にする。グラフィックメモリ 40 へのライトアクセスは、バイト単位が可能となるようにライトインポートを 2 本持つ。このほか、DMA 転送を制御する DREQ、DACK 端子や、バスサイクルを延長する WAIT 端子、CPU 10 に対して割り込みを発生させる IRL 端子がある。

10

(3) Power系

電源を供給する端子は、クロック制御を行う PLL 専用の端子と、その他の一般用がある。

(4) Display系

表示用の端子にはドットクロック出力 (DCLK)、表示データ出力 (DD0 - DD15)、同期信号の入出力端子 (HSYNC, VSYNC) 等がある。

(5) Memory系

グラフィックメモリ 40 との I/F として、DRAM を直結できる端子を備えている。

【0028】

20

図 3 に、グラフィックスプロセッサの描画コマンドを示す。四角形描画コマンドは、矩形のテクスチャデータを任意の四角形に変形させながら描画する。テクスチャデータが 2 値の場合はカラー拡張を行う。LINE は単一の直線、または複数の直線を描画する。MOVE は描画開始点の移動を行う。LOFS は描画座標の原点をずらす。MOVE が実行された後のコマンドは、ディスプレイリストに示される座標パラメータに対して、このコマンドで指定した分だけ座標をずらして描画する。AFFIN は図形を描画する場合に、回転や拡大、縮小を指定する。ディスプレイに示される座標パラメータに対して、AFFIN で指定した分だけ座標を回転 (または拡大、縮小) して描画する。JUMP はディスプレイリストを分岐させる。GOSUB はディスプレイリストのサブルーチンをコールする。RET はサブルーチンから復帰する。TRAP はディスプレイリストのフェッチを終了する。FLASH はテクスチャデータのキャッシュであるキャッシュ (2) 27 内に存在するデータを無効化し、新たにグラフィックメモリ 40 からデータを読み込ませる。

30

【0029】

図 4 に、グラフィックスプロセッサ内の各レジスタのデータリストを示し、以下にその機能を説明する。

(1) システム制御レジスタ

SRES は、描画ユニット 23 をソフトウェアによって初期化し、DRES は、表示コントローラ 24 をソフトウェアによって初期化する。DAC は、表示領域 (フレームバッファ領域) を切り替える。RS は、ディスプレイリストのフェッチを開始させる。CAM は CPU 10 内のキャッシュ 101 の種類を指定する。

40

【0030】

CPU 10 がグラフィックメモリ 40 にデータをストアする動作の特徴として、キャッシュ 101 がコピーバック方式を採用している場合は、キャッシュのラインサイズ分だけ纏めてデータをライトする。一方、ライトスルー方式を採用している場合は、1ワード単位でデータをライトする。従って、CAM の設定によって、CPU のキャッシュ方式の指定や切り換えが可能になる。

(2) ステータスレジスタ

VBK は、表示のフレーム切り替えを通知する。TRA は、TRAP コマンドを実行しディスプレイリストのフェッチを終了したことを通知する。DBF は、2 つのフレームバッファに対し、現在どちらを表示中かを示す。

50

(3) ステータスレジスタ・クリアレジスタ

対応するステータスレジスタのビットをクリアする。

(4) 割り込み許可レジスタ

対応するステータスレジスタの各ビットによって、CPU10に割り込みを発生させることを指定する。

(5) レンダリングモード

MWXは、画面の横幅が512画素以下であるか、それとも513画素以上1024画素以下であるかを指定する。GBMは、1画素が8ビットであるか16ビットであるかを指定する。

(6) 表示モード

SCMは、表示がインタレースであるか、ノンインタレースであるかを指定する。TVMは、TV同期モードであるか、それともマスタモードであるかを指定する。RCYNは、グラフィックスメモリ40のリフレッシュサイクル数を指定する。

(7) 表示サイズ

表示画面のX方向とY方向の大きさを指定する。

(8) 表示開始アドレス

グラフィックスメモリ40上の2つのフレームバッファの開始アドレスを指定する。

(9) ディスプレイリストアドレス

グラフィックスメモリ40上のディスプレイリストのスタートアドレスを指定する。

(10) ソース領域開始アドレス

テクスチャデータの格納領域の開始アドレスを指定する。

(11) 表示制御関係レジスタ

レジスタ番号10から1Aは、表示制御に関するレジスタである。表示画面の大きさに合わせて表示データを読み出すタイミングの設定や、水平/垂直同期信号の周期等を設定する。また、表示リセット時出力レジスタは、表示読み出しを行っていない時に画面に表示するカラー値を設定する。例えば、表示動作を停止中は画面をブルーバック(青色表示)にすることができる。

(12) コマンドステータスレジスタ

ディスプレイリストのフェッチを停止した時のメモリアドレスを通知するレジスタである。

【0031】

次に、CPU10がグラフィックスメモリ40をアクセスするためのCPU FIFO 25の構成と動作を説明する。

【0032】

図5は、CPU FIFOの機能ブロック図である。CPU10がグラフィックスメモリ40へのストア動作を行う度に、CPU I/F部21からライトリクエスト信号がくる。すると、カウンタ252がカウントアップされるとともに、その時のCPU10のライトアドレスとデータがFIFO 250に格納される。一致検出部253で、カウンタ252の値とFIFO容量を比較し、FIFOが満杯になったことがわかると、フリップフロップ258をセットする。その結果、CPU I/F部21にはFIFO 250のビジーが通知され、CPU10がこれ以上データをストアしないようにする。

【0033】

一方で、メモリコントローラ30には、グラフィックスメモリ40への書き込み要求を出力する。メモリコントローラ30は1ワードのデータを書き込む度に、カウンタ256を更新するFIFOカウンタ更新信号を出力する。カウンタ256の値は一致検出器255によってカウンタ252の値と比較される。カウンタ256はFIFO 250の読み出しカウンタであり、カウンタ252はFIFOの書き込みカウンタである。この2つの値が一致すると(即ち、CPU10によって書き込まれたワード数だけ、メモリコントローラ30が読み出すと)、グラフィックスメモリ40への書き込みを停止するためフリップフロップ258をリセットする。

10

20

30

40

50

【 0 0 3 4 】

フリーランカウンタ 2 5 4 は、一定期間 C P U 1 0 による書き込みがなかった場合に、F I F O 2 5 0 のデータをグラフィックメモリ 4 0 に書き込むように動作する。また、C P U 1 0 がグラフィックメモリ 4 0 を読み出す場合や、描画ユニット 2 3 がディスプレイリストのフェッチを開始する場合は、これらに先駆けて F I F O 2 5 0 のデータをグラフィックメモリ 4 0 に書き込むように動作する。

【 0 0 3 5 】

ここで、C P U 1 0 の内部キャッシュ 1 0 1 の方式の違いによる、グラフィックメモリ 4 0 のアクセス時間の違いについて説明する。C P U 1 0 のキャッシュ方式として、コピーバック方式とライトスルー方式が知られている。

10

【 0 0 3 6 】

コピーバック方式では、C P U 1 0 がメモリ 4 0 に対するストア命令を実行しても、C P U 1 0 内のキャッシュ 1 0 1 のみ変更され、メモリ 4 0 内のデータはすぐには変更されない。メモリ 4 0 が変更されるのはキャッシュラインと呼ばれる複数ワードのデータがまとめてキャッシュ 1 0 1 からメモリ 4 0 に追い出される場合である。キャッシュラインのデータは連続アドレスの複数ワードである。即ち、F I F O 2 5 0 を経由してグラフィックメモリ 4 0 に書き込まれるデータのアドレスが連続している。従って、D R A M の高速ページモードアクセスによって、F I F O 2 5 から短時間でグラフィックメモリ 4 0 への書き込みができる。

【 0 0 3 7 】

20

一方、ライトスルー方式は、C P U 1 0 がメモリ 4 0 に対するストア命令を実行すると、1ワード単位で直ちにデータがメモリ 4 0 に書き込まれる。従って、前記 F I F O 2 5 0 には、グラフィックメモリ 4 0 に書き込むデータが不連続なアドレスとなる場合がある。最悪の場合は全てが不連続となることもある。アドレスが不連続の場合は、D R A M の特性により F I F O 2 5 からグラフィックメモリ 4 0 に書き込む時間が長くなる。最悪なケースでは、コピーバック方式に比べ 4 倍くらいの時間（最大 8 0 サイクル）となる。

【 0 0 3 8 】

次に、描画用キャッシュ 2 8 の構成と動作を説明する。図 6 は、描画用キャッシュのブロック図である。キャッシュ (3) は描画専用であるが、描画ユニット 2 3 がキャッシュ (3) 2 8 内のデータを読むことはしない。つまり、描画先の下絵とのデータ演算を行う機能を持っていないので、書き込み動作のみとなる。下絵をリードする必要がないので、メモリアクセス量を極端に低減した高速動作が可能となる。

30

【 0 0 3 9 】

描画ユニット 2 3 がデータを書き込むと、レジスタファイル 2 9 0 0 に描画アドレスと描画データが記憶され、カウンタ 2 9 0 1 がカウントアップされる。カウンタ 2 9 0 1 の値が一致検出部 2 9 0 2 で比較され、レジスタファイル 2 9 0 0 が満杯になると、フリップフロップ 2 9 0 3 を介してメモリコントローラ 3 0 に書き込みリクエストを出力する。描画ユニット 2 3 は、キャッシュ (3) 2 8 に空きのある状態で、1つの図形描画コマンドが終了した場合は、キャッシュのデータをフラッシュさせる機能を持つ。フラッシュ信号がアクティブになると、キャッシュ 2 8 はカウンタ 2 9 0 1 の示すワード数だけ、グラフィックメモリ 4 0 にデータを書き込む。

40

【 0 0 4 0 】

これら C P U F I F O 2 5 やキャッシュ 2 8 に共通する点として、カウンタ 2 5 2 またはカウンタ 2 9 0 1 で検出したワード数分だけの書き込みデータの転送を行ない、無駄なデータ転送を行なわないことである。この点、C P U 等で用いられる一般的なキャッシュは、ラインサイズ単位での書き込みとなるので、書き換えを行わない部分のデータも転送する。

【 0 0 4 1 】

図 7 は、C P U のアドレスマッピングを示したものである。C P U 1 0 のソフトウェア

50

は、グラフィックスメモリ 40 を主メモリ 11 と区別することなくアクセスできる。

【0042】

グラフィックスメモリ領域では、フレームバッファ 0 とフレームバッファ 1 を設けている。グラフィックスの動画表示を行う場合、1 / 60 秒単位（あるいは 1 / 30 秒）で、フレームバッファ領域 0, 1 を切り替えて表示を行う。描画ユニット 23 は常に、表示を行っていない方のフレームバッファに描画する。これによって、描画の途中状態を表示することがなく、高品質の動画表示が可能となる。ディスプレイリスト領域も 2 つ設け、描画ユニット 23 と CPU 10 が交互に使用する。

【0043】

次に、表示コントローラ 24 による、グラフィックスメモリ 40 の表示アクセスと表示バッファ 29 の制御方法について説明する。

10

【0044】

図 8 は、表示コントローラの機能ブロック図である。表示コントローラ 24 は表示器 51 に対して同期信号 (HSYNC, VSYNC) と表示データを出力し、表示器 51 の画面に図形を表示する。タイミング制御部 246 は、同期信号 (HSYNC, VSYNC) を生成すると共に、表示データ出力制御 245 に対して、表示バッファ 29 内のデータの出力タイミングを通知する。

【0045】

表示バッファ 29 はグラフィックスメモリ 40 の表示領域のデータの一部をバッファリングする。たとえば表示バッファ 29 が 128 ワードであれば、1 画素が 1 バイトのシステムでは 256 画素分のデータを保持していることになる。

20

【0046】

また、グラフィックスメモリ 40 から表示バッファ 29 へのデータ転送速度は、表示バッファ 29 から表示器 51 への転送速度より十分に高速である。例えば、前者は 28 MHz で動作し、後者は 14 MHz 以下で動作する。従って、グラフィックスメモリ 40 からの表示データの読み出しタイミングが多少ずれても、表示器 51 へのデータ転送タイミングは常に一定に保つことができる。

【0047】

表示バッファ 29 の読み出しと書き込みは、以下のように行なわれる。表示データ出力制御部 245 は、表示ドットクロック (グラフィックスプロセッサ 20 の DCLK 端子の出力で、表示器 51 の 1 画素単位のクロック) に合わせて、読み出しアドレスレジスタ 242 が示すアドレスから順次、表示バッファ 29 を読み出して、表示データを表示器 51 に出力すると共に、読み出しアドレスレジスタ 242 を更新する。

30

【0048】

一方、グラフィックスメモリアクセス制御部 240 は、グラフィックスメモリアクセストリガ信号によって起動され、連続アクセスワード数 (例えば、32 ワード / 64 ワード) に設定されるワード数分だけ、メモリコントローラ 30 を介してグラフィックスメモリ 40 を読み出し、読み出したデータを表示バッファ 29 に書き込む。書き込むアドレスは、書き込みアドレスレジスタ 241 から指示される。

【0049】

書き込みアドレスレジスタ 241 と読み出しアドレスレジスタ 242 は、減算器 243 で常に減算されていて、その差分値は比較器 244 で定数値と比較されている。つまり、差分値が設定されている定数値 (例えば、12 ワード / 48 ワード) 以下になると、上記のトリガ信号が出力されて、グラフィックスメモリアクセス制御部 240 はグラフィックスメモリ 40 を表示アクセスし、表示データを表示バッファ 29 に蓄える。

40

【0050】

図 9 は、以上の動作を示すタイムチャートである。グラフィックスメモリ 40 に対する表示アクセスの最初の動作は HSYNC 信号によって開始される。この表示アクセスによって表示バッファ 29 のデータ保持数が上昇し、1 回の表示アクセスで読み出す連続アクセスワード数 (図では、32 ワード) に達すると表示アクセスは中断し、バッファ 29 に

50

蓄積されている表示データは表示器 5 1 に転送されて次第に減少する。そして、定数 A (図では、1 2 ワード) 以下に減少すると、表示コントローラ 2 4 からメモリコントローラ 3 0 に表示アクセスのリクエストが発行され、リクエストが許可されるとグラフィックスメモリ 4 0 に対する表示アクセスが再び行なわれる。この例で、1 画面が 3 2 0 × 2 4 0 ドットの場合、1 画面分の表示のためには 1 2 0 0 回の表示アクセスが繰り返される。

【 0 0 5 1 】

表示バッファ 2 9 への書き込みは読み出しに比べて高速となるので、表示アクセスリクエスト信号が発行されてから、表示アクセスが開始されるまでに時間的な余裕がある。図示の表示アクセス猶予時間 T_d がこれに相当し、 T_d を経過しても表示アクセスが開始されないと、表示バッファ 2 9 が空になり、表示器 5 1 の画面が乱れることになる。上述の

10

【 0 0 5 2 】

従って、表示バッファ 2 9 が空になるのを回避するためには、グラフィックスプロセッサ 4 0 の他のアクセス時間 $T_a < T_d$ の関係を維持する必要がある。この T_a の最大時間から定数 A が決定される。

【 0 0 5 3 】

他からのアクセス、特に CPU 1 0 による描画コマンドのライトアクセスは頻度が高く、そのアクセス時間はキャッシュ方式によって相違し、コピーバック方式とライトスルー方式では最大で約 4 倍も相違する。

20

【 0 0 5 4 】

図 1 0 は、図 9 に比べて T_a が 4 倍となる例の動作を示すタイムチャートである。表示アクセスのリクエストを発行する定数 B は、定数 A の 4 倍の 4 8 ワードになる。また、1 回の表示アクセスで読み出す連続ワード数も増加し、この例では 6 4 ワードとしている。ちなみに、この例における 1 画面分の表示アクセスは 6 0 0 回となる。

【 0 0 5 5 】

本実施例では図 8 のように、表示コントローラ 2 4 では比較器 2 4 4 に設定する定数に $A = 1 2$ と $B = 4 8$ の 2 通り、グラフィックスメモリアクセス制御部 2 4 0 に設定する連続アクセスワード数に $a = 3 2$ 、 $b = 6 4$ の 2 通りを用意し、CPU 1 0 のキャッシュ方式に応じて、上述したシステム制御レジスタの CAM ビット (図 4) の指定に対応して、

30

【 0 0 5 6 】

これによれば、CPU がコピーバック方式を採用する場合に、ライトスルー方式の場合に比べて 1 回の表示アクセス時間を $1 / 4$ に短縮でき、その分 CPU のライトアクセスの回数を増加できるので、高速のグラフィックスが高速のメモリシステムによらずに実現できる。

【 0 0 5 7 】

また、CAM ビット値を切り替えるだけで、異なるキャッシュ方式に対応できるので、グラフィックスプロセッサの汎用性が高まる。さらに、キャッシュ方式異なる複数の CPU によってグラフィックスメモリがライトされるシステムにおいて、ライトアクセスを発行した CPU のキャッシュ方式に応じて、グラフィックスプロセッサの表示アクセス方式を切り換えるので、高速のキャッシュ方式によるグラフィックスを犠牲にすることがない。

40

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 本発明の位置実施形態による図形処理装置のシステム構成図。

【 図 2 】 グラフィックスプロセッサの端子機能の説明図。

【 図 3 】 グラフィックスプロセッサの描画コマンドの説明図。

【 図 4 】 グラフィックスプロセッサレジスタ機能の説明図。

50

【図5】CPU FIFOの機能ブロック図。

【図6】描画用キャッシュ(3)の機能ブロック図。

【図7】CPUのアドレスマッピングの説明図。

【図8】表示コントローラの構成図。

【図9】グラフィックスメモリのアクセスと表示バッファの制御の一例を示すタイムチャート。

【図10】グラフィックスメモリのアクセスと表示バッファの制御の他の例を示すタイムチャート。

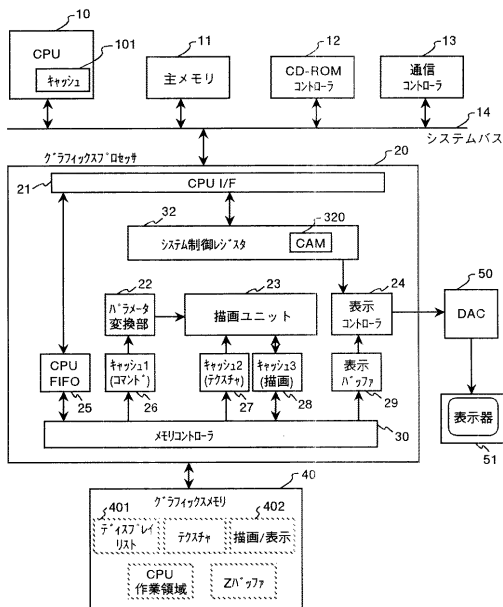
【符号の説明】

【0059】

10...CPU、11...主メモリ、20...グラフィックスプロセッサ、21...CPU I/F、22...パラメータ変換部、23...描画ユニット、24...表示コントローラ、25...CPU FIFO、26...キャッシュ(1)、27...キャッシュ(2)、28...キャッシュ(3)、29...表示バッファ、30...メモリコントローラ、40...グラフィックスメモリ、50...DAC (Digital to Analog Converter)、51...表示器、101...CPU内蔵キャッシュ、320...CAMビット。

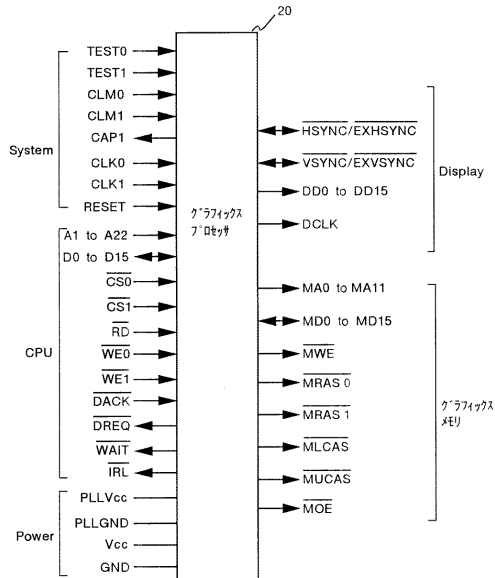
【図1】

図 1





【図2】

図 2



【図3】

図 3

コマンド	機能
四角形描画	四角形のテクスチャパターンを変形させる  テクスチャ (2値または多値) 描画結果
LINE	直線を描画する 
MOVE	描画開始点を移動する
LOFS	ローカルオフセットパラメータを設定する
AFFIN	アフィン変換パラメータを設定する
JUMP	ディスプレイリストを分岐させる
GOSUB	サブルーチンコールする
RET	サブルーチンから復帰する
TRAP	ディスプレイリストのフェッチを終了させる
FLASH	ソースキャッシュをフラッシュする

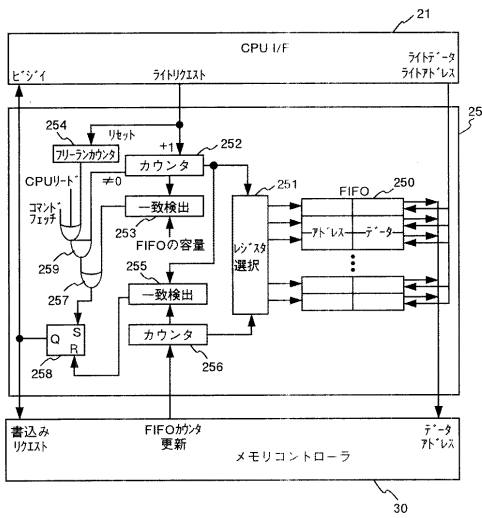
【図4】

図 4

番号	RAM	レジスタ名	ビット
00	RAM	レジスタ制御	MAM
01	R	レジスタ	MES
02	W	レジスタ	DSX
03	RAM	レジスタ	DSY
04	RAM	レジスタ	DSZ
05	RAM	レジスタ	DSY
06	RAM	レジスタ	DSZ
07	RAM	レジスタ	DSY
08	RAM	レジスタ	DSZ
09	RAM	レジスタ	DSY
10	RAM	レジスタ	DSZ
11	RAM	レジスタ	DSY
12	RAM	レジスタ	DSZ
13	RAM	レジスタ	DSY
14	RAM	レジスタ	DSZ
15	RAM	レジスタ	DSY
16	RAM	レジスタ	DSZ
17	RAM	レジスタ	DSY
18	RAM	レジスタ	DSZ
19	RAM	レジスタ	DSY
20	RAM	レジスタ	DSZ
21	RAM	レジスタ	DSY
22	RAM	レジスタ	DSZ
23	RAM	レジスタ	DSY
24	RAM	レジスタ	DSZ
25	RAM	レジスタ	DSY
26	RAM	レジスタ	DSZ
27	RAM	レジスタ	DSY
28	RAM	レジスタ	DSZ
29	RAM	レジスタ	DSY
30	RAM	レジスタ	DSZ
31	RAM	レジスタ	DSY
32	RAM	レジスタ	DSZ
33	RAM	レジスタ	DSY
34	RAM	レジスタ	DSZ
35	RAM	レジスタ	DSY
36	RAM	レジスタ	DSZ
37	RAM	レジスタ	DSY
38	RAM	レジスタ	DSZ
39	RAM	レジスタ	DSY
40	RAM	レジスタ	DSZ
41	RAM	レジスタ	DSY
42	RAM	レジスタ	DSZ
43	RAM	レジスタ	DSY
44	RAM	レジスタ	DSZ
45	RAM	レジスタ	DSY
46	RAM	レジスタ	DSZ
47	RAM	レジスタ	DSY
48	RAM	レジスタ	DSZ
49	RAM	レジスタ	DSY
50	RAM	レジスタ	DSZ
51	RAM	レジスタ	DSY
52	RAM	レジスタ	DSZ
53	RAM	レジスタ	DSY
54	RAM	レジスタ	DSZ
55	RAM	レジスタ	DSY
56	RAM	レジスタ	DSZ
57	RAM	レジスタ	DSY
58	RAM	レジスタ	DSZ
59	RAM	レジスタ	DSY
60	RAM	レジスタ	DSZ
61	RAM	レジスタ	DSY
62	RAM	レジスタ	DSZ
63	RAM	レジスタ	DSY
64	RAM	レジスタ	DSZ
65	RAM	レジスタ	DSY
66	RAM	レジスタ	DSZ
67	RAM	レジスタ	DSY
68	RAM	レジスタ	DSZ
69	RAM	レジスタ	DSY
70	RAM	レジスタ	DSZ
71	RAM	レジスタ	DSY
72	RAM	レジスタ	DSZ
73	RAM	レジスタ	DSY
74	RAM	レジスタ	DSZ
75	RAM	レジスタ	DSY
76	RAM	レジスタ	DSZ
77	RAM	レジスタ	DSY
78	RAM	レジスタ	DSZ
79	RAM	レジスタ	DSY
80	RAM	レジスタ	DSZ
81	RAM	レジスタ	DSY
82	RAM	レジスタ	DSZ
83	RAM	レジスタ	DSY
84	RAM	レジスタ	DSZ
85	RAM	レジスタ	DSY
86	RAM	レジスタ	DSZ
87	RAM	レジスタ	DSY
88	RAM	レジスタ	DSZ
89	RAM	レジスタ	DSY
90	RAM	レジスタ	DSZ
91	RAM	レジスタ	DSY
92	RAM	レジスタ	DSZ
93	RAM	レジスタ	DSY
94	RAM	レジスタ	DSZ
95	RAM	レジスタ	DSY
96	RAM	レジスタ	DSZ
97	RAM	レジスタ	DSY
98	RAM	レジスタ	DSZ
99	RAM	レジスタ	DSY
100	RAM	レジスタ	DSZ

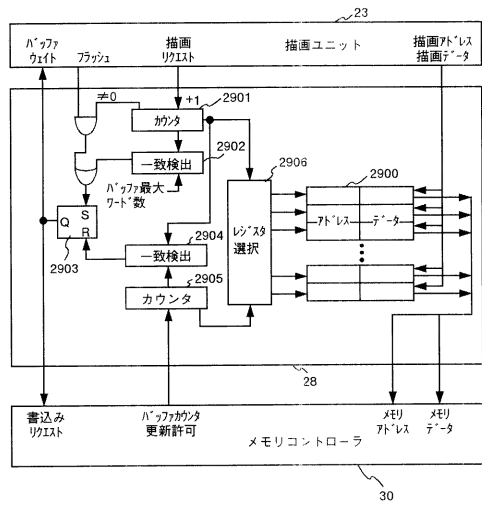
【図5】

図 5



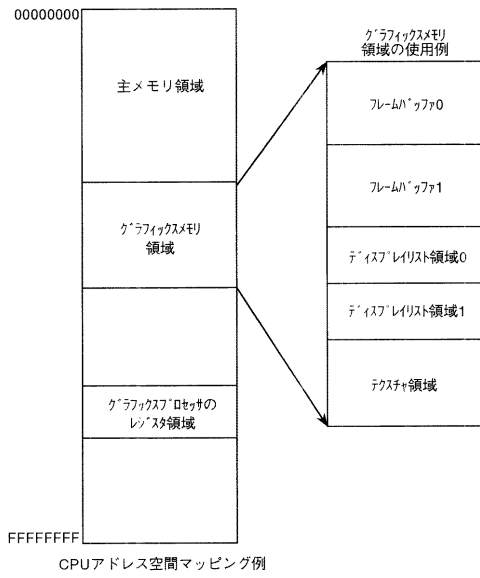
【図6】

図 6



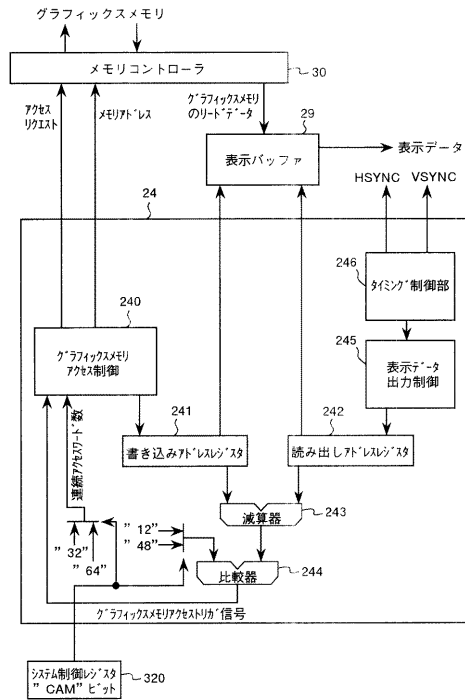
【図7】

図 7



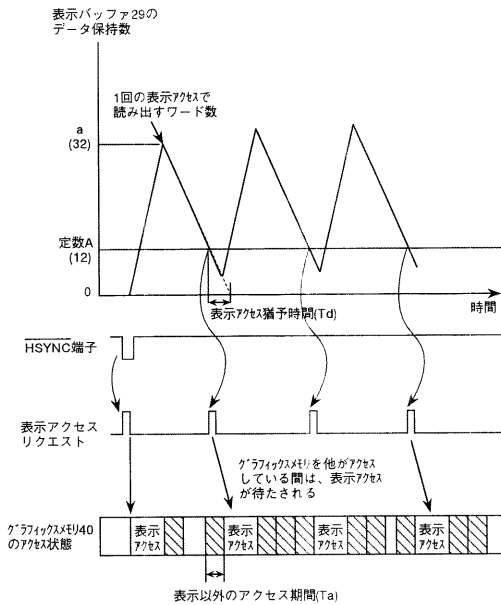
【図8】

図 8



【図9】

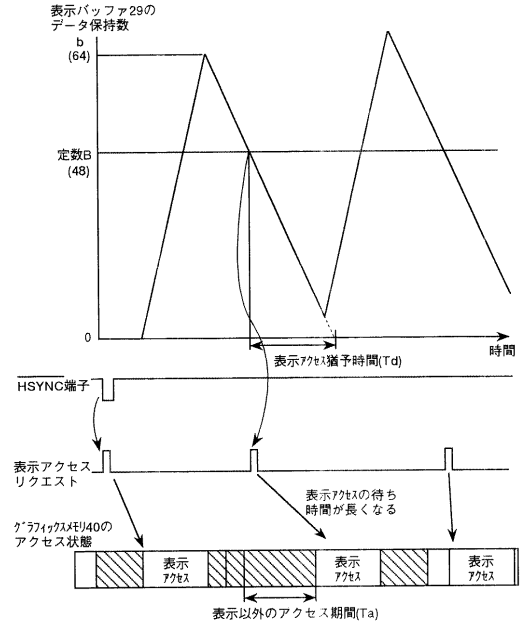
図 9



□は、表示以外のアクセスを行っていることを示す。

【図10】

図 10



□は、表示以外のアクセスを行っていることを示す。

フロントページの続き

審査官 渡邊 聡

- (56)参考文献 特開平07 - 182236 (JP, A)
特開平05 - 188892 (JP, A)
特開平04 - 211293 (JP, A)
特開平07 - 181953 (JP, A)
特開平07 - 251957 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06T 1/60