

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-188096

(P2007-188096A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 631B	5C006
G09G 5/00 (2006.01)	G09G 3/20 612F	5C058
G09G 5/36 (2006.01)	G09G 3/20 641C	5C080
G02F 1/133 (2006.01)	G09G 3/20 623F	5C082

審査請求 有 請求項の数 4 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2007-31532 (P2007-31532)
 (22) 出願日 平成19年2月13日 (2007.2.13)
 (62) 分割の表示 特願2003-29376 (P2003-29376) の分割
 原出願日 平成15年2月6日 (2003.2.6)
 (31) 優先権主張番号 特願2002-60340 (P2002-60340)
 (32) 優先日 平成14年3月6日 (2002.3.6)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 黒川 康人
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 太田 茂
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 谷 邦彦
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内

最終頁に続く

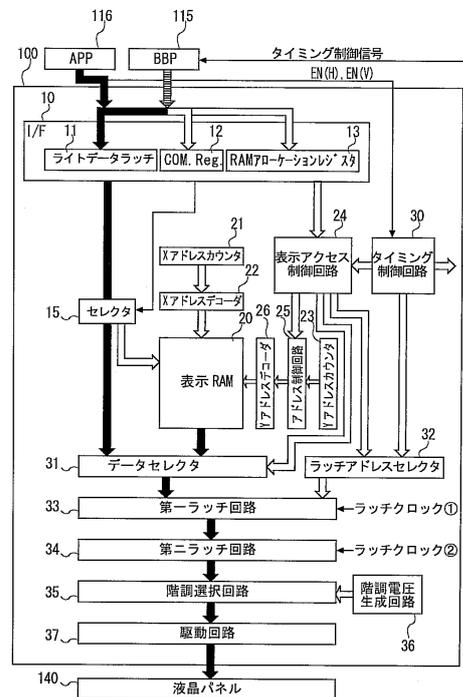
(54) 【発明の名称】 表示駆動制御装置

(57) 【要約】

【課題】 変化の少ない表示と変化の多い表示とが混在する表示駆動に最適で、且つ、チップ面積の削減、消費電力やコストの低減が図れる表示駆動制御装置を提供する。

【解決手段】 内部表示メモリ(20)の記憶容量を駆動対象の表示パネル(140)の1画面分のデータ量よりも小さく構成するとともに、表示データの送り方として、外部から入力された表示データを一旦表示メモリ(20)に蓄えた後に駆動回路(37)へ送って駆動信号を出力する方式と、表示メモリ(20)を介さずに直接駆動回路へ送って駆動信号を出力する方式との両方を可能とし、さらに、これら両方の方式を時分割で実行することを可能とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出して表示装置の駆動信号を生成し出力する表示駆動制御装置であって、

前記表示メモリの後段には、該表示メモリから読み出された画像データまたは外部から入力された画像データのいずれかを選択して伝達可能なデータ選択手段と、

抵抗分圧回路と該抵抗分圧回路で分割された電圧をインピーダンス変換して出力する複数のバッファアンプとからなり表示駆動信号の生成に必要な複数の階調電圧を生成する階調電圧生成回路と、

上記画像データの画素ビット数を設定するレジスタと、を備え、

上記階調電圧生成回路は上記画像データのビット数に応じて上記複数のバッファアンプのうちいくつかを非活性状態に遷移可能に構成されていることを特徴とする表示駆動制御装置。

10

【請求項 2】

上記階調電圧生成回路は上記レジスタの設定値に応じて上記複数のバッファアンプのうち所定のものを非活性状態させることを特徴とする請求項 1 記載の表示駆動制御装置。

【請求項 3】

上記階調電圧生成回路は上記レジスタの設定値に応じて上記複数のバッファアンプのうち所定のものを非活性状態させる際に、複数の階調電圧のうち少なくとも最大のものと同最小のものを出力することを特徴とする請求項 2 記載の表示駆動制御装置。

20

【請求項 4】

上記階調電圧生成回路により生成された電圧の中から上記データ選択手段により選択された画像データに応じた電圧を選択する階調選択回路と、

上記階調電圧生成回路の中の非活性状態にされるバッファアンプに対応して上記画像データのビットを変換して上記階調選択回路へ供給するビット変換回路と、を備えることを特徴とする請求項 1 記載の表示駆動制御装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、液晶パネルのような表示装置を駆動する表示駆動制御装置に適用して有用な技術に関し、例えば携帯電話機など小型の情報端末の表示パネルの表示駆動制御装置に利用して特に有用な技術に関する。

30

【背景技術】**【0002】**

近年、携帯電話機や PDA (パーソナル・デジタル・アシスタント) などの携帯用電子機器の表示装置としては、一般に複数の表示画素がマトリックス状に 2 次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された液晶表示制御装置 (液晶コントローラ) や液晶パネルを駆動するドライバもしくはドライバを内蔵した液晶表示駆動制御装置 (液晶コントローラドライバ IC) が搭載されている。

40

【0003】

かかる携帯用電子機器に設けられている液晶パネルを表示駆動する液晶コントローラドライバ IC は、携帯端末に搭載されるという性質上、チップ面積が小さく消費電力の低いものが求められる。従来、携帯電話機などの小型の液晶パネルを有するシステムに用いられる液晶コントローラドライバは、一般に、表示パネルの 1 画面分の表示データ量より大きな容量を有する表示メモリを内蔵し、表示データを一旦この表示メモリに蓄えた後、1 水平ライン毎に読み出して階調電圧に変換し表示パネルへ出力するように構成されている。

【0004】

なお、表示メモリを内蔵した液晶コントローラドライバに関する発明としては、例えば

50

特許文献 1 に開示されている発明がある。

【特許文献 1】特開平 9 - 2 8 1 9 3 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、近年、携帯電話機においては、その表示パネルの表示サイズや表示色の数などはますます増加する傾向にある。従って、液晶コントローラドライバをこれまでと同様の構造で液晶パネルに対応させると、内蔵される表示メモリの容量は膨大な量となるため、液晶コントローラドライバのチップ面積や消費電力は著しく増加し、またコストも高騰してしまう。

10

【0006】

また、従来、PDA（パーソナル・デジタル・アシスタント）などの携帯情報端末に設けられている液晶パネルは携帯電話機の液晶パネルよりも画面サイズが大きいので、液晶コントローラドライバに 1 画面分の表示画像データを記憶することができるような大容量の表示メモリを内蔵させることは困難であった。そのため、外付けのフレームバッファと呼ばれる外付けのメモリに画像データを格納しておいて、マイクロプロセッサがその都度フレームバッファから画像データを読み出して液晶コントローラドライバへ転送する方式が一般的であった。

【0007】

この発明の目的は、表示サイズや色数が比較的大きな表示パネルの駆動を適宜に行うことが可能であり、且つ、チップ面積の削減、消費電力やコストの低減が図れる表示駆動制御装置を提供することにある。

20

【0008】

この発明の他の目的は、PDA のような比較的大きな表示パネルを有する電子機器小型化に好適な表示駆動制御装置を提供することにある。

【0009】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

30

すなわち、内部表示メモリの容量を駆動対象の表示パネルの 1 画面分のデータ量よりも小さく構成するとともに、表示データの送り方として、外部から入力された表示データを一旦表示メモリに蓄えた後に出力ドライバ側に送って駆動信号を出力する方式と、表示メモリを介さずに直接出力ドライバ側に送って駆動信号を出力する方式との両方を可能とし、さらに、これら両方の方式を時分割で実行することを可能としたものである。

【0011】

このような手段によれば、例えば、変化の少ない画像表示の際には表示メモリを使用し、動画のように変化の多い画像表示の際には表示メモリを介さずに表示データを転送するなど、表示内容に適した表示メモリの使い分けが可能となる。その結果、表示メモリの容量を必要以上に大きくする必要がなくなり、これを内蔵する液晶コントローラドライバ IC のチップサイズを低減することができる。

40

【0012】

また、本発明は、1 画素のデータのビット数が異なる場合にもビット数に応じた表示駆動を行なえるように階調電圧生成回路を構成するとともに、表示データのビット変換回路等を設けたものである。これにより、1 画素のデータのビット数が減ることにより表示可能な色数は減少するものの、フルカラー表示では 1 画面分の表示データを格納できない内部表示メモリに 1 画面分の表示データを格納するようなことが可能になる。また、このとき階調電圧生成回路を構成するバッファアンプのうち不要な電圧用のアンプの動作を停止

50

させるようにする。これにより、消費電力を減らすことができる。

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、表示パネルの表示サイズや色数が増加しても、表示メモリの容量を適宜小さくすることが出来るので、それにより、チップサイズやコストの削減ならびに消費電力の低減が図れるという効果がある。この効果は特に小型携帯型の電子機器に採用する場合に有用である。

【0014】

また、変化の少ない表示と動画のように頻繁に変化する表示との両方が混在された表示を行う場合に、表示メモリを介した表示データの転送方式と、表示メモリを介さない転送方式の2種類の方式を表示内容に応じて使い分けることが可能であるので、それにより無駄な転送処理が省けて消費電力の低減を図れるという効果がある。また、上記効果に付随して透過表示を実現することが可能となるという効果がある。

【発明を実施するための最良の形態】

【0015】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明の表示駆動制御装置の実施例である液晶コントローラドライバの概略構成を示すブロック図である。

この実施例の液晶コントローラドライバ100は、特に制限されるものでないが、公知の半導体製造技術によって単結晶シリコンのような一つの半導体チップ上に形成される。

【0016】

図1において、10はチップ外部のベースバンドプロセッサ115やアプリケーションプロセッサ116のような装置と接続され信号の送受信を行う入力インターフェース、20は表示データを格納するSRAMなどからなる表示RAMである。

【0017】

入力インターフェース10は、ベースバンドプロセッサ115やアプリケーションプロセッサ116から入力された表示データをラッチするライトデータラッチ回路11や、各種コマンドや表示データの送り先を示すコードなどが設定されるコマンドレジスタ12、表示RAM20の表示データに基づく画面上での表示の位置が設定されるアロケーションレジスタ13などを有する。

【0018】

15は表示データの書込み先を選択する選択手段としてのセレクタ、21は表示データが格納される表示RAM20の水平方向のデータ書込みアドレスを生成するXアドレスカウンタ、22は生成されたXアドレスをデコードするXアドレスデコーダ、23は表示RAM20の垂直方向のデータ書込みアドレスを生成するYアドレスカウンタ、24はアロケーションレジスタ13の設定値に基づき表示RAM20のデータ読出しタイミングを制御する表示アクセス制御回路、25はこの表示アクセス制御回路の制御を受けてYアドレスカウンタ23からのアドレス値をシフトしたり間引いたりするアドレス制御回路、26はこのYアドレスをデコードするYアドレスデコーダである。上記表示アクセス制御回路24とアドレス制御回路25とにより表示位置制御手段が構成されている。

【0019】

さらに、30はベースバンドプロセッサ115からの表示データの入力タイミングや表示RAM20からの表示データの出力タイミングなどを同期させるタイミング制御回路、31は表示RAM20から読み出された表示データまたは入力インターフェース10から直接送られた表示データのうち何れかのデータを選択するデータセレクタ、32はデータセレクタ31により選択されたデータをラッチ回路33のどのアドレスへラッチするかを選択するラッチアドレスセレクタ、33および34は液晶パネル140の1水平ライン分の表示データが保持される第1ラッチ回路および第2ラッチ回路、36は表示データに応じ

10

20

30

40

50

て選択される階調電圧を生成する階調電圧生成回路、35はラッチされた表示データに対応した階調電圧を選択する階調選択回路、37は液晶パネル140の垂直電極(TFT液晶パネルの場合はソース線もしくはデータ線と呼ばれる)を駆動する出力ドライバとしての駆動回路である。これらのうち、上記データセレクタ31とラッチアドレスセレクタ32とによりデータ供給手段が構成されている。

【0020】

本実施例の液晶コントローラドライバ100は、外部から入力された表示データまたは表示RAM20から読み出された表示データに基づいて液晶パネル140のデータ線駆動信号を1水平ライン分ずつ順次生成し出力するとともに、それに同期して、図示しないコマンドドライバ(TFT液晶パネルの場合はゲートドライバとも呼ばれる)が液晶パネル140のコモン線(ゲート線)を、例えば上端から下端に向かって順次選択していくことを繰り返すことで、画像の表示を行う。コマンドドライバは、液晶コントローラドライバ100と同一のチップ上に形成されていてもよいし、別個の半導体集積回路として構成されていてもよい。

10

【0021】

この実施例の液晶コントローラドライバ100においては、液晶パネル140を駆動するために用いられる表示データはベースバンドプロセッサ115から送られてくるが、この表示データを一旦表示RAM20に蓄えた後にラッチ回路33に読み出す動作と、入力インターフェース10から表示RAM20を介さずに直接ラッチ回路33に転送する動作とが可能に構成されている。

20

【0022】

表示データを表示RAM20に書き込むか、それともラッチ回路33に供給するかの選択は、コマンドレジスタ12の設定値に基づきセレクタ15が切り換わることで行われる。また、コマンドレジスタ12の設定はベースバンドプロセッサ115により行うことができる。表示RAM20への静止画像のような表示データの書込みはベースバンドプロセッサ115により行い、高速データ転送を必要とする動画像のような表示データのラッチ回路33への転送はアプリケーションプロセッサ116により行うようにすることができる。

【0023】

図2は、実施例の液晶コントローラドライバの表示メモリの容量と液晶パネルの表示領域との関係を説明する図である。

30

表示RAM20は、そのデータ容量が液晶パネル140の1画面分の表示データ量すなわち(全画素数×1画素当りのビット数)よりも少なく、例えば1画面の1/2のデータを記憶可能な容量を有するように構成されている。そのため、表示RAM20の各アドレスに対応づけられた表示領域は、図3に示すように、液晶パネル140の表示領域の一部の領域(以下、固定表示領域と称する)142とされる。

【0024】

ただし、この表示RAM20に対応づけられる表示領域142は固定されたものではなく、アロケーションレジスタ13の設定値により様々な配置を取ることが出来る。対応づけることのできる表示領域の形は、図2(b)のように、矩形領域や横に長い長方形、縦に長い長方形の領域など種々に変形可能である。また、アロケーションレジスタ13に複数のアドレスを設定可能にすることにより1つのまとまった領域や複数に分断された領域など、種々に設定可能である。

40

【0025】

このような対応付けは、アロケーションレジスタ13の設定値に基づき、液晶パネル140の水平ラインの表示データの読出しタイミングに合わせた表示RAM20のYアドレスのデータの読み出しと云ったYアドレス方向の制御と、その際に、ラッチ回路33のどの位置に表示RAM20から読み出された表示データを格納するかと云ったXアドレス方向の制御とにより実現される。前者の制御は表示アクセス制御回路24とアドレス制御回路25とにより行われ、後者の制御は表示アクセス制御回路24とラッチアドレスセレク

50

タ 3 2 およびデータセクタ 3 1 により行われる。

【 0 0 2 6 】

本実施例では、上記表示 RAM 2 0 の表示データに基づく表示（以下、固定表示と称する）と表示 RAM 2 0 を介さない直接書込み表示とを混在して動作させることができるようにされている。この機能を利用して、図 3 の固定表示領域 1 4 2 の周りの領域に直接書込みにより転送した画像データを表示させることができる。

【 0 0 2 7 】

次に、固定表示と直接書込み表示が混在している場合の動作について、図 4 ~ 図 6 を参照しながら説明する。なお、本明細書で固定表示とは、常に固定されている表示のことではなく、あくまでも表示 RAM 2 0 の表示データに基づく表示のことを意味している。

10

【 0 0 2 8 】

図 4 (a) ~ (d) は、上記固定表示領域 1 4 2 の一部に直接書込み表示が存在している場合の表示動作の説明図である。なお、表示 RAM 2 0 の表示データに基づく表示を行なう固定表示領域 1 4 2 は、後述のように 1 画素を示すビット数を減らした場合には液晶パネル 1 4 0 全体に拡大させることができる。図 4 においては、固定表示領域 1 4 2 が液晶パネル 1 4 0 の画面全体である場合を表している。1 画素が何ビットで構成されているかは、コントロールレジスタ 1 2 内にビット数指定レジスタもしくは既にあるレジスタの空きフィールドにビット数指定フィールドを設けて、ベースバンドプロセッサ 1 1 5 等が予めそのレジスタを設定しておくことにより指定できるように構成することができる。

【 0 0 2 9 】

20

図 4 (a) , (b) ではベースバンドプロセッサ 1 1 5 からの静止画データがドライバ内の表示 RAM 2 0 に書き込まれ、そのデータが表示 RAM 2 0 から読み出されて液晶パネル 1 4 0 に表示される様子を示している。図 4 (c) , (d) では、アプリケーションプロセッサ 1 1 6 から転送された直接書込みデータ（動画像データ）または既に表示 RAM 2 0 に書き込まれている画像データのいずれかを、セクタ 3 1 で選択して液晶パネル 1 4 0 に表示する様子を示している。

【 0 0 3 0 】

かかる表示を行なう際には、アプリケーションプロセッサ 1 1 6 からタイミング制御回路 3 0 へ水平方向（ライン方向）の表示有効期間を示すイネーブル信号 EN (H) と垂直方向の表示有効期間を示すイネーブル信号 EN (V) とが出力され、タイミング制御回路 3 0 がこれらのイネーブル信号が有効レベル（ハイレベル）を示している間だけ表示アクセス制御回路 2 4 を介してデータセクタ 3 1 をセクタ 1 5 側へ切り替えるとともに、ラッチ回路 3 3 に対してデータの取り込みを許可する制御信号をラッチアドレスセクタ回路 3 2 へ出力して、ラッチ回路 3 3 が許可された期間だけアプリケーションプロセッサ 1 1 6 からの直接表示データをラッチするように制御され、それ以外は表示 RAM 2 0 から読み出された表示データをラッチするように制御される。

30

【 0 0 3 1 】

一方、図 5 および図 6 には、図 3 のように、固定表示領域 1 4 2 の外側に直接書込み表示が存在している場合の表示データの転送のタイミングが示されている。このうち、図 5 は図 3 の (A) の範囲のように直接書込みのみの表示のときのラッチ回路 3 3 , 3 4 への表示データのラッチ動作を示すタイムチャート、図 6 は図 3 の (B) の範囲のように固定表示と直接書込み表示とが混在しているときのラッチ回路 3 3 , 3 4 への表示データのラッチ動作を示すタイムチャートである。図 5 , 図 6 において、ラッチクロック 1 は外部から供給されるドットクロック DOTCLK に同期したクロック信号、ラッチクロック 2 は外部から供給される水平同期信号 HSYNC に同期したクロック信号である。

40

【 0 0 3 2 】

図 5 に示すように、直接書込みのみの表示のときは、1 水平期間中に表示パネルの 1 ライン分の表示データがラッチクロック 1 に同期して順次第 1 ラッチ回路 3 3 に取り込まれ、第 1 ラッチ回路 3 3 に格納された 1 水平ライン分の表示データは 1 水平期間毎に 1 個のラッチクロック 2 に同期して第 2 ラッチ回路 3 4 に一度に移される。そして、第 2 ラ

50

ッチ回路 3 4 にラッチされた表示データが駆動回路 3 7 へ転送されてセグメント駆動信号が生成されて出力される。ラッチクロック 1, 2 はタイミング制御回路 3 0 から供給される。

【 0 0 3 3 】

なお、図 5 の直接書込みのみ表示の場合には、コントロールレジスタ 1 2 の設定値に基づいてセクタ 1 5 が外部からの表示データをセクタ 3 1 側へ伝達するように、またデータセクタ 3 1 が外部からの表示データを選択する側に切り替えがなされ、表示データはセクタ 1 5 および 3 1 を介して順次ラッチ回路 3 3 に書き込まれていく。

【 0 0 3 4 】

一方、図 6 に示すように直接書込み表示と固定表示とが混在する期間の場合には、先ず図 5 の場合と同様に表示タイミングに同期して外部から表示データが転送されてラッチ回路 3 3 に書き込まれていくとともに、アロケーションレジスタ 1 3 に設定された 1 水平ライン上の固定表示位置に来たときに、表示アクセス制御回路 2 4 の制御によりデータセクタ 3 1 の選択バスが切り換えられて、内蔵 R A M 2 0 の表示データがラッチ回路 3 3 の固定表示位置に対応するアドレスにラッチされるようになっている。

10

【 0 0 3 5 】

なお、内蔵 R A M 2 0 への表示データの書込みは、直接書込み表示が行われていない期間に行ったり、直接書込み表示が行われている期間であってもその垂直帰線期間内に行うことができる。

【 0 0 3 6 】

以上のように、この実施例の液晶コントローラドライバ 1 0 0 によれば、表示 R A M 2 0 の表示データを用いた固定表示と、表示 R A M 2 0 を介さない直接書込み表示との両方を混在させた表示駆動が可能であるため、液晶パネル 1 4 0 の画面サイズすなわち 1 画面分の表示データ量が大きくなっても、表示 R A M 2 0 の容量は適宜小さくすることが出来る。

20

【 0 0 3 7 】

図 8 には、実施例の液晶コントローラドライバ 1 0 0 における表示 R A M 2 0 内の表示データと液晶パネルの表示画面との対応付けのその他の例を示す。

表示 R A M 2 0 と画面との対応付けの方法は、図 2 で示したように画面の一部に対応づけると云った方法だけでなく、液晶パネル 1 4 0 の 1 画素の階調数を下げることで、表示 R A M 2 0 の表示データを液晶パネルの全画素に対応づけることも可能である。例えば、図 7 に示すように、液晶パネル 1 4 0 が 1 画素当たり 1 6 (4 ビット) 階調の表示が可能であり、この 1 6 階調表示を標準モードとしたときに、1 画素当たり 4 (2 ビット) 階調で表示する低階調モードを設けることで、表示 R A M 2 0 の容量が標準モードの 1 画面分の表示データ量の半分である場合にも、低階調モードに切り替えることにより表示 R A M 2 0 に格納されている表示データを液晶パネル 1 4 0 の全画素に対応づけることが出来る。

30

【 0 0 3 8 】

但し、このような低階調モードを設ける場合には、表示 R A M 2 0 から読み出した表示データをラッチ回路 3 3 へ書き込む際に、4 ビットのリードデータを上位 2 ビットと下位 2 ビットに分け、これらの 2 ビットを例えば各々下位 2 ビットがマスクされた隣接する 2 つの 4 ビットラッチの上位 2 ビットにそれぞれ書き込むようにして、4 ビットデータの書込みから 2 ビットデータの書込みに切り換える構成が必要となる。

40

【 0 0 3 9 】

図 7 には、1 画素が標準で 4 ビットの場合を示したが、同様にして 1 画素が 1 8 ビットで構成されている表示データに基づく階調表示が可能な液晶パネルを駆動可能な前記実施例の液晶コントローラドライバにおいては、表示 R A M 2 0 の 1 画素当たりのデータのビット数を変える事によって、例えば図 8 の (1) ~ (5) のように表示パネル 1 4 0 の表示領域と表示 R A M 2 0 内の表示データとの関係を変えることができる。

【 0 0 4 0 】

50

図 8 (1)は 1 画素が 1 8 ビットで表される標準モード、図 8 (2)は 1 画素が 1 6 ビットで表される準高階調モード、図 8 (3)は 1 画素が 1 2 ビットで表される中間階調モード、図 8 (4)は 1 画素が 8 ビットで表される中間階調モード、図 8 (5)は 1 画素が 3 ビットで表される低階調モードである。図 8 (5)の低階調モードを選択することにより、図 8 (6)に示すように、表示 R A M 2 0 に 2 画面分の画像データを記憶させることができる。図 8 より、1 画素あたりの色数が少なくなるにしたがって、対応する表示領域が拡大することが分かる。

【 0 0 4 1 】

図 9 に、フルカラー表示を行う場合に液晶パネルの 1 画面の表示データの半分のデータを記憶可能な容量を有する表示 R A M 2 0 の構成の仕方と該表示 R A M 2 0 からラッチ回路 1 3 0 (図 1 では表示 R A M 2 0 内にある)へのデータの読出し方法並びに 1 画素当たりの画像データのビット数が切り替わった場合のラッチ回路 1 3 0 へのデータの読出し方法を示す。

10

【 0 0 4 2 】

図 9 において、垂直期間に合わせた R A M 構成とは、例えば垂直方向の画素数が 3 2 0 ドットで水平方向の画素数が 2 4 0 ドットで 1 画素あたり 1 6 ビットすなわち約 6 万 5 千色のカラー表示が可能な液晶パネルに表示するデータを記憶する表示 R A M 2 0 のメモリ行の数を液晶パネルの垂直方向の画素数に合わせて 3 2 0 本とすることを意味する。また、水平期間に合わせた R A M 構成とは、同様に縦横 3 2 0 × 2 4 0 ドットの液晶パネルに表示するデータを記憶する表示 R A M 2 0 のメモリ列の数を液晶パネルの水平方向の画素数に合わせて 2 4 0 本とすることを意味する。

20

【 0 0 4 3 】

一方、表示 R A M 2 0 から読み出されたデータを保持するラッチ回路 1 3 0 は、いずれの場合にも液晶パネルの水平方向の全画素の画像データを保持可能な 2 4 0 × 1 6 ビットであるとする。この場合、垂直期間に合わせた R A M 構成では表示 R A M 2 0 から読み出された表示データは、図 9 (A) のように奇数行の 1 2 0 画素分をラッチ回路 1 3 0 の片側半分に格納し、偶数行の 1 2 0 画素分をラッチ回路の残りの半分に格納し、2 4 0 画素揃ったところでデータセクタ 3 1 へ出力させるようにすればよい。

【 0 0 4 4 】

また、水平期間に合わせた R A M 構成では表示 R A M 2 0 から読み出された表示データは、図 9 (B) のように一行分 (2 4 0 画素) ごとにラッチ回路 1 3 0 に格納し、データセクタ 3 1 へ出力させるようにすればよい。

30

【 0 0 4 5 】

上記のような縦横 3 2 0 × 2 4 0 ドットで 6 万 5 千色のカラー表示が可能な液晶パネルを駆動可能な液晶コントローラドライバを用いて縦横 3 2 0 × 2 4 0 ドットで 2 5 6 色 (8 ビット階調) のカラー表示が可能な液晶パネルを駆動する場合、垂直期間に合わせた R A M 構成では、表示 R A M 2 0 の各行に液晶パネルの 1 ライン分の 2 4 0 画素 × 8 ビット (ただし外部からの書き込みデータは 1 6 ビット単位)の表示データが格納される。従って、この場合には、図 9 (C) のように表示 R A M 2 0 から 1 行分ずつ表示データを読み出し、それをラッチ回路に一括保持させてからデータセクタ 3 1 へ出力させるようにすればよい。

40

【 0 0 4 6 】

また、水平期間に合わせた R A M 構成では、表示 R A M 2 0 の各行に液晶パネルの 2 ライン分の 4 8 0 画素 × 8 ビットの表示データが格納される。従って、この場合には、図 9 (D) のように表示 R A M 2 0 から読み出された一行分の表示データの半分 (2 4 0 画素) を第 1 ラッチ回路に格納し、その後それを第 2 ラッチへ転送して残りの半分のデータを第 1 ラッチ回路に読み出してから順次データセクタ 3 1 へ出力させるようにすればよい。

【 0 0 4 7 】

このように、液晶パネルのサイズと階調表示に必要な 1 画素当たりのビット数に応じて

50

表示RAM20の構成とラッチ回路のビット長とを決定することにより、チップコストを最小にするような最適なレイアウトを選択できるようにすることができる。

【0048】

次に、上記実施例の液晶コントローラドライバにおける階調電圧生成回路36の構成例について、図13を用いて説明する。

この実施例の階調電圧生成回路36は、例えば図13のように電源電圧端子Vcc-Vss間に接続されたラダー抵抗361と、該ラダー抵抗361で抵抗分割された任意の電圧をインピーダンス変換して出力する複数のバッファアンプBFF0~BFF63とからなり、最大64段階の階調電圧V63~V0を生成して出力できるように構成されている。ラダー抵抗361は、使用する液晶パネルの特性を補正するような階調電圧V63~V0を発生することができるように抵抗比が設定、もしくは特性を補正するのに必要な階調電圧が取り出せるようにバッファアンプBFF0~BFF63の入力端子が接続されるノードが決定されている。

10

【0049】

また、この実施例の階調電圧生成回路36には、コントロールレジスタ12内のビット数指定レジスタに設定された画素ビット数をデコードするデコーダ362が設けられているとともに、バッファアンプBFF0~BFF63にそれぞれ電源スイッチSW0~SW63が設けられており、上記デコーダ362の出力により指定画素ビット数に応じてバッファアンプBFF0~BFF63のうち有効化されるものを切り替えることができるように構成されている。すなわち、例えば指定画素ビット数が6ビットのときはすべてのアン

20

【0050】

さらに、上記階調電圧生成回路36は、例えば画素ビット数が5ビットに減ったときはバッファアンプBFF0~BFF63を一つおきに有効化させ、画素ビット数が4ビットのときバッファアンプを3つおきに有効化させるというようにすることにより出力される電圧を間引くとともに、画素ビット数が減った場合にも最大階調電圧V63と最小階調電

30

【0051】

一方、階調選択回路35は、RGBそれぞれに対応して最大6ビットの画像データに基づいて前記階調電圧生成回路36からの階調電圧V63~V0のいずれかを選択するセレクタ351, 352, 353から構成されている。さらに、この実施例では、第2ラッチ回路34と階調選択回路35との間に画素データのビットの並びを入れ替えることにより、上記のように生成する階調電圧を減らすのに応じて生成されなくなった電圧を選択させ

40

【0052】

このビット変換回路391~393は、1画素がRGBそれぞれ6ビットで構成されている場合にはラッチ回路34のデータをそのまま伝達し、1画素がRGBそれぞれ5ビット(例えばB5, B4, B3, B2, B1)で構成されている場合には、無効である最下位ビットB0に最上位ビットB5を入れてB5, B4, B3, B2, B1, B5なるデータに変換する。

【0053】

これにより、最大電圧V63と最小電圧V0を出力しかつオフ状態になったバッファアンプの出力を選択させないようにすることができる。なお、本実施例では最大階調電圧V

50

63と最小階調電圧V0を出力させることによって、V63とV0の間で間引きの間隔が他よりも少し広がっているが、V63とV0の中間の階調電圧を間引かずに残しかつこの電圧が選択されるようにビット変換回路39を構成するようにしてもよい。

【0054】

また、本実施例では1画素がRGBそれぞれ5ビットで構成されている場合のビットの入れ替え方法を説明したが、1画素がRGBそれぞれ4ビットや3ビットで構成されている場合にも同様の考え方で、階調電圧V63～V0の中から所定の間隔でとびとびに電圧を選択するとともに、最大階調電圧V63と最小階調電圧V0は出力させるようにRGBコードのビット入れ替えを行うとよい。

【0055】

また、ラダー抵抗361とバッファアンプBFF0～BFF63との間にラダー抵抗361が抵抗分割された電圧を選択するセレクタを、またコントロールレジスタ12内には液晶パネルの特性を設定するためのレジスタを設け、該レジスタの設定値に応じて各セレクタを切り替えて所望のレベルの電圧を出力させることにより、使用する液晶パネルに応じてその特性を補正するような階調電圧を出力できるように構成しても良い。

【0056】

さらに、実施例では階調電圧生成回路36で64段階の階調電圧V63～V0を生成しているが、64段階の階調電圧を生成する代わりに32段階の階調電圧V31～V0を生成させ、生成された32段階の階調電圧V31～V0を用いて階調選択回路35においていずれか隣接する2つの電圧（例えばV21とV22）を例えば2フレームのうち、1フレーム目にV21、2フレーム目にV22と交互に表示させることで、実効的に中間の電圧 $(V21 + V22) / 2$ が液晶に印加されることにより、実質的に64段階の階調表示を行うことも可能である。

【0057】

次に、上記実施例の液晶コントローラドライバを応用したシステムについて説明する。図10には、上記実施例の液晶コントローラドライバを採用した携帯電話システムの回路構成の一例を示す。

同図において、100は前述の液晶コントローラドライバ、110は無線信号の送受信と無線信号およびベースバンド信号間の変換とを行う高周波用RFユニット、115は音声信号や送受信信号に係る信号処理やシステム全体の制御等を行なうシステム制御装置としてのベースバンドプロセッサ、116はMPEG方式等に従った動画処理等のマルチメディア処理機能や解像度調整機能、ジャバ高速処理機能等を有するアプリケーションプロセッサ、117は着信音出力や受話音声の信号処理を行う音声処理ユニット、118は住所録データなどユーザの設定データが格納される不揮発性メモリ、119は液晶パネルの1画面分の静止画データを格納するフレームバッファとして使用されたり動画再生時の表示データのバッファメモリなどとして使用されるSRAM(Static Random Access Memory)で、これらの回路はプリント配線基板などからなるシステムボード150に搭載される。

【0058】

ベースバンドプロセッサ115は、自己宛ての受信データを識別して音声データを取り出したり送信データを無線送信用のフォーマットに変換したりするDSP(Digital Signal Processor)121、ユーザの操作内容に基づくシステム制御や送受信データのデータ処理および表示制御などを行うMCU(マイクロコントローラユニット)120などからなる。アプリケーションプロセッサ116は、システム全体の性能に合わせて搭載されることがあるLSIであり、MPEG(Moving Picture Experts Group)データの符号化・復号処理を行うコーデック回路123や、ジャバ言語の処理回路などからなる。また、これを省略したシステムも可能である。140は液晶コントローラドライバ100によって表示駆動されるカラー液晶パネルであり、液晶コントローラドライバ100として前記実施例の液晶コントローラドライバを使用したシステムでは、液晶パネル140として1画面の表示データ量が液晶コントローラドライバ内蔵の表示RAM20の容量よりも大きい

10

20

30

40

50

サイズのものを使用して全画面表示を行なわせるようにすることができる。

【0059】

なお、液晶コントローラドライバ100と高周波用RFユニット110とベースバンドプロセッサ115とアプリケーションプロセッサ116とメモリ118およびSRAM119は、ボード上に形成されたシステムバスS-BUSにより互いにデータ転送可能に接続される。前記実施例の液晶コントローラドライバを使用したシステムでは、あまり表示が変化しない画像に関してはベースバンドプロセッサ115が液晶コントローラドライバ100内の表示RAM20に画像データを書き込んでおくことにより、従来のように毎回メモリ119から画像データを読み出して液晶コントローラドライバ100へ転送しなくても表示を行わせることが可能であり、これによってベースバンドプロセッサ115の負担を軽減することができる。

10

【0060】

また、前記実施例の液晶コントローラドライバを使用したこの携帯電話システムは、液晶パネル140に通話相手の電話番号や名前などの固定表示の他、受信した動画データをデコーダ回路123で復号して一旦SRAM119に蓄えた後、表示タイミングに合わせてベースバンドプロセッサ115が該復号データを液晶コントローラドライバ100に送ることで、内蔵の表示RAM20を介さない直接書込み表示により動画再生が可能である。

【0061】

図11には、図10の携帯電話システムにおける液晶パネル140への表示画像の例を示す。

20

上記携帯電話システムによれば、図11(a)に示すように、上記直接書込み表示による動画表示V1と、表示RAM20の表示データに基づく固定表示V2、V3とを混在して表示出力することが出来る。また、固定表示V2、V3の位置もベースバンドプロセッサ115によるアロケーションレジスタ13の設定値により、図11(b)に示すように適宜の位置に変化させることが出来る。

【0062】

このように、表示RAM20の表示データに基づく固定表示方式を、電源マーク、アンテナマークおよび日時情報の表示など、変化の少ない表示に用いる一方、直接書込みの表示方式を動画再生など頻繁に変化する表示に用いることで、変化の少ない表示データについては同じ表示データを何度も液晶コントローラドライバに転送する処理が省けるとともに、頻繁に変化する表示データについては表示RAM20への迂回が省けるなど、表示内容に適した処理方式の使い分けが可能であり、この表示内容に適した処理により消費電力の低減を図ることが出来る。

30

【0063】

以上、内蔵RAMのデータと外部からの直接データを選択して表示させる方法を説明してきたが、この方式を利用した応用例として透過表示の方法を図12に示す。透過表示機能とは指定した色をパネル上に表示させたり表示させないようにする機能をいう。構成として、色情報を保持するレジスタ(透過用レジスタ165)と、外部から入力されるデータを保持するラッチ回路(ライトデータラッチ11)と、上記レジスタの出力とラッチ回路の出力を比較する回路(コンペア回路166)とを有する。コンペア回路166の出力により、パネルに表示される色の種類が制御される。色情報は赤R・緑G・青Bの成分に分けて各数ビットのデータとして保持される。

40

【0064】

図12(a)は、ライトデータラッチ11のデータがコンペア回路166を経由せず、直接データセレクタ31に出力されるモードでの状態を示す。図12(b)は、ライトデータラッチ11のデータがコンペア回路166を経由し、色情報を保持したレジスタ165との比較により透過制御回路167で特定の色が出力されない(透過される)モードの状態を示す。図12(a)と(b)のモードはチップ外からの制御信号により切り替えるか、あるいは色情報レジスタの値により切り替える構成としてもよい。

50

【 0 0 6 5 】

図 1 2 (a) においては (透過表示を行わないモードにおいて) は、ライトデータラッチ 1 1 の出力はコンペア回路 1 6 6 を経由することなく、データセクタ 3 1 に直接出力され、内部 R A M 2 0 の出力データと重ねてパネル 1 4 0 に表示されるデータセクタ 3 1 の出力タイミングはアクセス制御回路 2 4 により制御される。図 1 2 (b) では、出力させない任意の表示色 (白) が透過用レジスタ 1 6 5 に設定されている。透過用レジスタ 1 6 5 の出力とライトデータラッチ 1 1 の出力はコンペア回路 1 6 6 に入力される。

【 0 0 6 6 】

入力された出力の値はコンペア回路 1 6 6 により比較され、一致・不一致の結果が透過制御回路 1 6 7 に出力される。この透過制御回路 1 6 7 により指定色 (例えば白) が透過される (出力されない) ことを示す信号が生成され、その結果がアクセス制御回路 2 4 に送られる。パネル 1 4 0 に表示されるデータセクタ 3 1 の出力タイミングはこのアクセス制御回路 2 4 により制御され、データセクタ 3 1 で内部 R A M 2 0 からの読み出しデータと重ねられる。これにより、レジスタ 1 6 5 に入力された色情報がパネル上では透過して、背景の青データがパネル上に写る。尚、透過用レジスタ 1 6 5 に変えて透過させたくない色の情報を非透過用レジスタに設定し、ライトデータラッチ 1 1 の出力と一致した色のみを出力させる方式を用いてもよい。比較する対象を減らす構成とした方が有利となる。

10

【 0 0 6 7 】

以上の方法により、図 1 2 (b) のように直接書込みデータで矩形領域にある特定の図形 (図では円) を、切り抜いてパネル 1 4 0 に表示させるようなことができる。

20

【 0 0 6 8 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、実施例では表示 R A M (表示メモリ) 2 0 をマーク表示や日時表示など変化の少ない表示データを格納するものとして説明したが、例えば、表示メモリを背景色など同一色で塗りつぶす部分の表示データ (色データ) のみ格納して、該表示メモリのデータにより背景表示を行い、その他の部分の表示を表示メモリを介さない直接書込みによる表示とするように構成しても良い。

30

【 0 0 6 9 】

また、表示データを入力インターフェースから表示メモリへ送るか表示メモリを介さずに出力ドライバ側へ送るかを選択する手段としてセクタ 1 5 を例示したが、例えば表示 R A M 2 0 の書込みコマンドのオン/オフとデータセクタ 3 1 の切り換えにより上記選択手段としての機能を実現できるなど、その構成は種々に変形可能である。また、入力インターフェースに表示データの入力ポートを 2 つ設け、一方を表示メモリ側、他方を表示メモリを介さずに出力ドライバ側に接続する構成としても良い。

【 産業上の利用可能性 】

【 0 0 7 0 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話システムの液晶コントローラドライバについて説明したがこの発明はそれに限定されるものでなく、小型携帯型の電子機器の表示パネルを駆動する表示駆動制御装置に広く利用することができる。

40

【 図面の簡単な説明 】

【 0 0 7 1 】

【 図 1 】 本発明の実施例の液晶コントローラドライバの概略構成を示すブロック図である。

【 図 2 】 実施例の液晶コントローラドライバの表示メモリの容量と液晶パネルの表示領域の関係を説明する図である。

【 図 3 】 表示メモリのデータに基づく固定表示と表示メモリを介さない直接書込み表示と

50

が混合された表示例を示す図である。

【図 4】表示メモリのデータに基づく固定表示と表示メモリを介さない直接書込み表示とが混合された場合の表示動作を示す図である。

【図 5】図 3 の水平期間 (A) における表示データの転送動作を説明するタイムチャートである。

【図 6】図 3 の水平期間 (B) における表示データの転送動作を説明するタイムチャートである。

【図 7】表示メモリのその他の使用例を説明する図である。

【図 8】1 画素の階調数を変えた場合の表示メモリの具体的な使用例を示す図である。

【図 9】表示メモリから第 1 ラッチ回路への表示データの転送方式について表示メモリのアレイ構成と画素の階調数とを変えた場合のそれぞれの例を説明する図である。 10

【図 10】実施例の液晶コントローラドライバを採用した携帯電話システムの構成例を示すブロック図である。

【図 11】図 10 の携帯電話システムにおける表示例を示す画像図である。

【図 12】透過制御を可能とする液晶コントローラドライバの主要構成とその動作例を説明する図である。

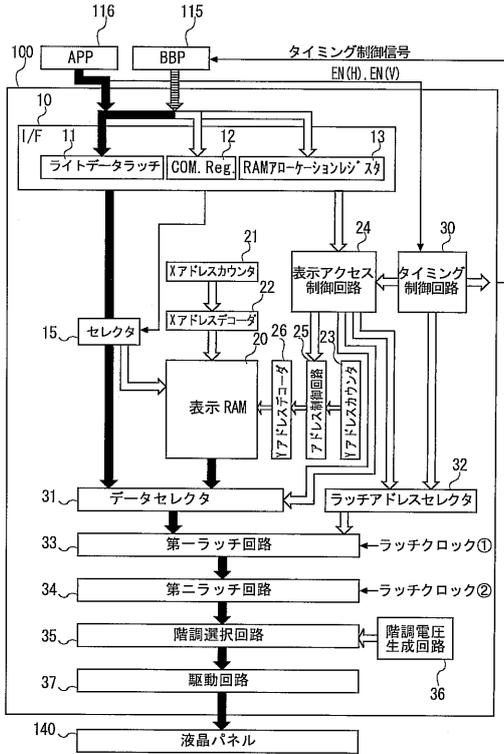
【図 13】階調電圧生成回路の構成例を示すブロック図である。

【符号の説明】

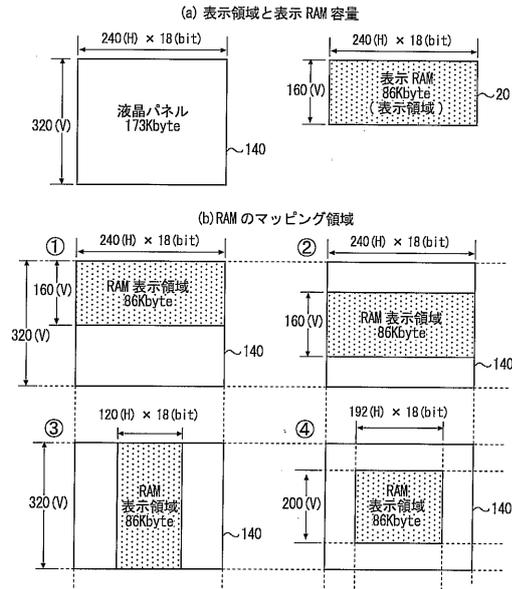
【 0 0 7 2 】

1 0	入力インターフェース	20
1 3	アロケーションレジスタ	
1 5	セレクタ	
2 0	表示 R A M (表示メモリ)	
2 3	Y アドレスカウンタ	
2 4	表示アクセス制御回路	
2 5	アドレス制御回路	
2 6	Y アドレスデコーダ	
3 0	タイミング制御回路	
3 1	データセレクタ	
3 2	ラッチアドレスセレクタ	30
3 3	第 1 ラッチ回路	
3 4	第 2 ラッチ回路	
3 5	階調電圧選択回路	
3 6	階調電圧生成回路	
3 7	駆動回路	
1 1 0	高周波用 R F ユニット	
1 1 5	B B P (ベースバンドプロセッサ)	
1 1 6	A P P (アプリケーションプロセッサ)	
1 1 7	音声処理ユニット	
1 2 0	M C U (マイクロコントローラユニット)	40
1 4 0	液晶パネル	
B F F 0 ~ B F F 6 3	バッファアンプ	

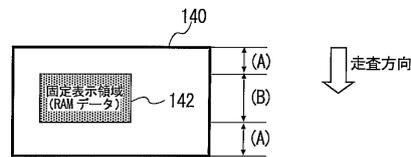
【 図 1 】



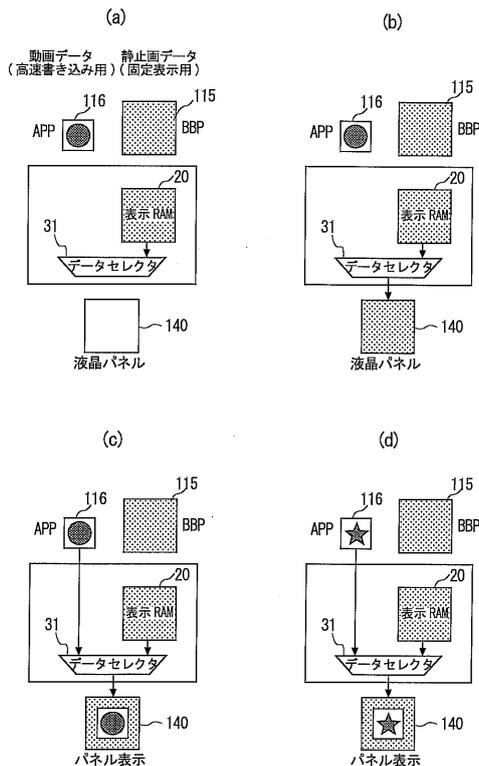
【 図 2 】



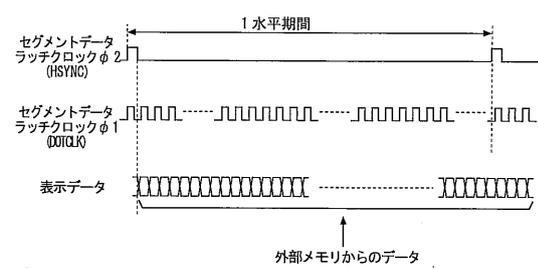
【 図 3 】



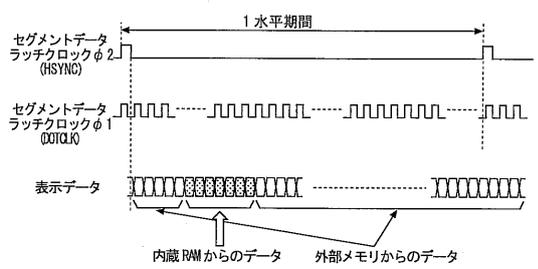
【 図 4 】



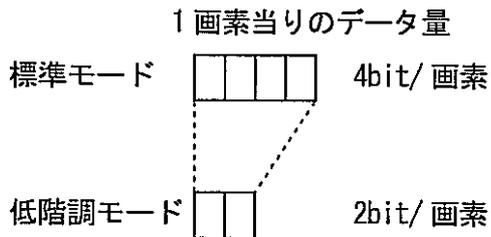
【 図 5 】



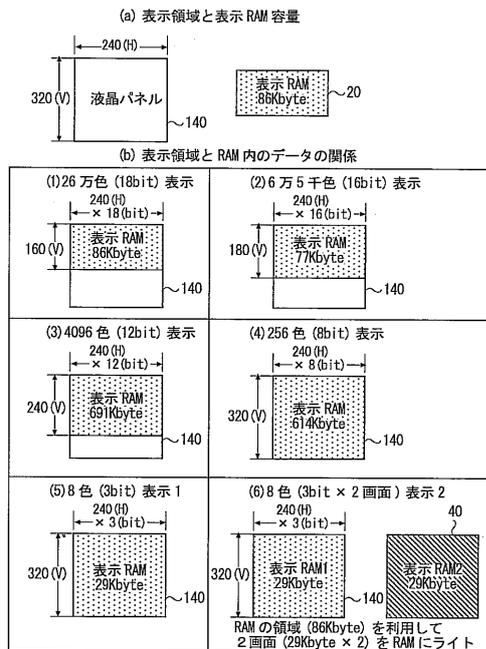
【 図 6 】



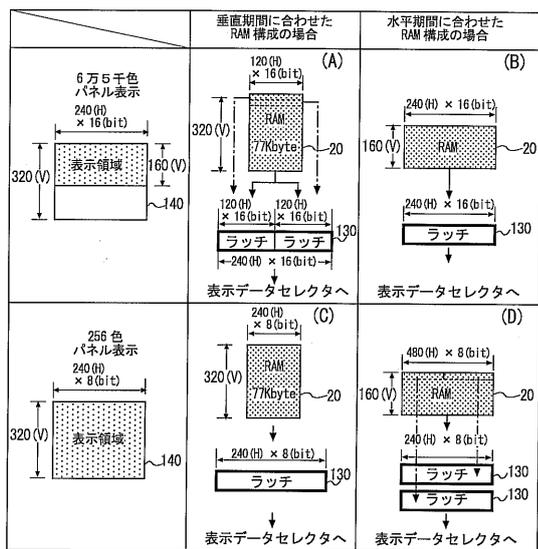
【 図 7 】



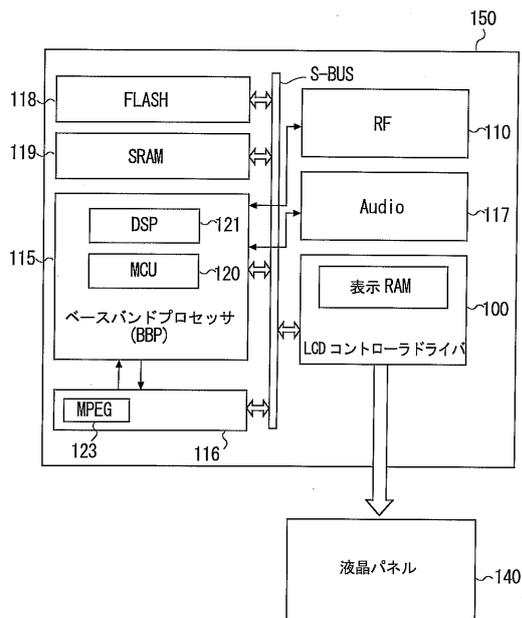
【 図 8 】



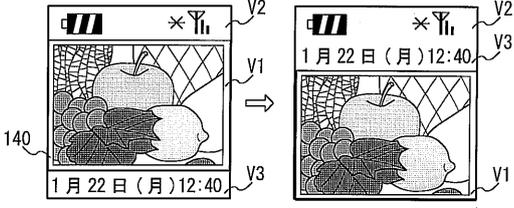
【 図 9 】



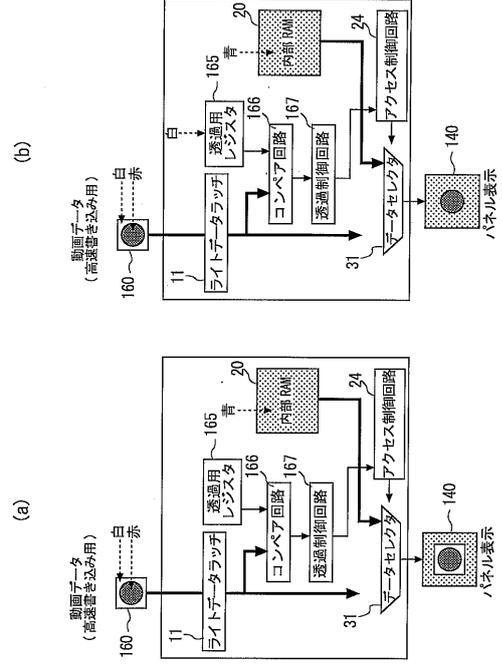
【 図 10 】



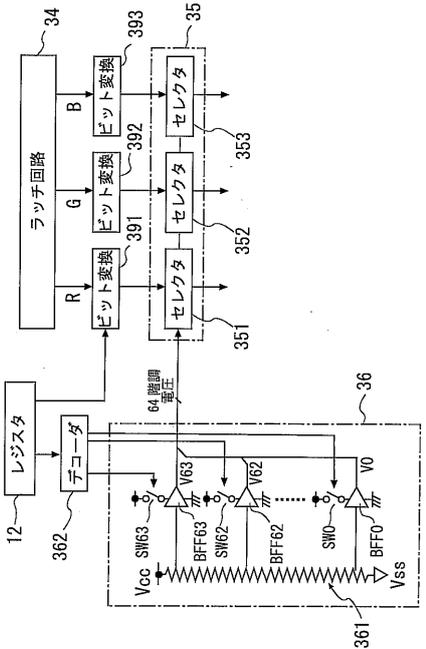
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 4 N 5/66 (2006.01)	G 0 9 G 3/20	6 1 2 U
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 1 K
	G 0 9 G 3/20	6 2 3 K
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 3 1 R
	G 0 9 G 5/00	5 2 0 W
	G 0 9 G 5/00	5 5 0 R
	G 0 9 G 5/36	5 2 0 A
	G 0 2 F 1/133	5 7 5
	H 0 4 N 5/66	1 0 2 B

(72)発明者 坂巻 五郎

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 横田 善和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

Fターム(参考) 2H093 NA10 NA16 NA79 NC13 NC15 NC16 NC26 NC59 ND39 ND49
 NG20
 5C006 AA02 AA16 AA22 AF02 AF03 AF04 AF23 AF26 AF27 AF31
 AF34 AF44 AF45 AF46 AF51 AF53 AF68 AF69 AF72 AF73
 AF83 AF84 AF85 BB16 BC12 BC16 BC20 BF02 BF04 BF15
 BF24 BF25 BF43 EB05 FA05 FA06 FA13 FA44 FA47 FA51
 FA54
 5C058 AA06 BA01 BA26 BB13
 5C080 AA10 BB05 CC01 CC03 DD08 DD24 DD25 DD26 DD28 EE05
 EE19 EE26 EE29 EE31 FF11 GG02 GG11 GG13 GG14 GG15
 GG17 JJ01 JJ02 JJ03 JJ04 KK07 KK49
 5C082 BA02 BA13 BA20 BA27 BA35 BA41 BB01 BB15 BB22 BB44
 BC16 BD02 CA12 CA52 CA55 CA76 CA84 CB01 CB03 CB06
 DA42 DA54 DA55 DA57 DA64 DA65 DA67 DA76 DA86 MM02
 MM04 MM07