

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3908802号
(P3908802)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl.		F I	
HO4N 5/253 (2006.01)		HO4N 5/253	
HO4N 7/01 (2006.01)		HO4N 7/01	Z

請求項の数 2 (全 20 頁)

<p>(21) 出願番号 特願平7-354714</p> <p>(22) 出願日 平成7年12月27日(1995.12.27)</p> <p>(65) 公開番号 特開平9-18784</p> <p>(43) 公開日 平成9年1月17日(1997.1.17)</p> <p>審査請求日 平成14年12月25日(2002.12.25)</p> <p>(31) 優先権主張番号 366799</p> <p>(32) 優先日 平成6年12月30日(1994.12.30)</p> <p>(33) 優先権主張国 米国(US)</p> <p>前置審査</p>	<p>(73) 特許権者 391000818 トムソン コンシューマ エレクトロニクス インコーポレイテッド THOMSON CONSUMER ELECTRONICS, INCORPORATED アメリカ合衆国 インディアナ州 46290-1024 インディアナポリス ノース・メリディアン・ストリート 10330</p> <p>(74) 代理人 100115864 弁理士 木越 力</p> <p>(74) 代理人 100118496 弁理士 青山 耕三</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 フィルム・モードを検出する方法

(57) 【特許請求の範囲】

【請求項1】

インターレース・ビデオ入力信号のフィルム・モードを検出する方法であって、フィルム・ソースまたはカメラ・ソースからのフィールドを含んでいるインターレース・ビデオ入力信号を供給するステップと、

1つのフィールド期間の間の正味モーションを表している前記ビデオ入力信号の各フィールドごとにフィールド間差信号を生成するステップと、

フィルム・ソース・フィールドを表わすパターンを検出するために、前記フィールド間差信号を分析するステップを含み、

前記分析するステップは、

前記フィールド間差信号からフィールドとフィールドとの間の差信号を形成して、符号ビットおよび大きさビット群を各フィールド差ごとに供給するステップと、

前記大きさビット群をしきい値と比較して第1しきい値を示す信号を供給するステップと、

前記第1しきい値を示す信号および前記符号ビットを、5つの相関器からなるグループの各相関器のそれぞれの第1入力端と第2入力端に供給するステップと、

前記フィールドとフィールドとの間の差信号の大きさがしきい値を越えているとき、3 - 2プルダウン・オペレーション・モードでは、フィールド・レートで前記5つの相関器全てを順次にアドレスし、さもなければ、2 - 2プルダウン・オペレーション・モードでは、フィールド・レートで前記相関器のうちの選択された2つを順次にアドレスするステ

10

20

ップと、

いずれのモードでも前記相関器のうちの1つの相関器だけがフィルム・モード・オペレーションを示す計数値を示しているときそれを検出するステップと、
を含む、前記フィルム・モードを検出する方法。

【請求項2】

前記フィールド間差信号を第2しきい値と比較し、第2しきい値を示す信号を生成するステップと、

前記第2しきい値を示す信号を、第3バスを介して、前記5つの相関器の各々の第3入力端に入力するステップと、

を含む、請求項1に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はビデオ信号処理に関し、特に、ビデオ信号の発生源がフィルム(film)・ソース(source)であるか、ビデオ・カメラ(video camera)・ソースであるかを識別する方法および装置に関する。

【0002】

【従来の技術】

フィルムを発生源とするビデオ情報を受信したとき、信号のデ・インターレーシング処理(de-interlacing)を本質的にエラーなしで行う機会がある。これは、両タイプ(奇数/偶数)のインターレース・フィールド(interlaced field)を表している、少なくとも2つのビデオ・フィールドを生成するのにフィルム・ソースの各フレームが使用されるためである。従って、ビデオ信号の発生源がフィルムであると確実に判別することができ、しかも、共通フィルム・フレームに対応するビデオ・フィールドが識別できれば、一瞬時に対応する、本質的にエラーのない非インターレース・ビデオ・フレーム(non-interlaced video frame)は、これらのフィールドの2つをマージすることで生成することができる。フィルム・ソース識別が利用される他の用途として、デジタル伝送システムにおいてチャンネル符号化効率(channel coding efficiency)を向上するために、削除すべき冗長フィールド(3-2プルダウン・ソースに現れる)を識別する場合がある。

【0003】

残念ながら、どのフィールドがフィルムから発生したもので、どのフィールドがビデオ・カメラから発生したものであるかを示す特別な情報が放送ビデオ信号(broadcast video signal)に含まれていないので、フィルム・ベースの材料(film-based material)の存在は、フィールドの輝度(luminance)情報間の差を調べることによって推定しなければならない。しかし、これには、いくつかの問題がある。例えば、連続するビデオ・フィールド間が非常に類似していると、これらのフィールドが同じフィルム・フレームから発生したものと判断されることになる。また、この類似性は、プログラム(番組)材料に動きがないと、それが原因で起こる場合もある。同様に、フィールド間の差についてみると、それらフィールドが同じ情報フレームからのものでないことを示していても、この差は垂直空間ディテール(vertical spatial detail)あるいは伝送ノイズが原因で起こる場合もある。

【0004】

実際のフィルム検出器は、フィールド差情報を正しく処理し、フィールド差のシーケンスを調べ、既知フィルム・シーケンスの特性を示す特徴的パターンを見つけることによって、上述した状況を識別しなければならない。モーション(motion:動き)/非モーション、ノイズ、空間ディテールなどを区別するほかに、この問題をさらに複雑化しているのは、フィルム・ソースを発生源とするビデオ・材料によく現れる2つパターンがあることである。これらには、「2-2プルダウン」(2-2 pull down)

10

20

30

40

50

と「3 - 2プルダウン」(3 - 2 pull down)と一般に呼ばれているものがある。

【0005】

2 - 2プルダウン・システムでは、各フィルム・フレームは、それぞれが各タイプ(奇数/偶数)をもつ2つのビデオ・フィールドを生成する。これは、50Hz(フィールド・レート)マテリアルによく現れる唯一のパターンであり、これは、毎秒25フレームのフィルムに相当している。時には、このパターンは、毎秒30フレームのフィルムを使用して作成された60Hzビデオ・プログラミングに現れることもある。

【0006】

3 - 2プルダウン・プロセスでは、あるフィルム・フレームは3つのビデオ・フィールドを発生するために使用され、次のフィルム・フレームは2つのフィールドを発生し、3 - 2の繰返しパターンになっている。これは、60Hz(つまり、毎秒60フィールド)ビデオ・マテリアルに最もよく見られるフィルム・フォーマットであり、これは毎秒24フレームのフィルム・マテリアルに対応している。

【0007】

【発明が解決しようとする課題】

本発明は、種々のプルダウン・パターンのソース・マテリアルに使用可能であって、あいまいさ(ambiguities)(場面のモーション(またはモーションの不存在)、垂直空間ディテール、伝送ノイズなどの要因に起因する)を解決してフィルムを発生源とするビデオ・マテリアルの識別を高信頼化するような、フィルム・モード検出器の必要性

【0008】

【課題を解決するための手段】

本発明によれば、インターレース・ビデオ入力信号のフィルム・モード検出方法は、ビデオ入力信号の各フィールドごとに、1フィールド・インターバル(interval: 期間)の正味モーション(net motion)を表す2進数(binary number)を生成することと、その2進数を分析して、フィルムを発生源とするフィールド(film sourced fields)を表すパターンを検出することからなっている。この分析ステップは、2進数からフィールド間差信号を形成して、各フィールド差ごとに、符号ビット(sign bit)および大きさビット(magnitude bits)群を得ることと、この大きさビット群をしきい値(threshold value)と比較してしきい値指示信号(threshold indicating signal)を得ることと、このしきい値信号と符号ビットを5個の相関器(correlator)からなるグループの各相関器のそれぞれの第1および第2入力端に入力することと、相関器をフィールド・レートで順次にアドレスすることと、相関器の1つであって、その相関器だけがフィルム・モード・オペレーションを示す計数值を示しているときそれを検出することからなっている。

【0009】

本発明の原理を適用した好ましい実施例では、その方法は、さらに、2進数を第2しきい値と比較して第2しきい値指示信号を得ることと、この第2しきい値表示信号を第3バスを介して前記5つの相関器の各々の第3入力端に入力することからなっている。

【0010】

本発明の別の特徴によれば、その方法は、2進制御信号(binary control signal)を得ることと、5つの相関器のアドレッシングを2進制御信号に従って変更して、2 - 2プルダウン・マテリアルを検出するための該相関器のうちの2つの第1アドレス・シーケンスと、3 - 2プルダウン・マテリアルを検出するための該5相関器すべての第2アドレス・シーケンスを得ることからなっている。

【0011】

本発明によれば、インターレース・ビデオ入力信号のフィルム・モード検出を行う装置は、フィルム・ソースまたはカメラ・ソースからのフィールドを含んでいるインターレー

10

20

30

40

50

ス・ビデオ入力信号を得るためのビデオ信号ソースと、少なくとも1フィールド・インターバル期間の隣接フィールドのピクセル値の正味変化を表しているフィールド間差信号を、ビデオ信号の各フィールドごとに生成するモーション検出回路と、フィールド間差信号を分析してフィルムが発生源のフィールドを表すパターンを検出するパターン・アナライザ(analyzer:分析回路)とを備えている。このパターン・アナライザは、フィールド間の差信号をフィールド間差信号から形成して符号ビットおよび一群の大きさビットを提供する減算回路と、大きさビット群をしきい値と比較してしきい値指示信号を得るためのコンパレータ(comparator:比較回路)と、しきい値指示信号と符号ビットを5つの相関器の各々の入力端にそれぞれ入力するための第1および第2バス・ラインと、相関器をフィールド・レートで順次にアドレスするためのアドレス・ジェネレータと、相関器の1つであって、その相関器だけがフィルム・モード・オペレーションを示す計数値を示しているときそれを検出するためのロジック・ユニットとを備えている。

10

特許請求の範囲に記載された事項と実施例との対応関係を、図面で使われている参照符号で示すと次の通りである。

(請求項1) インターレース・ビデオ入力信号のフィルム・モードを検出する方法であって、

フィルム・ソースまたはカメラ・ソースからのフィールドを含んでいるインターレース・ビデオ入力信号(Y)を供給するステップと、

1つのフィールド期間の間の正味モーションを表している前記ビデオ入力信号の各フィールドごとにフィールド間差信号を生成するステップと、

20

フィルム・ソース・フィールドを表わすパターンを検出するために、前記フィールド間差信号を分析するステップを含み、

前記分析するステップは、

前記フィールド間差信号からフィールドとフィールドとの間の差信号(S_n)を形成して、符号ビット(SIGN BIT)および大きさビット群(D2FLD)を各フィールド差ごとに供給するステップと、

前記大きさビット群(D2FLD)をしきい値(TH-1)と比較して第1しきい値を示す信号(T1)を供給するステップと、

前記第1しきい値を示す信号(T1)および前記符号ビット(SIGN BIT)を、5つの相関器(401~405)からなるグループの各相関器のそれぞれの第1入力端と第2入力端に供給するステップと、

30

前記フィールドとフィールドとの間の差信号の大きさがしきい値を越えているとき、3-2プルダウン・オペレーション・モードでは、フィールド・レートで前記5つの相関器全てを順次にアドレスし、さもなければ、2-2プルダウン・オペレーション・モードでは、フィールド・レートで前記相関器のうちの選択された2つを順次にアドレスするステップと、

いずれのモードでも前記相関器(401~405)のうちの1つの相関器だけがフィルム・モード・オペレーション(FM)を示す計数値を示しているときそれを検出するステップと、

を含む、前記フィルム・モードを検出する方法。

40

(請求項2) 前記フィールド間差信号を第2しきい値と比較し、第2しきい値を示す信号を生成するステップと、

前記第2しきい値を示す信号を、第3バスを介して、前記5つの相関器の各々の第3入力端に入力するステップと、

を含む、請求項1に記載の方法。

【0012】

【発明の実施の形態】

以下、添付図面を参照して本発明の実施例を説明する。なお、図面において、類似要素には類似の符号が付されている。

【0013】

50

本発明によるフィルム・モードのビデオ・フィールド識別には、汎用的有用性がある。具体的には、データ圧縮伝送システムで冗長フィールドを識別するために利用すれば、データ・ストリームから除去または削除すべき冗長フィールドを識別することができる。また、共通フィルム・フレームが発生源であるビデオ・フィールドを識別するために利用すれば、ビデオ信号のデ・インターレーシング処理（すなわち、インターレース・ビデオ信号の順次走査変換）を本質的にエラーなしで容易に行うことができる。また、フィールド・レートを二倍にしてビデオ信号のフリッカ低減処理の目的のために、あるフィルム・フレームに共通する5つのフィールドを識別するために使用することもできる。

【0014】

図1のテレビジョン受信装置では、上記利用例のうちの2つ、すなわち、デ・インターレーシングを行う場合と、表示画像のフリッカ低減を行う場合が示されている。この受信装置はビデオ信号・タイミングの源102を備えており、この信号源102からは、インターレース輝度出力信号Yおよび全体を英字Tで示したタイミング信号群（例えば、水平、垂直、ピクセルなど）が出力される。ここでは、ビデオ信号Yは、フィルム・ソースとカメラ・ソースとが混合されたもので、インターレースされているものと想定している。すべてのフィールド選択決定は輝度信号（*luminance signal*）の処理に基づいて判断されるので、また、図面を簡略化するために、クロミナンス（*chrominance*）処理は示されていない。この分野の専門家ならば理解されるように、ある特定の輝度（*luma*）フィールドが識別され、表示のために選択されるとき、対応するクロマ（*chroma*）フィールドも選択されるはずである。

【0015】

信号の源102の出力は、順次走査／フリッカ低減プロセッサ104を介してビデオ・ディスプレイ・ユニット106に入力される。ユニット106は従来から知られている構成とすることができ、本発明を実現するための識別装置100から得られるフィールド・ソース識別情報を利用して、デ・インターレーシングまたはフリッカ低減（あるいは両方）などのピクチャ（画像）改善を行うことができる。

【0016】

本発明を実現するフィルム・モード検出装置100は3つの主要要素を備えている。すなわち、ビデオ信号選択ユニット（*video signal selection unit*）108、フィルム・データ比較および累算ユニット（*film data comparison and accumulation unit*）110、およびフィルム・データ減少ユニット（*film data reduction unit*）112である。

【0017】

ユニット108の入力端は、信号の源102から送られてきて、標準フィールド・レート（例えば、PALまたはSECAMでは50Hz、NTSCでは約60Hz）のインターレース・フィールドを含んでいるインターレース輝度信号Yを受信するように結合される。入力ビデオ信号Yから、ユニット108は3つの出力ビデオ信号を同時に選択する。これらの信号は、信号源102から同時に発生されるピクセルを含んでおり、そこでは、ピクセルYCはピクセルYAに対して1フィールドからハーフ（*half: 1/2*）ラインを引いた分だけ遅れており、ピクセルYBはピクセルYAに対して1フィールドにハーフラインを加えた分だけ遅れている。

【0018】

ピクセルYA、YBおよびYCの時間空間的配置は図2に示されている。ここで、あるフィールド（例えば、現フィールドN）からの一番目の各ピクセル（例えば、YA）は、時間的に隣接するフィールド（例えば、隣接フィールドN-1）の同じ水平位置をもつ二番目と三番目のピクセル（例えば、それぞれYBとYC）と同時に発生される。この3つの3ピクセルのタイミングを別の表現で表すと、ハーフラインを引いた1フィールドは、60Hz（毎秒1フィールド）テレビジョン標準（NTSC）では262ラインの遅延に相当し、50Hz方式（例えば、PALまたはSECAM）では312ラインの遅延に相当

10

20

30

40

50

している。ハーフラインを加えた1フィールドは60Hzの方式では263ラインに相当し、毎秒50フィールドの方式では313ラインに相当している。

【0019】

図11、図12および13は、ユニット108として適した実施例を示す図である。図11に示すように、ビデオ信号YはYAとして直接出力され、ディレイ(delay:遅延)ユニット1102で262ラインだけ遅延されてYBが作られ、ラインディレイユニット1104でさらに1ラインだけ遅延されてYCが作られる。この実施例は毎秒60フィールドのNTSCシステムに適している。図12に示すように、毎秒50フィールドのシステムでは、遅延は、ユニット1202にて、312ラインに変更される。別の方法として、図13に示すように、遅延信号は、RAM1302にを貯え、それぞれYA, YBおよびYCを出力する複数の出力ラッチ1304, 1306および1308を設けることにより得ることができる。

10

【0020】

フィルム・データ比較および累算ユニット(film data comparison and accumulation unit) 110は2つの機能を備えている。第1の機能は、選択したピクセル(YA, YBおよびYC)の値をピクセル単位(pixel by pixel basis)で比較して、一番目の各ピクセル(YA)ごとに、ピクセル差信号(pixel difference signal)を得ることである。このピクセル差信号は、一番目のピクセル(YA)の値が二番目(YB)と三番目(YC)のピクセルの値の中間値であれば、値がゼロになっており、そうでなければ、ピクセル差信号は、一番目のピクセル(YA)の値と、二番目と三番目のピクセルのうち一番目のピクセル(YA)の値に最も近い値をもつ方(YBまたはYC)の値との差の絶対値に等しい値になっている。ユニット110についての特定実施例において、上述した独特なピクセル差生成方式は図7~図10に示されているが、これについては後述する。

20

【0021】

ユニット110が有する第2の機能は、ピクセル差信号の非ゼロ値を、ビデオ信号の1フィールドのあらかじめ決めた部分(例えば、アクティブ(active:有効)・ライン)にわたって累算して、フィールド差信号を得ることである。フィルム・データ減少ユニット112はユニット110から出力されるフィールド差信号Snを受け取り、累算フィールド差信号をフィールドごとにあるパターンについて分析する。あるパターンとは、例えば、2-2プルダウン・モードまたは3-2プルダウン・モードで動作しているフィルム・ソースを示すパターンである。この分析の結果として、プロセッサ104を制御するための2つの信号が得られる。一方の信号はフィルム・モードを示すフラグ信号であり、他方の信号はどのフィールドがフィルム・ソースからのものかを示す識別(identifier)信号である。

30

【0022】

以上を要約して説明すると、ユニット110は「フィルム・モード検出器」(film mode detector)として働き、現フィールドおよび前フィールドの隣接ラインからの輝度情報を上述したように使用して、現フィールドと前フィールドとの間のピクセルとの差を計算する。これらの差は、空間情報の影響を最小にするように処理され、フィールドのアクティブ・ライン(active lines)のアクティブ部分にわたって累算される。これにより、以下に説明する実施例では、8ビットのフィールド差ステータス信号Snが得られ、これは、現フィールドが前フィールドとどれだけの差があるかを示している。フィルム・データ減少ユニット112は、信号Snの値を使用して、どの隣接フィールドが同じフィルム・フレームからのものであったかを示す(次のフィールド期間の間に)“フィールド・フラグ出力”信号を発生する。“符号”(sign)信号は、(1)マテリアルがフィルムから発生されたかどうかを示し、(2)フィルム・シーケンス内におけるフィールドの位置を示している。このセクションには、並列に動作している複数の相関器が含まれており、これらの相関器は貯えられた参照シーケンス(reference sequence)(候補フィルム・シーケンスを表している)をSnフィー

40

50

ルド差データのパターンと比較する。これらの相関器の1つがフィルム・マテリアルが処理中であることを示しているとき、フィルム・モード (Film Mode) ステータス信号 (FM、1ビット) が活性化される。さらに、フィルム・フィールド識別ステータス信号 FF が出力される。この信号は、どの隣接フィールドがプロセッサ 104 の Y 補間回路によって使用されるかを示している。

【0023】

上述した説明を参考にして、以下では、本実施例のより詳しい説明を行う。

【0024】

比較および累算ユニット 110 の説明

ユニット 110 の説明を理解しやすくするために、図 3 では、フィルム・データ比較ユニット 300 とフィルム・データ累算ユニット 350 を区別するために、破線の対角線でブロック図を分けてある。

10

【0025】

ユニット 110 の全体機能は、フィールド差を表すデータを累算して、各フィールドの終わりで単一の結果 S_n (この例では 8 ビット数) を得ることである。この 8 ビット数は、あとで説明するように、各フィールドにおける 20 ビット累算の最上位 8 ビットに対応している。垂直空間情報の影響を低減するために、累積された和は、現フィールドの輝度レベルが前フィールド内の真上と真下のピクセルの輝度レベルの間であれば、変更されないままになっている。そうでなければ、現ピクセルの輝度レベルと、先行フィールドの、最も近い輝度値をもつ垂直方向の隣接ピクセルとの絶対差が累算される。各フィールドの終わりで、累算和はラッチされ、アキュムレータ (accumulator: 累算回路) はクリアされる。

20

【0026】

以上述べたことは次のように行われる。比較ユニット 300 において、加算器 302 と除数 2 の除算ユニット (divide by two unit) 304 は前フィールド $N-1$ の隣接ラインからピクセル YB と YC の平均値を計算する (図 2 参照)。この平均値と現フィールドの輝度ピクセル値 YA との差の絶対値は、減算器 306 と絶対値回路 308 によって求められ、初期フィールド差値 D_1 が得られる。これと同時に、前フィールドの隣接ピクセル間の絶対値の $1/2$ が減算器 310) 絶対値回路 312 および減衰器 314 によって得られたあと、減算器 316 で D_1 から減算される。この減算により、YA が YB の値と YC の値の間にあると、負の結果が得られる。減算器 316 に伝えられる差信号処理遅延を補償するために、そこに入力される信号は、ピクセル・クロック・リタイミング・ラッチ (pixel clocked retiming latch) 318, 320 のペアのそれぞれによってタイミングがとり直される。

30

【0027】

減算器 316 の出力差信号 D_2 (8 ビット) は負の値を除去するためにリミッタ 322 によって制限され、その結果の信号 D_3 は、ピクセル・レート・ラッチ (pixel rate latch) 328 によってリタイミングがなされたブランキング (帰線消去) 信号 (信号源 102 の信号 T からの) を受けてアンドゲート 324 によってゲート制御される。このゲート制御により、ピクセル差信号はビデオ・フィールドのアクティブ部分に制限されるので、垂直ブランキング期間に現れた同期信号および他の信号の影響が、アンドゲート 324 から出力される最終的ピクセル差信号 PD において、除去される。他のレジスタ 326 はピクセル・レートと同期して信号 PD のリタイミングをとって、前述したレジスタ 318, 320 および 328 と同じようにゲート遅延を補償する。

40

【0028】

図 7 ~ 図 10 は、図 3 の比較ユニット 300 によって得られた、処理済みピクセル差信号 PD の具体例を示す図である。図 7 に示すケースでは、YA の値は前フィールドの YB の値と YC の値の間にある。ユニット 300 は、YA が YB と YC の間にあるような場合はすべて差としてゼロを割り当てるので、ピクセル差値 PD はゼロ ($PD = 0$) に等しく、最終的に処理された信号のどの部分も形成しない。

50

【 0 0 2 9 】

図 8 に示す例では、Y A は Y B と Y C より大きくなっている。具体的には、Y A は Y B より 2 I R E だけ大きく、Y C より 7 I R E だけ大きくなっている。ユニット 3 0 0 は一番目のピクセル Y A の値と、二番目と三番目のピクセル Y B , Y C のうち一番目のピクセル Y A に最も近い方の値との差の絶対値に等しい差値を選択するので、P D で選択された差は + 2 I R E であり、7 I R E 差は無視される。

【 0 0 3 0 】

本発明の重要な特徴の 1 つは、ユニット 3 0 0 においてピクセル差値を求める上記および以下の例において、本発明の方法によれば、変化に対して常に最小の結果が得られることである。言い換えれば、Y A とピクセル Y B , Y C の間の 2 つの差のうち、最小の差だけが使用される。これには、Y B と Y C との間の垂直差が非常に大きいときに起こり得る歪みが最小になるので、あるピクセル差の測定が最終的累算フィールド・データ和に不当に重みを付けることが防止されるという利点がある。言い換えれば、非常に大きな変化（垂直ディテール、モーション、急激な水平エッジ、ノイズなどに起因する）は最小差に減少されるので、累積フィールド和が少数の急激な輝度変化によってスキュー（s k e w）されたり、その影響を受けない。

【 0 0 3 1 】

Y B と Y C のうち Y A の値に最も近い方に基づいて差を選択すると利点が得られる例を示したのが図 9 であり、そこでは、フィールド N - 1 において、ピクセル Y B (9 0 I R E) とピクセル Y C (1 0 I R E) 間が 8 0 I R E だけ遷移するように値が選択されている。本発明によれば、ピクセル差 P D は Y B , Y C のうち Y A に最も近い方に基づいているので、Y A の値が 5 I R E のとき、フィールド N - 1 でこの大きな変化があったとき得られるピクセル差は、フィールド N - 1 で 8 0 I R E だけ変化したときわずか 5 I R E に等しくなる。なお、ピクセル Y A を Y B または Y B と Y C のなんらかの平均値と比較すると、結果はもっと大きくなる。従って、ユニット 3 0 0 でピクセル差を生成するようにすると、生成される最終的フィールド差信号が不当に重み付けされることが防止される。信号 P D を生成するもう 1 つの例を示したのが図 1 0 であり、そこでは、Y C と Y B の値は 1 0 I R E に等しく、Y A の値は 7 . 5 I R E であるので、得られる差は + 2 . 5 I R E である。

【 0 0 3 2 】

ここで、参考のために触れておきたいことは、比較ユニット 3 0 0 は別の物理的構造や回路構成で実現しても、ピクセル Y A , Y B および Y C からピクセル差信号 P D を作ることができることである。このような代替構成は図 1 6 に比較ユニット 3 0 0 A として示されている。そこでは、ピクセル差信号 P D は、Y A , Y B および Y C をメディアン値セレクタ（median value selector）1 6 0 2 に入力し、減算器 1 6 0 4 で Y A をメディアン結果から減算し、減算器 1 6 0 4 で得た差の絶対値をユニット 1 6 0 6 で使用して信号 P D を出力することによって得ている。

【 0 0 3 3 】

図 3 に示す比較ユニット 3 0 0 の実施例が、ピクセル差を生成するとき回路の経済性の点で図 1 7 のそれよりも好ましいとされるのは、ユニット 3 0 0 ではメディアン値を選択する必要がないからである。Y A が Y B と Y C の中間にあるようなケースではゼロが得られ、その他の場合には、一番目のピクセルと、二番目と三番目のピクセルのうち一番目のピクセル値に最も近い値をもつ方の値との差の絶対値が得られるという同様の結果が得られるかぎり、必要ならば、他の回路構成を採用することも可能である。

【 0 0 3 4 】

上述したように、各ピクセルについて得られるピクセル差信号は 8 ビット数になっている。この 8 ビットをフィールドのすべてのアクティブ・ピクセルにわたって累積すると、得られる結果が 2 5 ビット幅を越える場合がある。図 3 に示したアキュムレータ 3 5 0 の特徴によれば、このような問題はアキュムレータと、総数が 2 5 ビット以下で、カウンタのオーバフローを禁止したカウンタとを組み合わせることにより回避される。

10

20

30

40

50

【0035】

この点について、以下に、より詳しく説明する。比較ユニット300の出力信号PDは、8ビット加算器352、アンドゲート354および8ビット・レジスタ356を備えた8ビット・アキュムレータに入力される。加算器352は8ビット・ラッチ356に貯えられている以前の和に8ビット信号PDを加えることにより、あるフィールドで測定された各ピクセル差値ごとにPDをラッチ出力に加える。アンドゲート354は加算器の和をラッチに入力するので、各フィールドが現れるたびに、インバータ(inverter:反転回路)358によって反転された垂直されたパルス(タイミング信号Tからの)を受けてアキュムレータがクリアされる。あるフィールドの期間、累積ピクセル差PDが8ビットを超えるたびに(すなわち、計数値が255のとき)、キャリー出力(carry out)パルスCoが加算器352から出力される。

10

【0036】

8ビット・アキュムレータ(352~356)から出力されたキャリー出力パルスCoはアンドゲート360、リタイミング・レジスタ362および他のアンドゲート364を介して12ビットのカウンタ370に入力される。ゲート360は垂直パルス期間の間Coを禁止する働きをする。レジスタ362はキャリー出力信号Coのタイミングを、ピクセル・クロック(E)に合わせてとりなおす。ゲート364は、ブランキング・パルスCBおよび他の2入力端に入力されるオーバフロー禁止信号が存在しないとき、カウンタ370の入力をクロック制御する。オーバフロー防止に関しては、すでに説明したように、ピクセル差信号には、あるフィールド期間に25ビット幅を超える累算結果を発生する能力がある。しかし、最大累算カウンタは20ビットである(すなわち、累算の8ビットに計数値の12ビットを加えたもの)。従って、フレーム間に大きな差が現れたとき(例えば、場面が変化したとき)オーバフローを防止するために、カウンタ370は“飽和”するか、最大計数値で計数を中止する。具体的に説明すると、オーバフロー信号は8入力アンドゲートから得られ、この信号はゲート364の作用の禁止(disable)するので、カウンタ370の最上位8ビット(MBS)が高になったときカウンタ370による以後の計数は禁止されるカウンタ370の出力の一部(すなわち、12ビット・計数値の8MSB)は、垂直パルスを受けて各フィールドの終わりで8ビット・レジスタ374に貯えられ、カウンタはリセットされ、次のフィールドでピクセル差信号PDの累算が行われる。

20

30

【0037】

データ減少ユニット112の説明

図4に示すデータ減少ユニット112はアキュムレータ350から各フィールドごとに入力されるフィールド差情報Snを使用して、特定のフィルム・シーケンスが存在するかどうかを判断する。起こり得る問題の1つは、ノイズと垂直空間ディテールがSnの値を大きくし、必要とする情報をマスキングする可能性があることである。幸いなことは、フィルム・マテリアルの特徴的な特性が、同一または異なるフィルム・フレームからフィールドが連続的に発生するとき生じる大小のフィールド差のパターンになっていることである。連続する各フィールドでSn信号の変化を調べることにより、フィルムに起因する変化パターンが強調されるが、互いに打ち消し合う長短がある。ユニット112では、フィールド差のこの変化は、相関手法(correlation technique)を用いて期待されるフィルム生成パターン(expected film-generated pattern)と比較される。

40

【0038】

60Hzマテリアルを受信したとき、起こり得る3-2プルダウン・パターンは、各々が内部ROMに貯えられた参照シーケンスをもっている。5つの相関器401~405からなるバンクを用いて比較される。50Hzフィルム発生源フィールドを含んでいるビデオ信号のときは、2-2プルダウン・パターンが比較されるが、相関器のうち2つだけを使用する必要がある。この場合、残りの3つの相関器は使用されない。相関器の1つが特定フィルム・シーケンスの存在を検出すると、そのことをデ・インターレーシング/100

50

H z (フリッカ低減) プロセッサ 104 (図1) に伝え、さらに、どの隣接フィールドが同一フィルム・フレームからのものであったかを知らせる。従って、関連の最終結果からは2つの信号が得られる。これらの信号は、(1) フィルム発生源材料が存在することを示し、(2) 2隣接フィールドをどちらを使用してライン2倍化またはフィールド・レート2倍化を行うべきかを示している。

【0039】

詳しく説明すると、図4のデータ減少ユニット112では、8ビット・ラッチ402(累算ユニット350で使用されたものと同じ垂直パルスでイネーブルされる)はフィールド差信号 S_n を1フィールドだけ遅延させる。この遅延信号は、減算器404で未遅延フィールド差信号 S_n から減算されて、2つの補数(two's complement)の符号付き9ビット信号D2FLDが作られる。この信号は、連続するフィールドのフィールド差信号 S_n 間にどの位の変化が在るかを示している。“符号ビット”と名づけたD2FLDの符号ビットは S_n が増加したか(0)、あるいは減少したか(1)を示している。これはフィールド・シーケンス当たり1ビットを形成し、このビットは相関器401~405で候補フィルム・シーケンス(2-2プルダウンまたは3-2プルダウン)と比較される。

10

【0040】

有用な情報が得られるのは、ビデオ信号に目立った動きがあるときだけであるので、極性データを有意にするだけの十分な変化があったかどうか判断される。言い換えれば、極性データは、単独では、プルダウン・パターンを明瞭にかつ高信頼度に判断するには不十分であることが分かっている。ピクセル差データから求めたフィールド差の大きさデータがそのまま残されているのは、そのためである。

20

【0041】

具体的に説明すると、フィールドとフィールドとの間の差信号D2FLDの絶対的大きさは絶対値回路406で得られ、ソース410から得られる2進しきい値信号TH-1とコンパレータ408で比較される。システム・パフォーマンスを最適化するために望ましいことは、ソース410を可変またはプログラマブルにすることである。なお、システム全体を最適化するにあたり、このような柔軟性を必要としないアプリケーションでは、固定または「ハードワイヤード」(hard-wired)ソースを使用することが可能である。D2FLDの大きさがソース410の“第1”しきい値TH-1を越えていると、3-2プルダウン・フィルム・モード・シーケンスを含んでいる材料の場合は、相関器401~405がイネーブルされる。他方、相関器401と402をイネーブルするだけで、2-2プルダウン・シーケンスを含んでいるフィルム・モード・材料が処理される。信号TH-1は2クロック期間だけ(レジスタ412と414によって)遅延された垂直パルスVPによってアンドゲート411でゲート制御され、最近のフィールドからの情報はそのあとに続く相関計算で使用される。このしきい値制御信号T1は、バス413を介して5つの相関器401~405の各々に分配される。

30

【0042】

ここで、参考のために触れておきたいことは、相関器401~405がD2FLDを単独に使用してシーケンスの識別を行うことは、必ずしも信頼性があるとは限らないことである。例えば、フィルム・材料のあとに、静止バックグラウンド上でスクロールするテキスト(scrolling text)といった、非常に定常的な非フィルム(つまり、ビデオ・カメラが発生源の)材料が続いている場合は、フィールド差信号 S_n は大きくなっても、ほぼ一定しているので、フィールドとフィールドと間の変化はほとんどない。この場合、D2FLDの大きさはしきい値TH-1を越えることがないので、システムはフィルム・モード・オペレーションで続けることができる。このこと、あるいは同じような状況を検出するために、フィールド差信号 S_n は、別のプログラマブル・ソース422から得た別のしきい値TH-2とコンパレータ420で比較される。前述したように、ソース422は固定2進値にすることができるが、プログラマブルにすると、システム全体を“微調整”したり、最適化することができる。しきい値TH-2の値は、他方

40

50

のしきい値 $TH - 1$ よりもはるかに大きい値にセットしておくのが一般的である。つまり、 $TH - 2 \gg TH - 1$ である。しきい値の関係をこのようにすると、上述したように、静止バックグラウンド上でスクロールするテキストや他の類似のモーション条件の問題が解決される。コンパレータ 420 での比較結果は、レジスタ 412 と 414 から得た遅延垂直パルス VP によってアンドゲート 423 でゲート制御され、しきい値信号 $T2$ が得られる。この信号 $T2$ により、該当する相関カウンタ（相関器 401 ~ 405 内の）にリセットされる。信号 $T2$ はバス 415 を介して 5 つの相関器の各々に分配される。

【0043】

各相関器内の ROM アドレスは、相関器すべてに共通するアドレッシング信号 $ADDR$ によってフィールドごとに 1 位置ずつ連続的に進められる。相関器 ROM アドレス信号 $ADDR$ は、同期イネーブル（ E ）入力端とリセット（ R ）入力端を有する 3 ビット可変モジュロ・カウンタ 424 によって生成される。このカウンタは、レジスタ 412 と 414 から得た遅延垂直パルスによってフィールドごとに一度イネーブルされるかクロックがとられる。50 Hz（毎秒 1 フィールド）信号を受信したとき、2 - 2 プルダウン・フィルム・シーケンス（他のフィールドごとに繰り返される）だけは、5 つの相関器の 2 つによって識別される。カウンタ 424 は計数値が 1 になるとリセットされ、2 つの ROM ロケーションだけをアドレスする。60 Hz 信号を受信したとき、3 - 2 プルダウン・シーケンスは、5 つのフィールド・シーケンス・パターンをもつものが識別される。この場合は、カウンタ 424 は計数値が 4 になるとリセットされ、これにより、5 つの ROM ロケーションをアドレスする。

【0044】

2 - 2 プルダウンおよび 3 - 2 プルダウン動作モードの選択を制御するためのカウンタ 424 のモジュロの変更は、制御ソース 426 によって制御される。このソースとして、例えば、一方のプルダウン・モードのときは 2 進“ゼロ”を出力するために、手操作で作動するスイッチを用いることができる。別の方法として、フィールド・レート検出器を制御ソース 426 として選択してシステム動作を自動化すれば、50 Hz フィールド・レート信号のときは、モジュロ 2 の計数を行うことを自動的に選択して 5 つの相関器のうち 2 つをイネーブルし、また 60 Hz ビデオ信号が現われたときは、カウンタ 424 でモジュロ 5 の計数を行うことを自動的に選択して 5 つの相関器すべてをイネーブルするための制御信号 C を得ることができる。3 ビット・カウンタ 424 の可変モジュロ計数を容易にするために、最上位ビットと最下位ビット（2 および 0）は、制御信号 C に応答してデコーダ 428 でデコード化される。 C が 50 Hz フィールド・レートを示しているときは、デコーダ 428 は、計数値が 2 になると、デコーダ出力端をカウンタ・リセット（ R ）入力端に結合しているアンドゲート 430 とオアゲート 432 を通してカウンタ 424 をリセットする。 C が 60 オペレーションを示しているときは、デコーダ 428 は計数値が 5 になったとき、カウンタ 424 をリセットするので、3 - 2 プルダウン・ビデオ・フィールドの 5 フィールド・シーケンス特性の相関をイネーブルする。アンドゲート 430 の目的は、デコーダ 428 の出力を遅延垂直パルス VP に同期化させることである。オアゲート 432 は、「相関器リセット」（*correlator reset*）と呼ばれる信号をカウンタ 424 へ他のリセット入力として与えるために使用され、この信号は例えば、システム全体を初期化するために使用される。この信号は手操作で得ることも、あるいは例えば、“パワーアップ”（*power up*）と呼ばれる検出器や、他の適当な初期化信号ソースから自動的に発生させることもできる。

【0045】

次に、5 つの相関器 401 ~ 405 の全体的オペレーションについて説明する。これらの相関器の各々は 2 つの出力 F と M をもっている。出力 F は、プロセッサ 104 で補間またはフィールド繰返しを行うためにフィルム・モード・オペレーションのどのフィールドを選択すべきかを示している。 F 出力のすべてはオアゲート 442 で合成されて、フィルム・フィールドすなわち FF アイデンティファイア出力信号が得られる。 M 出力は、相関器が期待パターン（*expected pattern*）と“一致（マッチ）するもの”を

10

20

30

40

50

見つけたことを示す。組合せロジック・ブロック440は、1より多く(2以上)の相関器が高いM値を出力しているかどうかを検出する。もしそうであれば、相関エラーが起こったことを意味するので、すべての相関器は、ロジック・ユニット440の“1より大”出力を5つの相関器の全クリア(clear all)リセット・バスに結合しているゲート444を介して、直ちにクリアされる。ロジック・ブロック440が正確に1つのMがハイ(high:高い)であることを検出していれば、フィルム・モード・ステータス・フラグ(FMSF)が活性化される。フラグFMSFがこのようにアクチベート(活性化)されたときは、フィルム・フィールド識別信号FFは、隣接フィールドのどれを使用して、例えば、補間を行うべきかをプロセッサ104に指示する。ゼロはYAピクセルを含んでいるフィールドNを示し、1は隣接フィールドを示している。前述したように、相関リセット制御信号は可変モジュロ・カウンタ424をリセットするために使用される。これと同じ信号はロジック・ユニット440のリセット出力とオアゲート444で合成されて、システムを初期化する(つまり、カウンタ424をリセットし、相関器401~405をクリアする)。

【0046】

図5は相関器401~405の代表的なものの詳細な論理図である。相関器は減算器404から得たD2FLD符号ビットを、相関器のROM502に貯えられた参照符号シーケンスRSと比較する。シーケンスが一致し、TH-1(第1)しきい値信号が相関器をイネーブルすると(例えば、第1しきい値バス413を介して)、6ビット・カウンタ504がインクリメントされる。ミスマッチ(不一致)が生じるか、他の事象(イベント)がフィルム・シーケンスが存在しないことを示している(例えば、1より多(2以上)の相関器が一致を示している場合)、カウンタ504はゼロにリセットされる。そうでなければ、シーケンスが一致するたびにカウンタ504がインクリメントされ、カウンタがフルスケール(つまり、全部“1”)まで達すると、この状態は6入力アンドゲート506により検出され、シーケンス一致が検出されたことを示す出力信号M=1が出力される。

【0047】

図6に示すように、相関器401~405の各々の内部ROM502は7つのアドレスを含んでいる。このアドレスの1ビットは、制御ソース426から出力された50/60Hzフィールド・レート信号“C”から与えられる。他の3ビットは可変モジュロ・カウンタ424から与えられる。アドレス・ロケーションの最初の2つは2-2プルダウンに対応し、信号“C”がロー(low:低い)(50Hzオペレーション)でカウンタ424の(ADR)値が000と001のときアドレスされる。他の5つのアドレスは3-2プルダウン・シーケンスに対応し、信号“C”がハイ(“1”)でカウンタ424のADR値が000~100(10進数の0~4)のときアドレスされる。

【0048】

情報の2ビットは、図6のROMデータ・テーブル600に示すように各アドレスに貯えられる。一方のビットは“参照符号”(reference sign-RS)を表している。これは、フィールド差信号Snの期待極性(expected polarity)を示している。論理ゼロは正の極性を示し、最後の2フィールドが異なるフィルム・フレームからのものであることを意味する。他方のビットは“参照大きさ”(reference magnitude-RM)を示している。このビットが論理ゼロのときは、D2FLDの期待大きさがゼロであることを意味し、論理1のときは、非ゼロが期待されることを意味する。期待大きさがゼロが実際に現れるのは、最後の3フィールドが同じフィルム・フレームからのものであるとき、3-2プルダウン・シーケンス中の1フィールドだけである。

【0049】

相関器の各々の6ビット・カウンタ504は、同期イネーブル(E)入力とリセット(RST)入力をもっている。リセット入力はイネーブル入力に優先している。このカウンタのインクリメントは、排他的オアゲート510がROM502の参照符号ビットRSを減算器404のD2FLD符号ビットと比較することにより制御される。第1しきい値TH

10

20

30

40

50

- 1 がアクティブ状態にあり、カウンタがフルスケールになく、排他的オアゲートが一致を示していると、アンドゲート 5 1 2 がイネーブルされ、カウンタ 5 0 4 がインクリメントする。

【 0 0 5 0 】

毎秒 5 0 フィールド・ビデオ信号でオペレーションしているとき、しきい値 TH - 1 がアクティブ状態で排他的オアゲート 5 1 0 が不一致を検出した場合、カウンタ 5 0 4 は、インバータ 5 1 1 およびアンドゲート 5 1 4 経由でリセット R S T 入力に結合されたオアゲート 5 1 6 によってリセットされる。カウンタ 5 0 4 は、5 0 H z 信号でオペレーションしているとき、第 2 しきい値 TH - 2 がアクティブ状態（ハイ）で参照符号 R S が負であるとき（R S はアンドゲート 5 2 0 の入力端でインバータ 5 2 2 によって反転される）リセットされる（アンドゲート 5 2 0 経由で）。この状態が起こったときは、フィールド差が単一フィルム・フレームからのものであることを示している。

10

【 0 0 5 1 】

6 0 H z 信号が処理されているときは、カウンタ 5 0 4 は、参照大きさ R M がローであり（最後の 3 フィールドが同一フィルム・フレームからのものであることを示す）、しきい値信号 TH - 1 あるいは TH - 2 のどちらかがアクティブ状態にあると、いつでもリセットされる（インバータ 5 2 4、オアゲート 5 2 6 およびアンドゲート 5 1 8 経由で）。

【 0 0 5 2 】

カウンタ 5 0 4 がフルスケール計数値の 6 3（2 進で全部 1）まで達すると、アンドゲート 5 0 6 がイネーブルされ、シーケンス一致を示すので関連器の出力が“ 1 ”にセットされる。この信号はインバータ 5 3 0 によって反転されるので、アンドゲート 5 0 2 はディスエーブルされ、以後の計数は中止される。フィールド・フラグ（“ F ”）出力（アンドゲート 5 3 5）もイネーブルされる（信号 R S を反転するインバータ 5 3 6 と M 出力信号を出力するアンドゲート 5 0 6 経由で）。フィールド・フラグ出力“ F ”がイネーブルされると、どの隣接フィールドが同一フィルム・フレームからのものであるかが（次のフィールド期間の間に）通知される。このシステムによって検出されたシーケンスにおいて、使用されるフィールドは、リードオンリ・メモリ（ROM）からの“参照符号 R S”信号を反転することによって得ることができる。“全クリア”（“clear all”）信号がハイであれば（2 つ以上の関連器が一致するものを同時に見つけたことを意味する）、カウンタ 5 0 4 は次のクロックでオアゲート 5 1 6 経由で即時にリセットされる。5 0 H z 参照シーケンス（ROM 内容の最初の 2 行）を生成しているときは、参照大きさ R M ビットは最後の 3 つの関連器ではローにセットされる。これにより、これらの関連器がインクリメントすることは決してなく、しきい値信号 TH - 1 またはしきい値信号 TH - 2 が現れるとリセットされる。参照符号 R S の値はこれらの場合には任意である。

20

30

【 0 0 5 3 】

これまで説明してきた本発明の実施例は種々の態様に変更が可能である。例えば、図 1 4 に示すケースでは、ピクセル Y A はフィールド N + 1 からではなく、フィールド N からのものであり、ピクセル Y B と Y C はフィールド N からではなく、フィールド N + 1 からのものになっている。

【 0 0 5 4 】

4 ピクセル処理についての説明

他の実施例では、別のフィールドをコンパレータ 3 0 0 で使用して、図 1 5 に示すようなピクセル差信号を生成することができる。ここでは、ピクセル P 1 はフィールド N - 1 からのものであり、ピクセル P 2 と P 3 は隣接フィールド N からのものであり、4 番目のピクセル P 4 は次の隣接フィールド N + 1 からのものになっている。この方法は、以下では、“4 ピクセル処理”と呼び、図 1 7 に示すように実現することができる。ここでは、ディレイ・ユニット 1 7 0 2、1 7 0 4 および 1 7 0 6 はピクセル P 2、P 3 および P 4 を P 1 に対して遅延させている。メディアン・セレクタ 1 7 0 8 と減算器 1 7 1 2 は、図 1 6 の例と同じように、ピクセル P 1、P 2 および P 3 から差 D 1 を出力する働きをする。同様に、メディアン・セレクタ 1 7 1 0 と減算器 1 7 1 4 は P 2、P 3 および P 4 からピ

40

50

クセル差 D_4 を出力する。その結果のピクセル差信号 P_D は、 D_4 を D_1 から減算することによって得られる。ピクセル差の計算を図示のように2フィールドにわたって行うと、ノイズに起因するアーティファクト (a r t i f a c t) が減少するという利点があるが、メモリのフィールドが1つ増えるので、減算器 1 7 2 0 ではこの利点が相殺されることになる。

【 0 0 5 5 】

図 1 7 の例に代わる別の実施例では、次の関係式を用いると、異なるハードウェアで4ピクセル処理のために、同じ D 値を計算することができる。

【 0 0 5 6 】

$$D = \text{MAX} [\text{ABS} (P_1 - P_{2,3 \text{ avg}}) ; P_{2,3 \text{ dif}}] - \text{MAX} [(\text{ABS} (P_4 - P_{2,3 \text{ avg}}) : P_{2,3 \text{ dif}}]$$

ここで、

$$P_{2,3 \text{ avg}} = (P_2 + P_3) / 2、 P_{2,3 \text{ dif}} = \text{ABS} (P_2 - P_3) / 2$$

“ D ” を求める上式は、 D が2つの最大値 (MAX) の差であることを示している。一方の最大値は、(i) P_1 と P_2 および P_3 の平均値との絶対値 (ABS) の差と、(ii) P_2 と P_3 との差、のうち大きい方がとられる。他方の最大値は、(iii) P_4 と $P_{2,3}$ の平均値との絶対値の差と、(iv) $P_{2,3}$ の差のうち、大きい方がとられる。物理的ハードウェアの面では、この式を調べることにより、2つの最大値回路、3つの絶対値回路、いくつかの減算器およびいくつかの除算器を、上記機能を実現するように接続することにより適切な回路を作ることができる。

【 0 0 5 7 】

比較ユニットを作るときは、図 1 7 に示すように、あるいは上述の代替実施例で説明したように、 P_1 と P_4 が P_2 と P_3 の中間であれば、 D はゼロの値をとる。 P_1 が P_2 と P_3 の値の範囲外にあり、 P_4 が中間にあれば、 D は正になる。 P_1 が P_2 と P_3 の中間にあり、 P_4 がこの範囲外にあれば、 D は負になる。 P_1 と P_4 が共に P_2 と P_3 の値の範囲外にあれば、 D の符号は、 P_1 または P_4 が P_2 、 P_3 からより離れているかどうかによって決まる。4ピクセル処理方法を用いてピクセル差信号 D を生成すると、垂直空間ディテールおよびチャネル・ノイズの影響を一次的 (f i r s t - o r d e r) に打ち消すことができるという利点がある。コスト面では、前述したように、別のフィールド遅延が必要になる。

【 0 0 5 8 】

図 1 7 の代替実施例による4ピクセル群処理の説明を続けると、差信号 D はフィールド全体にわたってピクセルごとに加算され、フィールド N の累積和 S_n が得られる。この S_n シーケンスはデータ減少ユニット 1 1 2 で別の処理を受けるが、その処理方法は、本発明の前述した例における S_n とまったく同じである。要約して説明すると、ユニット 1 1 2 は信号 S_n を処理して、マテリアルの発生源がフィルムであるか、ビデオ・カメラであるかを判断する。 S_n の値はフィールドごとに一度だけ変わるので、そのあとに続く計算は、ユニット 1 1 2 を実現するものとして示した専用 “ハードウェア” ではなく、マイクロコンピュータで行うことが可能である。

【 0 0 5 9 】

フィルム・データ減少では、信号 S_n の大きさは、まず、しきい値 TH_{-1} と比較されて、有意な変化があったかが判断される。しきい値を越えていなければ (動き不存在を示している可能性がある)、 S_n はこれ以上使用されない。そうでなければ、 S_n が正極性のときは、フィールド $N-1$ と N との差がフィールド N と $N+1$ との差よりも大幅に大きいことを示し、これは、 N と $N+1$ が同一フィルム・フレームからのものである可能性があるが、フィールド $N-1$ はそうではないことを示唆している。逆に、 S_n が負極性のときは、フィールド $N-1$ と N が同一フィルム・フレームからのものである可能性があるが、フィールド $N+1$ は異なるフレームからのものであることを示唆している。結果として得られた正符号と負符号のシーケンスは5つの相関器 (4 0 1 ~ 4 0 5) によって分析され、既知タイプのフィルム・シーケンスが存在するかが判断される。

10

20

30

40

50

【 0 0 6 0 】

前述した“ 3 ピクセル ”の例と同じように、2 - 2 プルダウン・ソースからのマテリアルでは、起こり得るフェーズが2つある。つまり、フィルム・フレーム間の遷移は、偶数ビデオ・フィールドまたは奇数ビデオ・フィールドの先頭で起こることがある。2 - 2 プルダウン・ソースを検出するために、5つの相関器のうち2つが使用される（各フェーズごとに1つ）。各相関器は2進比較回路（例えば、前述したように排他的オアゲート510）と相関カウンタ（例えば、504）を含んでいる。可変モジュロ・カウンタ（424）はモジュロ2にセットされ、フィールドの計数値を連続的にとって参照信号を交互に変わる符号の形で一方の相関器に送り、反対極性を他方の相関器に送る。各相関器はその参照の符号を S_n の符号と比較する。符号が一致しているときは、相関カウンタはインクリメントされる。符号が相反するときは、相関計数値はゼロにリセットされる。計数値があらかじめ決められた限界値（例えば、図示のように63）に達すると、カウンタはそれ以降インクリメントすることが禁止され、フィルム・シーケンスがその相関器によって検出されたことを知らせる信号が生成される。

10

【 0 0 6 1 】

3 - 2 プルダウン・シーケンスの検出は、3 - 2 マテリアルの起こり得る5フェーズに対応して5つの相関器のすべてが使用されることを除けば、同じように行われる。ここでは、カウンタ424のモジュロは“ 5 ”に変更されているので、5つの参照シーケンスが相関器に入力される（フェーズ・オフセットが異なるごとに1つ）。これらのフェーズは、前述したように、貯えられたROMフェーズと比較されて3 - 2 マテリアルが識別される。前述の例と同じように、相関器の1つだけがフィルムが検出されたことを示しているときは、ソースはその相関器の参照に対応するタイプおよびフェージング（*phasing*）になっているものとみなされる。1より多い（2つ以上の）相関器で同時に相関計数値がLになっていると、すべての相関計数値は即時にゼロにリセットされる。

20

【 0 0 6 2 】

システムは有意な動き（*significant motion*）を含んでいる多数のフィールドを必要とし、その1つは期待極性（*expected polarity*）を示していなければならないので、フィルム・ソースが誤って検出されても、その影響を受けないようになっている。しかし、システムはフィルム・マテリアルからビデオ・マテリアルに変わったことを検出するのが遅くなることがある。特に、例えばシステムがフィルムを処理しており、動きが非常に均一であるビデオ・マテリアルのソースに変わると、すべてのフィールド間の差が顕著になるが、その差はほぼ同一である場合がある。その場合にはD1とD4はほぼ等しくなるので、Dはゼロに近い平均値になり、 S_n の大きさがしきい値TH-1を越えていないことがある。

30

【 0 0 6 3 】

上記の問題は4ピクセル・システムで起こり得るので、その解決方法は、動きが均一であっても、連続するフィールド上の異なるピクセルでフィールド差が現れるので、Dの正值と負値を別々に累算することである。これを式で表すと、次のようになる。

【 0 0 6 4 】

$$S_{n+} = \text{MAX}(0, +D);$$

$$S_{n-} = \text{MAX}(0, -D); \text{ および }$$

$$S_n = [S_{n+}] - [S_{n-}]$$

40

S_n についての回路を実現するには、上記で定義したように、一对の最大値検出器と1つの減算器だけがあれば、その出力間の差を得ることができる。これにより、同じ S_n 値が得られ、これは前述したように使用される。さらに、 S_{n+} と S_{n-} は別々に得られるので、各々は第2の、もっと大きいしきい値TH-2と比較することができる。もし S_{n-} がTH-2を越えており、そのとき参照が“-”ならば、あるいはもし S_{n-} がTH-2を越えており、そのとき参照が“+”ならば、対応する2 - 2 プルダウン相関器の相関計数値がリセットされる。もし S_{n+} あるいは S_{n-} のどちらかがTH-2を越えていれば、3 - 2 プルダウン相関器の相関計数値がリセットされる。また、もし S_{n+} あるいは

50

は S_n のどちらかが $TH - 2$ を越えていれば、参照として “ 0 ” を受け取った 3 - 2 プルダウン相関器の相関計数値がリセットされる。これにより、本発明の “ 4 ピクセル ” 実施例におけるフィルム・マテリアルの中断 (c e s s a t i o n) は、有意なモーションが存在するようなすべての条件の下でも即時に検出されることになる。3 フィールド差ではなく、2 フィールド差の累算による本発明の “ 3 ピクセル ” 実施例では、この補正は不要である (つまり、図 4 の例では、 S_n は、1 フィールドにつきレジスタ 402 に以前に貯えられていた S_n の値から減算されて、フィールド差信号 $D2FLD$ とその符号ビットが得られる)。従って、本発明の “ 4 ピクセル ” 実施例を実現するときは、フィールド遅延レジスタ 402 と減算器 404 を省いて、信号 S_n (累算差信号 D) を絶対値回路 406 に送り、その符号ビットをバス 409 に送ることができる。データ減少ロジックをこのように単純化できるのは、信号 S_n がすでにフィールド間の差 (つまり、 $D = D1 - D4$) を表しているため、データ減少ユニットでさらにフィールドを保管し、減算を行う必要がないからである。

【 0065 】

【発明の効果】

フィルム・ソースを発生源とするビデオ・フィールドを、2 - 2 および 3 - 2 プルダウン・シーケンスを用いて高い信頼度で識別することができる。フィールド差信号を第 1 しきい値より高くなった第 2 しきい値と比較して、第 2 しきい値指示信号を第 2 バスを経由して各相関器へ送ることによって、エラー減少をさらに強化している。フィルム・モード・オペレーションを識別するフラグと、2 隣接フィールドのどちらがデ・インターレーシング

【図面の簡単な説明】

【図 1】本発明の一実施例によるフィルム・モード識別装置を備えたテレビジョン受信装置を示すブロック図である。

【図 2】本発明を説明するために役立つ垂直位置 / 時間関係図である。

【図 3】図 1 の識別装置で使用するのに適したフィルム・データ累算装置を示す詳細ブロック図である。

【図 4】図 1 の識別装置で使用するのに適したフィルム・データ減少ユニットを示すブロック図である。

【図 5】図 4 のデータ減少ユニットで使用するのに適した典型的な相関器を示す詳細ブロック図である。

【図 6】図 5 に示した相関ユニットの ROM 部分で使用するのに適したメモリ・マップを示す図である。

【図 7】図 3 に示したデータ累算装置の動作を示す空間・時間的ピクセル図である。

【図 8】図 3 に示したデータ累算装置の動作を示す空間・時間的ピクセル図である。

【図 9】図 3 に示したデータ累算装置の動作を示す空間・時間的ピクセル図である。

【図 10】図 3 に示したデータ累算装置の動作を示す空間・時間的ピクセル図である。

【図 11】図 1 のピクセル・セレクタ・ユニットに適した実施例を示すブロック図である。

【図 12】図 1 のピクセル・セレクタ・ユニットに適した実施例を示すブロック図である。

【図 13】図 1 のピクセル・セレクタ・ユニットに適した実施例を示すブロック図である。

【図 14】本発明の別実施例による図 3 のデータ累算装置の変形例を示す空間・時間的ピクセル図である。

【図 15】本発明の別実施例による図 3 のデータ累算装置の変形例を示す空間・時間的ピクセル図である。

【図 16】図 1 に示した装置のある種の変形例を示すブロック図である。

【図 17】図 1 に示した装置のある種の変形例を示すブロック図である。

10

20

30

40

50

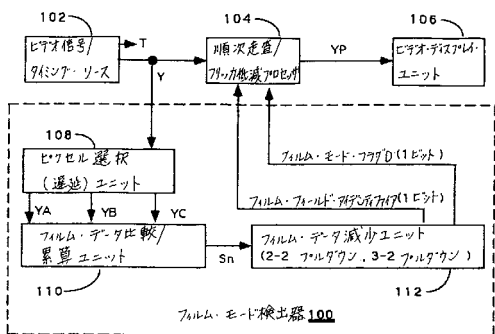
【符号の説明】

- 100 フィルム・モード検出装置
- 102 ビデオ信号およびタイミング信号ソース
- 104 順次走査／フリッカ低減プロセッサ
- 106 ビデオ・ディスプレイ・ユニット
- 108 ピクセル選択（遅延）ユニット
- 110 フィルム・データ比較および累算ユニット
- 112 フィルム・データ減少ユニット
- 300 フィルム・データ比較ユニット
- 302 加算器
- 304 除数2の除算器
- 306 減算器
- 308 絶対値回路
- 310 減算器
- 312 絶対値回路
- 314 減衰器
- 316 減算器
- 318 ラッチ（レジスタ）
- 320 ラッチ（レジスタ）
- 322 リミッタ
- 324 アンドゲート
- 326 レジスタ
- 328 ラッチ（レジスタ）
- 350 フィルタ・データ累算ユニット

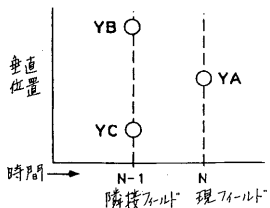
10

20

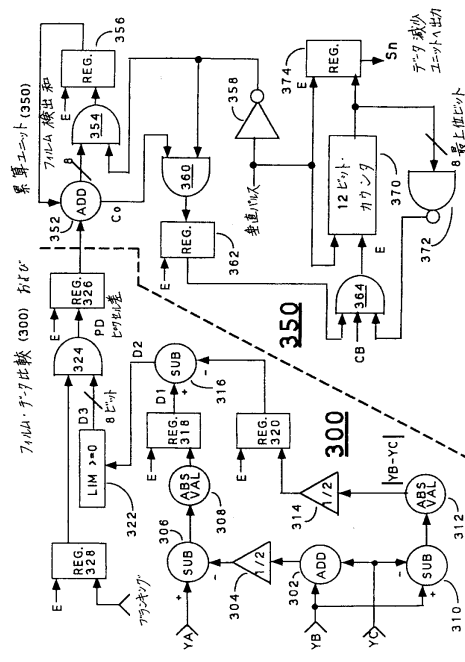
【図1】



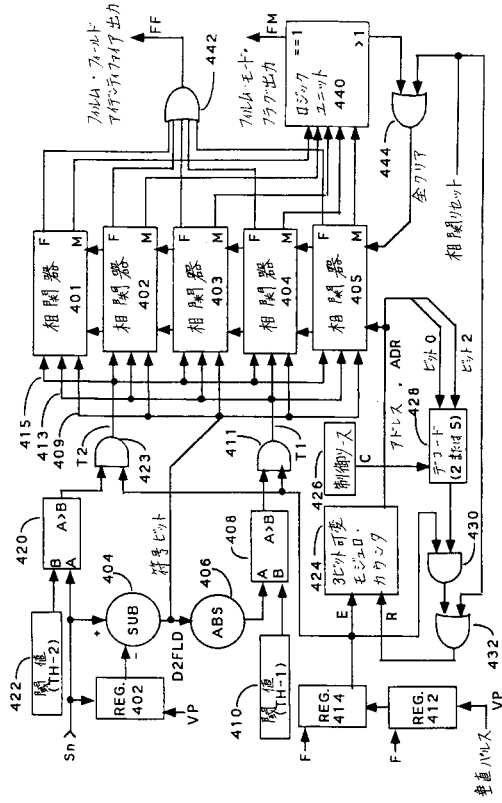
【図2】



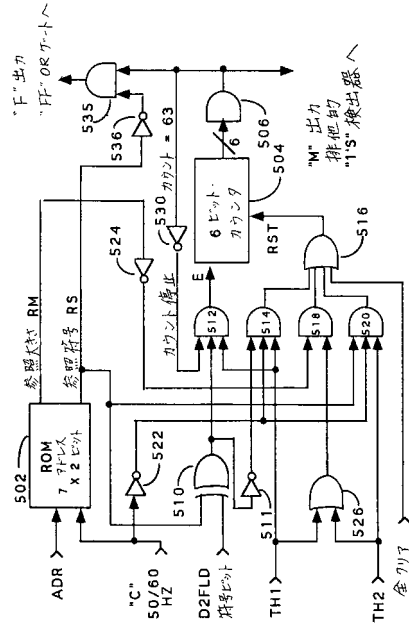
【図3】



【図4】



【図5】

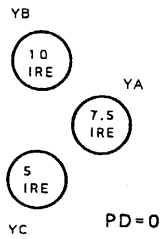


【図6】

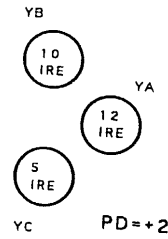
600 ROMデータ

相関器番号	1	2	3	4	5					
参照符号/ビット	RS	RM	RS	RM	RS	RM	RS	RM	RS	RM
"C" 50/60 HZ	ADR									
0	000	0 1	1 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0
0	001	1 1	0 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0
1	000	0 1	1 1	0 1	1 1	1 1	1 0	1 0	1 0	1 0
1	001	1 1	0 1	1 1	1 1	1 0	0 1	0 1	0 1	0 1
1	010	0 1	1 1	1 0	0 1	0 1	1 1	1 1	1 1	1 1
1	011	1 1	1 0	0 1	1 1	1 1	0 1	0 1	0 1	0 1
1	100	1 0	0 1	1 1	0 1	0 1	1 1	1 1	1 1	1 1

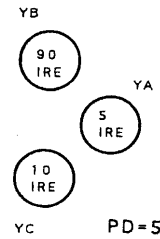
【図7】



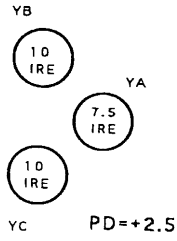
【図8】



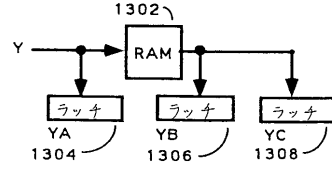
【図9】



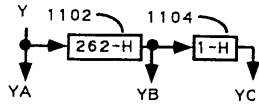
【 図 1 0 】



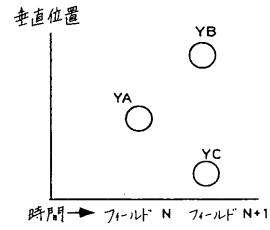
【 図 1 3 】



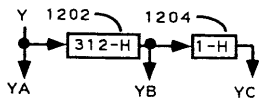
【 図 1 1 】



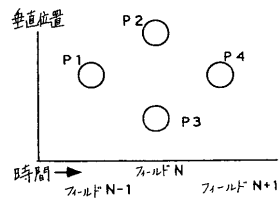
【 図 1 4 】



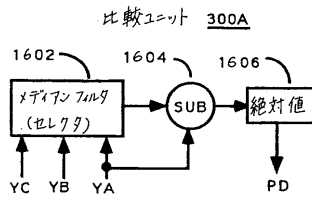
【 図 1 2 】



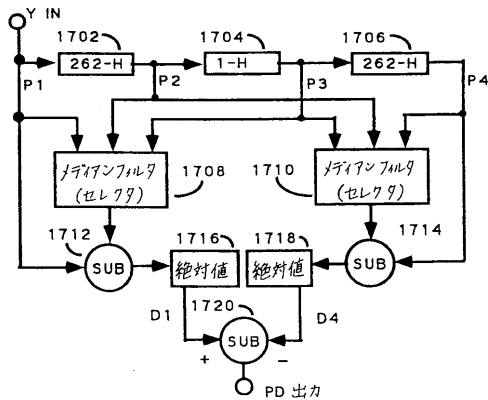
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

- (72)発明者 トッド ジエイ クリストファー
アメリカ合衆国 インディアナ州 インディアナポリスキトレイ・アベニュー サウス 1402
- (72)発明者 カルロス コレア
ドイツ国 ファウエス - シュエニンゲン リヒテンベルガー ベーグ 4

審査官 奥村 元宏

- (56)参考文献 米国特許第05291280 (US, A)
特開平05 - 211629 (JP, A)
特開平05 - 183807 (JP, A)
特開平04 - 072966 (JP, A)
特開平06 - 105292 (JP, A)
特開平04 - 137892 (JP, A)
特開平03 - 058677 (JP, A)
特開平05 - 110943 (JP, A)
特開平06 - 292075 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/222-5/257

H04N 7/01