

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4708148号  
(P4708148)

(45) 発行日 平成23年6月22日 (2011.6.22)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int.Cl. F I  
 HO 1 L 21/60 (2006.01) HO 1 L 21/92 6 O 2 G  
 HO 1 L 23/52 (2006.01) HO 1 L 21/88 T  
 HO 1 L 21/3205 (2006.01) HO 1 L 21/60 3 1 1 S

請求項の数 17 (全 19 頁)

(21) 出願番号	特願2005-294902 (P2005-294902)	(73) 特許権者	302062931
(22) 出願日	平成17年10月7日 (2005.10.7)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-103848 (P2007-103848A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成19年4月19日 (2007.4.19)	(74) 代理人	100080001
審査請求日	平成20年10月2日 (2008.10.2)		弁理士 筒井 大和
		(72) 発明者	吉岡 明彦
			北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		(72) 発明者	鈴木 進也
			北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		審査官	日比野 隆治

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

- (a) 長形状に形成された半導体基板と、
  - (b) 前記半導体基板上に形成された半導体素子と、
  - (c) 前記半導体素子上に形成された第1配線層と、
  - (d) 前記半導体基板上に形成され、前記半導体素子および前記第1配線層を覆うように形成された第1絶縁膜と、
  - (e) 前記第1絶縁膜上に形成されたパッドと、
  - (f) 前記第1絶縁膜上に形成され、前記パッドと同層の導電膜で形成された第2配線層と、
  - (g) 前記パッドおよび前記第2配線層を覆うように形成され、前記パッドの上部に開口部を有する第2絶縁膜と、
  - (h) 前記第2絶縁膜上に形成され、前記開口部を介して前記パッドに電気的に接続された長形状の第1バンプ電極とを有し、
- 前記半導体基板の一方の長辺側には、前記パッドおよび出力用の前記第1バンプ電極が、前記半導体基板の長辺に沿う第2方向に所定の間隔で千鳥状に複数配置され、前記半導体基板の他方の長辺側には、前記パッドおよび入力用の前記第1バンプ電極が、前記第2方向に所定の間隔で一列に複数配置され、前記第1バンプ電極の各々は、前記第1バンプ電極の長辺が、前記半導体基板の短辺に沿う第1方向に沿うように配置され、

平面的に見て、前記パッドの面積は、前記第 1 バンプ電極の面積に比べて小さく形成され、

前記第 2 配線層は、前記半導体基板の両側の長辺において、複数配置された前記第 1 バンプ電極と平面的に重なり、かつ、複数配置された前記第 1 バンプ電極の各長辺と交差するように延在していることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 1 バンプ電極の前記第 2 方向における幅は、前記パッドの前記第 2 方向における幅より小さく形成され、

前記第 1 バンプ電極の前記第 1 方向における幅は、前記パッドの前記第 1 方向における幅より大きく形成されていることを特徴とする半導体装置。 10

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

前記開口部は前記第 1 バンプ電極の短辺の一方側に形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の半導体装置において、

前記第 2 絶縁膜は、窒化シリコン膜であることを特徴とする半導体装置。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の半導体装置において、

前記第 1 絶縁膜は、酸化シリコン膜であることを特徴とする半導体装置。 20

【請求項 6】

請求項 1 ~ 5 のいずれか一項に記載の半導体装置において、

前記第 1 バンプ電極は、金膜から構成されることを特徴とする半導体装置。

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載の半導体装置において、

前記パッドと前記第 2 配線層は、アルミニウム膜と前記アルミニウム膜の上下に積層形成されたチタン膜及び窒化チタン膜を含むことを特徴とする半導体装置。

【請求項 8】

請求項 1 ~ 7 のいずれか一項に記載の半導体装置において、

前記第 2 配線層は、電源配線であることを特徴とする半導体装置。 30

【請求項 9】

請求項 1 ~ 8 のいずれか一項に記載の半導体装置において、

前記第 2 方向に複数配置されているパッド間には、前記パッドおよび前記第 2 配線層と同層の導電膜は形成されていないことを特徴とする半導体装置。

【請求項 10】

請求項 1 ~ 9 のいずれか一項に記載の半導体装置において、

前記第 2 配線層は最上層配線であることを特徴とする半導体装置。

【請求項 11】

請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

前記半導体素子は、液晶表示装置を駆動するための回路の一部を構成していることを特徴とする半導体装置。 40

【請求項 12】

請求項 11 に記載の半導体装置において、

千鳥状に配置された前記第 1 バンプ電極は、前記液晶表示装置のゲート出力信号用またはソース出力信号用であることを特徴とする半導体装置。

【請求項 13】

請求項 11 または 12 に記載の半導体装置において、

前記第 2 絶縁膜上で、かつ、前記半導体基板の両短辺側に、出力用の第 2 バンプ電極が前記第 1 方向に所定の間隔で千鳥状に複数配置され、 50

前記第 2 バンプ電極の各々は、前記第 2 バンプ電極の長辺が、前記第 2 方向に沿うように配置されていることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 に記載の半導体装置において、

前記第 2 バンプ電極は、前記液晶表示装置のゲート出力信号用であり、

前記半導体基板の一方の長辺の両端部に、前記液晶表示装置のゲート出力信号用であって千鳥状に配置された前記第 1 バンプ電極が形成され、

前記半導体基板の一方の長辺の前記両端部に形成され、かつ、千鳥状に配置された前記第 1 バンプ電極の間に、前記液晶表示装置のソース出力信号用であって千鳥状に配置された前記第 1 バンプ電極が形成されていることを特徴とする半導体装置。

10

【請求項 1 5】

請求項 1 4 に記載の半導体装置において、

前記半導体基板上の両短辺側に、前記液晶表示装置のゲート駆動回路が形成され、

前記半導体基板の一方の長辺側に、前記液晶表示装置のソース駆動回路が形成され、

千鳥状に形成された前記第 1 バンプ電極は、前記ソース駆動回路が形成されている前記半導体基板の長辺側に形成されていることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 1 ~ 1 5 のいずれか一項に記載の半導体装置において、

一列に配置された前記第 1 バンプ電極は、フレキシブルプリント基板と接続可能であることを特徴とする半導体装置。

20

【請求項 1 7】

請求項 1 ~ 1 6 のいずれか一項に記載の半導体装置において、

前記パッドの前記第 1 方向の幅は、前記第 2 配線層の前記第 1 方向の幅よりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、LCD (Liquid Crystal Display: 液晶ディスプレイ) 用のドライバに使用される半導体装置に適用して有効な技術に関するものである。

30

【背景技術】

【0002】

特開平 10 - 233507 号公報 (特許文献 1) には、出力パッドを多数設けたドライバ IC のような半導体集積回路および電子時計などの電子回路装置において、チップ面積の縮小化を図り、生産効率の向上とコストダウンを図る技術が開示されている。

【0003】

具体的には、出力パッドに各々接続する駆動トランジスタ、あるいは、ロジック回路の上に平面的に重なって出力パッドを設けた。さらに、半導体装置の配線をアルミ配線だけでなく、バンプ電極あるいは、バリアメタルを用いている。また、プリント基板の上にフェイスダウン方式により半導体集積回路が電氣的に接着されている場合の電氣的接続は、半導体集積回路に設けられた半田バンプとプリント基板の配線とが直接、接続することにより形成される。この時半導体集積回路の外部接続端子であるバンプ電極はトランジスタの上に積層して設けられているとしている。

40

【0004】

例えば、特許文献 1 の図 18 には、バンプ構造の出力パッドが、駆動用トランジスタの上に重なって配置されている。従って、平面的に駆動用トランジスタと出力パッドを重ねて配置できるために、チップ面積の縮小が可能となるとしている。また、特許文献 1 の図 26 には、拡散領域と別の拡散領域との間をバンプ配線により電気接続した場合の構造が開示されている。このような構造にすることにより、従来に比べ配線層を 1 層増すことができるとしている。

50

【特許文献1】特開平10-233507号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

近年、液晶を表示素子に用いたLCDが急速に普及しつつある。このLCDは、LCDを駆動するためのドライバによって制御されている。LCD用ドライバは半導体チップから構成されており、例えば、ガラス基板に実装される。LCD用ドライバを構成する半導体チップは、半導体基板上に複数のトランジスタと多層配線を形成した構造をしており、表面にパンプ電極が形成されている。そして、表面に形成されたパンプ電極を介して、ガラス基板に実装されている。このとき、パンプ電極によって半導体チップとガラス基板が接続されるが、接着力の向上の観点から、パンプ電極の面積を大きくして半導体チップとガラス基板の接着面積を大きくすることが行なわれている。すなわち、LCD用ドライバを構成する半導体チップのパンプ電極は、一般用途に用いられる半導体チップのパンプ電極に比べて大きさが遥かに大きくなっている特徴がある。

10

【0006】

LCD用ドライバにおいて、パンプ電極下にはパッシベーション膜となる絶縁膜が形成されており、この絶縁膜に設けられた開口部を介して、多層配線の最上層に形成されたパッドと接続されている。通常、開口部およびパッドは、パンプ電極の大きさに合わせて同程度の面積を有するように形成されている。

【0007】

20

上述したように、半導体チップに形成された多層配線の最上層には、大きなパンプ電極に対応したパッドが形成されている。すなわち、パンプ電極の大きさと同程度の面積を有するパッドが最上層に形成されている。このため、多層配線の最上層にパッド以外の配線を形成するスペースを確保するには、半導体チップのサイズを大きくしなければならない問題点がある。

【0008】

また、ボンディングパッドの直上にパンプ電極を形成する通常の構造では、実装するパンプ電極の位置が決まっているため、パッドなどの配線のレイアウト構成に制限がある。したがって、半導体チップのサイズを効率良く縮小化できるレイアウト構成をとることが困難である問題点がある。

30

【0009】

本発明の目的は、半導体チップのサイズを縮小化することのできる技術を提供することにある。

【0010】

また、本発明の他の目的は、半導体チップに形成されている配線のレイアウト構成の自由度を向上できる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

40

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明による半導体装置は、(a)半導体基板上に形成されたパッドと、(b)前記パッド上に開口部を有する絶縁膜と、(c)前記開口部を含む前記絶縁膜上に形成されたパンプ電極とを有する半導体チップを備える。そして、前記パンプ電極の大きさは、前記パッドの大きさに比べて大きくなっており、前記絶縁膜を介した前記パンプ電極の下層には、前記パッドとは異なる配線が形成されているものである。

【0014】

50

また、本発明による半導体装置は、(a)半導体基板上に形成されたパッドと、(b)前記パッド上に開口部を有する絶縁膜と、(c)前記開口部を含む前記絶縁膜上に形成されたパンプ電極とを有する半導体チップを備える。そして、前記パンプ電極の大きさは、前記パッドの大きさに比べて大きくなっており、前記パンプ電極には、幅の狭い第1部分と前記第1部分より幅の広い第2部分があることを特徴とするものである。

【0015】

本発明による半導体装置の製造方法は、(a)半導体基板上にパッドおよび前記パッドとは異なる配線を同層で形成する工程と、(b)前記パッドおよび前記パッドとは異なる配線上に絶縁膜を形成する工程とを備える。さらに、(c)前記絶縁膜に前記パッドの表面を露出する開口部を形成する工程と、(d)前記開口部を含む前記絶縁膜上にパンプ電極を形成する工程とを備える。そして、前記絶縁膜を介した前記パンプ電極の下層に、前記パッドおよび前記パッドとは異なる配線を形成することを特徴とするものである。

10

【0016】

また、本発明による半導体装置の製造方法は、(a)半導体基板上にパッドを形成する工程と、(b)前記パッド上に絶縁膜を形成する工程とを備える。さらに、(c)前記絶縁膜上に前記パッドの表面を露出する開口部を形成する工程と、(d)前記開口部を含む前記絶縁膜上にパンプ電極を形成する工程とを備える。そして、前記パンプ電極に、幅の狭い第1部分と前記第1部分よりも幅の広い第2部分を形成することを特徴とするものである。

【発明の効果】

20

【0017】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0018】

パンプ電極下の領域を有効活用でき、半導体チップのサイズを小さくすることができる。パンプ電極の位置に左右されずにパッドを配置することができるので、パッドなどの配線のレイアウト構成の自由度を向上させることができる。

【発明を実施するための最良の形態】

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

30

【0020】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0021】

さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

40

【0022】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0023】

本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0024】

50

## (実施の形態1)

図1は本実施の形態1における半導体チップ1(半導体装置)の構成を示した平面図である。本実施の形態1における半導体チップ1は、LCD用のドライバである。図1において、半導体チップ1は、例えば細長い長方形に形成された半導体基板2を有しており、その主面には、例えば液晶表示装置を駆動するLCD用のドライバが形成されている。このドライバは、LCDを構成するセルアレイの各画素に電圧を供給して液晶分子の向きを制御する機能を有しており、ゲート駆動回路3、ソース駆動回路4、液晶駆動回路5、グラフィックRAM(Random Access Memory)6および周辺回路7を有している。

## 【0025】

半導体チップ1の外周近傍には、複数のバンプ電極8が半導体チップ1の外周に沿って所定の間隔毎に配置されている。これら複数のバンプ電極8は、半導体チップ1の素子や配線が配置されたアクティブ領域上に配置されている。複数のバンプ電極8の中には集積回路の構成に必要な集積回路用のバンプ電極と、集積回路の構成には必要とされないダミーバンプ電極が存在する。半導体チップ1の1つの長辺および2つの短辺近傍には、バンプ電極8が千鳥状に配置されている。この千鳥状に配置されている複数のバンプ電極8は、主として、ゲート出力信号用あるいはソース出力信号用のバンプ電極である。半導体チップ1の長辺中央に千鳥配置されたバンプ電極8がソース出力信号用のバンプ電極であり、半導体チップ1の長辺の両角近傍および半導体チップ1の両短辺に千鳥配置されたバンプ電極8がゲート出力信号用のバンプ電極である。このような千鳥配置を採用することにより、半導体チップ1のサイズの増大を抑制しつつ、多くの数を必要とするゲート出力信号用のバンプ電極やソース出力信号用のバンプ電極を配置することができる。すなわち、チップサイズを縮小しつつ、バンプ電極の数を増やすことができる。

## 【0026】

また、半導体チップ1の他方の長辺近傍には、千鳥配置ではなく一直線状に並ぶようにバンプ電極8が配置されている。この一直線状に並ぶように配置されたバンプ電極8は、デジタル入力信号用またはアナログ入力信号用のバンプ電極である。さらに、半導体チップ1の四隅近傍にはダミーバンプ電極が形成されている。なお、図1では、ゲート出力信号用あるいはソース出力信号用のバンプ電極8を千鳥配置にし、デジタル入力信号用あるいはアナログ入力信号用のバンプ電極8を一直線状に配置している例について説明した。しかし、ゲート出力信号用あるいはソース出力信号用のバンプ電極8を一直線状に配置し、デジタル入力信号用あるいはアナログ入力信号用のバンプ電極8を千鳥配置にする構成も可能である。

## 【0027】

図2は、図1のA-A'線で切断した断面を示す。図2において、最上層配線より下層の構造については省略している。図2に示していないが、半導体基板上には、MISFET(Metal Insulator Semiconductor Field Effect Transistor)などの半導体素子が形成され、この半導体素子上に多層配線が形成されている。図2ではこの多層配線のうち最上層の配線より上の構造が図示されている。

## 【0028】

図2に示すように、例えば酸化シリコン膜よりなる絶縁膜9上には、最上層配線が形成されている。最上層配線としては、例えばパッド10やパッド10以外の配線11a、11bが形成されている。配線11a、11bとしては、例えば信号用の信号配線や電源用の電源配線あるいはダミー配線から形成されている。これらパッド10や配線11a、11bは例えばアルミニウム膜から構成されている。

## 【0029】

パッド10および配線11a、11b上には、パッド10および配線11a、11bを覆うように表面保護膜(パッシベーション膜)12が形成されている。表面保護膜12は、例えば窒化シリコン膜などの絶縁膜から形成されている。そして、この表面保護膜12には、パッド10の表面を露出する開口部13が形成されており、開口部13内を含む表面保護膜12上には、下地の金属膜であるUBM膜14を介してバンプ電極8が形成され

10

20

30

40

50

ている。

【0030】

また、パンプ電極8の下層には、前述のパッド10および配線11a、11b等の配線層等の他に、パッド10および配線11a、11b等の配線層よりも更に下層に複数の配線層が形成されている(図示せず)。同様に、パンプ電極8の下層には、前述のMISFET等の半導体素子も形成されている(図示せず)。このように、本実施の形態では、パンプ電極8下の領域を有効に活用することで、半導体チップ1のチップ面積を縮小することができる構成となっている。

【0031】

ここで、本発明の特徴の1つは、パンプ電極8の大きさに比べて開口部13およびパッド10が小さくなるように形成している点である。通常、パンプ電極8の下部には、パンプ電極8と同程度の大きさを有する開口部13が形成され、この開口部13の下層にはパンプ電極8より大きいパッド10が形成されている。すなわち、パンプ電極8の下部にはパッド10が形成されており、このパッド10の大きさは、パンプ電極8の大きさと同程度であった。しかし、LCD用のドライバを構成する半導体チップ1においては、パンプ電極8をガラス基板と接着させるため、面積が大きくなっている。したがって、パンプ電極8の下層に形成されるパッド10の大きさも大きくなる。このとき、パッド10の大きさが大きいと、多層配線層の最上層にパッド10以外の配線を配置しようとしても、スペースを確保することが困難になり、半導体チップ1のサイズが大きくなってしまふ。これに対し、本実施の形態1では、図2に示すように、パンプ電極8の大きさに比べて開口部13およびパッド10の大きさを小さくしている。言い換えれば、パッド10の大きさに比べてパンプ電極8の大きさが大きくなっている。このように、パンプ電極8の大きさに比べてパッド10の大きさを縮小化することにより、パンプ電極8の下層にパッド10以外の配線11a、11bを形成するスペースを確保することができる。すなわち、パンプ電極8の直下であって、パッド10と同層の最上層には、通常パッド10が形成されているので、他の配線を形成することができなかつた。しかし、本実施の形態1では、パンプ電極8の大きさに比べてパッド10の大きさを小さくするように構成したので、パンプ電極8の直下であって、パッド10と同層の最上層に他の配線11a、11bを形成するスペースを確保できる。したがって、パンプ電極8の直下にもパッド10以外の配線11a、11bを形成することができるので、パンプ電極8の直下のスペースを有効活用でき、半導体チップ1のサイズを縮小化することができる。

【0032】

本実施の形態1では、パンプ電極8の大きさを変えずに、パッド10の大きさをパンプ電極8の大きさよりも小さくすることにより、パンプ電極8にパッド10以外の配線を形成するスペースを設けることを特徴としている。つまり、ガラス基板に接着するパンプ電極8の面積を確保しながら、パンプ電極8下にパッド10以外の配線を確保して、半導体チップ1のサイズの縮小化を図っている。このような技術的思想は、背景技術で説明した特許文献1には記載も示唆もされておらず、本実施の形態1に特有のものである。例えば、パッドの大きさを変えずにパンプ電極の大きさを大きくすることにより、パンプ電極の大きさをパッドの大きさに比べて大きくする構成をとることができるが、この場合、パッドの大きさ自体は縮小化されておらず、パッドの大きさを縮小化することによって形成されるスペースを確保することができない。したがって、半導体チップのサイズの縮小化を図ることはできないのである。さらに、パンプ電極を大きくすると、半導体チップのサイズも大きくなるので、半導体チップの縮小化を図ることはできない。このように、パンプ電極の大きさに対してパッド電極の大きさを小さくする方法には、パンプ電極自体の大きさを大きくする手段とパッド自体を小さくする手段がある。この2つの手段は、パンプ電極の大きさに対してパッド電極の大きさが小さくなる点で共通するが、パッド自体を小さくする手段では、パンプ電極下のパッドと同層の層にパッド以外の配線を形成するスペースを確保できる点で顕著な相違点がある。さらに、パッド自体を小さくすることにより、パッドの幅がパッド以外の配線で比較的幅の広い電源配線などに比べて小さくなる場合も

10

20

30

40

50

ある。

【 0 0 3 3 】

図 3 は、図 1 の B - B ' 線で切断した断面図を示している。図 3 に示すように、B - B ' 線で切断した断面において、絶縁膜 9 上にパッド 1 0 が形成されており、このパッド 1 0 を覆うように表面保護膜 1 2 が形成されている。そして、表面保護膜 1 2 には、開口部 1 3 が設けられており、この開口部 1 3 の底部において、パッド 1 0 の表面が露出している。そして、開口部 1 3 内を含む表面保護膜 1 2 上には、UBM 膜 1 4 を介してパンプ電極 8 が形成されている。B - B ' 線で切断した断面方向においては、パンプ電極 8 の幅に対してパッド 1 0 の幅が同程度あるいは大きくなっている。すなわち、パンプ電極 8 は、図 2 に示す A - A ' 線で切断した断面方向においては、パッド 1 0 の幅は、パンプ電極 8 の幅に比べて小さくなっており、パンプ電極 8 の直下に、パッド 1 0 およびパッド 1 0 以外の信号配線や電源配線などが形成されている。一方、図 3 に示すように、B - B ' 線で切断した断面方向においては、パンプ電極 8 の直下に形成されているパッド 1 0 の幅は、パンプ電極 8 の幅と同程度の大きさになっている。

10

【 0 0 3 4 】

図 4 は、図 1 の C 領域を拡大した平面図であり、直線状に配置されたパンプ電極 8 の直下に配線を形成した様子を示す平面図である。図 4 に示すように、長方形の形状をしたパンプ電極 8 が短辺方向（長辺方向と交差する方向）に並んで配置されている。そして、パンプ電極 8 の下層には、表面保護膜 1 2 が形成されており、この表面保護膜 1 2 に開口部 1 3 が形成されている。そして、表面保護膜 1 2 に設けられた開口部 1 3 の下層にはパッド 1 0 が形成されている。このパッド 1 0 は、開口部 1 3 を埋め込むようにして形成されたパンプ電極 8 と電氣的に接続されている。パッド 1 0 は正方形の形状をしており、その一辺の長さは、パンプ電極 8 の短辺の長さよりわずかに大きい程度である。したがって、図 4 に示すように、パンプ電極 8 の短辺方向において、パンプ電極 8 の長さに対してパッド 1 0 の長さはわずかに大きくなっている。一方、パンプ電極 8 の長辺方向においては、パンプ電極 8 の長さに対してパッド 1 0 の長さは遥かに小さくなっている。つまり、パッド 1 0 は、パンプ電極 8 よりも小さくなっており、パッド 1 0 は、パンプ電極 8 の一端部下にだけ形成されていることになる。このため、パンプ電極 8 の長辺方向であって、パッド 1 0 と同層の配線層にはスペースが確保されることになる。このスペースには、パッド 1 0 とは異なる配線 1 1 a ~ 1 1 c が形成されている。このように本実施の形態 1 によれば、パンプ電極 8 の直下に形成されるパッド 1 0 の大きさを小さくしたので、パッド 1 0 と同層のパンプ電極 8 の直下に配線 1 1 a ~ 1 1 c を形成することができる。したがって、長方形をした大きなパンプ電極 8 の直下を有効活用することができるので、半導体チップの縮小化が可能となる。

20

30

【 0 0 3 5 】

配線 1 1 a ~ 1 1 c は、例えば信号配線、電源配線あるいはダミー配線からなり、様々な幅の配線を引き回すことができる。図 4 では、配線 1 1 c は、配線 1 1 a、1 1 b に比べて幅が大きくなっている。通常パッドは、パンプ電極 8 の大きさと同程度に形成されているので、パッドの幅は配線の幅の中でも大きくなっている。しかし、本実施の形態 1 では、パッド 1 0 の大きさをパンプ電極 8 の大きさよりも小さくして、パンプ電極 8 の直下に配線を形成できるスペースを確保している。このため、パッド 1 0 の幅は、例えば確保したスペースに形成される電源配線などに比べて小さくなる場合がある。このように本実施の形態 1 による構成によれば、パッド 1 0 の幅がその他の一部の配線の幅よりも小さくなる場合がある。

40

【 0 0 3 6 】

配線 1 1 a ~ 1 1 c は、パンプ電極 8 の長辺方向に交差する方向に延在するように形成されている。なお、パンプ電極 8 の長辺方向に直交するように配線 1 1 a ~ 1 1 c を配置することが、スペースを有効に活用する観点から望ましいが、必ずしもパンプ電極 8 の長辺方向に直交するように形成しなくてもよい。例えば、配線のレイアウトによっては、斜めに交差するように配線を形成してもよい。この場合も、パンプ電極 8 の直下のスペース

50



を活用できるため、半導体チップの小型化が実現できる。

【0037】

図5は、図1のD領域を拡大した平面図であり、千鳥状に配置されたバンプ電極8の直下に配線を形成した様子を示す平面図である。図5においても、図4と同様に、バンプ電極8の長辺方向の幅がパッド10の幅よりも遥かに大きくなっており、バンプ電極8の長辺方向であって、パッド10と同層の層にスペースが確保されている。そして、このスペースに配線11d~11kが形成されている。千鳥状にバンプ電極8を形成した場合、バンプ電極8は図5に示すように、2段にわたってバンプ電極8が形成されている。このため、一列にバンプ電極8を形成する場合に比べて、バンプ電極8の直下に形成されるスペースが大きくなる。すなわち、バンプ電極8の大きさに合わせてパッドを形成してしまうと、バンプ電極8の直下にパッド以外の配線を形成することができなくなる。このとき、一列にバンプ電極8を形成する場合に比べて千鳥状にバンプ電極8を形成すると、バンプ電極8が2列に形成されている分、配線を形成するスペースが狭くなる。しかし、図5に示すように、本実施の形態1では、1段目の列に形成されているバンプ電極8の直下のスペースに配線11d~11gを形成し、2段目の列に形成されているバンプ電極8の直下のスペースに配線11h~11kを形成している。このため、バンプ電極8を千鳥状に配置した場合であっても、バンプ電極8を一列に配置した場合と同程度にバンプ電極8の直下に形成されたスペースを有効活用することができる。このように、半導体チップに形成されているバンプ電極8において、一列に配置されているバンプ電極8下だけでなく、千鳥状に配置されているバンプ電極8下にも配線を形成することができるので、半導体チップの小型化を推進することができる。

10

20

【0038】

また、図1のD領域(図5)では図1のC領域(図4)と比較して、バンプ電極8の数が多く配置されているが、これは後述の図15等に示すLCDの表示部20を構成する素子を駆動させるために、図1のD領域側により多くのバンプ電極8を配置させる必要があるからである。これら図1のD領域側のバンプ電極8は、主に、LCDの表示部20を構成する素子のゲート用およびソース用のために使用される。

【0039】

次に、本実施の形態1における半導体装置の製造方法について図面を参照しながら説明する。まず、図示はしないが、例えば、シリコン単結晶よりなる半導体基板上にMISFETなどの半導体素子を形成し、この半導体素子上に多層配線を形成する。図6では、最上層に形成された配線を示しており、この最上層に形成された配線より下層の構造については省略している。

30

【0040】

図6に示すように、例えば酸化シリコン膜よりなる絶縁膜9を形成する。絶縁膜9は、例えば、CVD(Chemical Vapor Deposition)法を使用して形成することができる。そして、絶縁膜9上に、チタン/窒化チタン膜、アルミニウム膜およびチタン/窒化チタン膜を積層して形成する。その後、フォトリソグラフィ技術およびエッチング技術を使用して、積層膜をパターニングする。このパターニングにより、パッド10および配線11a、11bを形成する。このとき形成されるパッド10は、後述する工程で形成されるバンプ電極に比べて小さくなるようになっている。また、配線11a、11bはバンプ電極の直下に形成されるようになっている。

40

【0041】

続いて、図7に示すように、パッド10および配線11a、11bを形成した絶縁膜9上に表面保護膜12を形成する。表面保護膜12は、例えば、窒化シリコン膜より形成され、例えば、CVD法により形成することができる。次に、フォトリソグラフィ技術およびエッチング技術を使用して、表面保護膜12に開口部13を形成する。この開口部13は、パッド10上に形成され、パッド10の表面を露出している。なお、開口部13の大きさはパッド10の大きさに比べて小さくなるように形成される。

【0042】

50

次に、図 8 に示すように、開口部 1 3 内を含む表面保護膜 1 2 上に U B M ( Under Bump Metal ) 膜 1 4 を形成する。U B M 膜 1 4 は、例えば、スパッタリング法を使用して形成でき、例えば、チタン膜、ニッケル膜、パラジウム膜、チタン・タングステン合金膜、窒化チタン膜あるいは金膜などの単層膜または積層膜により形成されている。ここで、U B M 膜 1 4 は、バンプ電極 8 とパッド 1 0 や表面保護膜 1 2 との接着性を向上させる機能の他、この後の工程で形成される導体膜 1 6 の金属元素が配線 1 1 a , 1 1 b 等に移動することや、反対に配線 1 1 a , 1 1 b 等の金属元素が導体膜 1 6 側に移動するのを抑制または防止するバリア機能を有する膜である。また、U B M 膜 1 4 の平面寸法は、開口部 1 3 よりも大きく、導体膜 1 6 とほぼ同じである。

【 0 0 4 3 】

続いて、図 9 に示すように、U B M 膜 1 4 上にレジスト膜 1 5 を塗布した後、このレジスト膜 1 5 に対して露光・現像処理を施すことによりパターニングする。パターニングは、バンプ電極形成領域にレジスト膜 1 5 が残らないように行なわれる。そして、図 1 0 に示すように、導体膜 1 6 として例えば、めっき法を使用して金膜を形成する。その後、図 1 1 に示すように、パターニングしたレジスト膜 1 5 およびレジスト膜 1 5 で覆われていた U B M 膜 1 4 を除去することにより、導体膜 1 6 および U B M 膜 1 4 からなるバンプ電極 8 を形成する。次に、半導体基板をダイシングすることにより、個片化した半導体チップを得ることができる。

【 0 0 4 4 】

本実施の形態 1 によれば、バンプ電極 8 の直下に形成されるパッド 1 0 の大きさを小さくしたので、バンプ電極 8 の直下に配線 1 1 a 、 1 1 b を形成することができる。すなわち、バンプ電極 8 の直下に、パッド 1 0 およびパッド 1 0 と同層で形成される配線 1 1 a 、 1 1 b を形成することができるので、バンプ電極 8 の直下に形成されるスペースを有効活用でき、半導体チップの小型化を図ることができる。

【 0 0 4 5 】

また、本実施の形態 1 における半導体装置の製造方法では、パッド 1 0 およびパッド 1 0 と同層に形成される配線 1 1 a 、 1 1 b をバンプ電極 8 の直下に形成するようにパターニングする点以外は、通常の製造工程と同様である。したがって、製造工程の複雑化を招くことなく、本実施の形態 1 における半導体装置を製造することができる。つまり、製造工程の大幅な変更を行なわなくてもよい効果が得られる。

【 0 0 4 6 】

次に、上述するようにして形成された半導体チップを実装基板に接着して実装する。図 1 2 は、半導体チップ 1 をガラス基板 1 7 a に実装する場合 ( C O G : Chip On Glass ) を示したものである。図 1 2 に示すように、ガラス基板 1 7 a にはガラス基板 1 7 b が搭載されており、これにより L C D の表示部が形成される。そして、L C D の表示部の近傍のガラス基板 1 7 a 上には、L C D 用のドライバである半導体チップ 1 が搭載されている。半導体チップ 1 にはバンプ電極 8 が形成されており、バンプ電極 8 とガラス基板 1 7 a 上に形成された端子とは異方導電フィルム ( Anisotropic Conductive Film ) 1 9 を介して接続されている。また、ガラス基板 1 7 a とフレキシブルプリント基板 ( Flexible Printed Circuit ) 1 8 も異方導電フィルム 1 9 によって接続されている。このようにガラス基板 1 7 a 上に搭載された半導体チップ 1 において、出力用のバンプ電極 8 は L C D の表示部に電氣的に接続され、入力用のバンプ電極 8 はフレキシブルプリント基板 1 8 に接続されている。

【 0 0 4 7 】

図 1 3 は、ガラス基板 1 7 a に半導体チップ 1 を搭載した部分を拡大した図である。図 1 3 において、ガラス基板 1 7 a には端子 2 0 a が形成されており、この端子 2 0 a に半導体チップ 1 に形成されているバンプ電極 8 が電氣的に接続される。このとき、バンプ電極 8 と端子 2 0 a は直接接しているのではなく、異方導電フィルム 1 9 を介して接続されている。

【 0 0 4 8 】

図14は、LCDの全体構成を示した図である。図14に示すように、ガラス基板上にLCDの表示部20が形成されており、この表示部20に画像が表示される。表示部の近傍のガラス基板上にはLCD用のドライバである半導体チップ1が搭載されている。半導体チップ1の近傍にはフレキシブルプリント基板18が搭載されており、フレキシブルプリント基板18とLCDの表示部20の間にドライバである半導体チップ1が搭載されている。このようにして、半導体チップ1をガラス基板17a上に搭載することができる。

【0049】

LCD用のドライバを実装基板に実装する形態の一例としてガラス基板17aに半導体チップ1を実装するCOGについて説明したが、次に、半導体チップ1を実装する他の形態について説明する。

【0050】

図15は、COG形態以外の実装形態で半導体チップ1を実装する様子を示したものであり、TCP (Tape Carrier Package) 形態21とCOF (Chip On Film) 形態22を示している。図16は、TCP形態によって半導体チップ1を実装基板に実装する様子を示した図である。図16において、実装基板はテープ状のフィルム基板(テープ基板)23であり、フィルム基板23には、例えば銅からなるリード24が形成されている。そして、このリード24にバンパ電極8が接着するように半導体チップ1がフィルム基板23に実装されている。なお、半導体チップ1はレジン25によって封止されている。図17は、ガラス基板17aとプリント基板28との間にTCP形態で実装した半導体チップ1を配置した例を示す図である。図17に示すように、ガラス基板17aとフィルム基板23に形成されたリード24とは異方導電フィルム26によって接続されており、同様に、フィルム基板23に形成されたリード24とプリント基板28とは異方導電フィルム27によって接続されている。

【0051】

図18は、COF形態によって半導体チップ1を実装基板に実装する様子を示した図である。図18において、実装基板はテープ状のフィルム基板29である。TCP形態と同様にフィルム基板29上には銅よりなるリード30が形成されているが、TCP形態と異なり、リード30はバンパ電極8と接続する部位においても、フィルム基板29に固着している。そして、このリード30にバンパ電極8が接着するように半導体チップ1がフィルム基板29に実装されている。なお、半導体チップ1とフィルム基板29との隙間にはアンダーフィル31が形成されている。図19は、ガラス基板17aとプリント基板28との間にCOF形態で実装した半導体チップ1を配置した例を示す図である。図19に示すように、ガラス基板17aとフィルム基板29に形成されたリード30とは異方導電フィルム26によって接続されており、同様に、フィルム基板29に形成されたリード30とプリント基板28とは異方導電フィルム27によって接続されている。

【0052】

このように、LCD用のドライバである半導体チップ1を様々な形態によって実装することができる。

【0053】

(実施の形態2)

本実施の形態2では、バンパ電極の位置によらずにパッドの形成位置を最適な位置に決定することができるレイアウト自由度の高い半導体装置について説明する。

【0054】

図20は、本実施の形態2における半導体チップの一部を示した平面図である。図20において、パッド10は表面保護膜12に形成された開口部13を介してバンパ電極8の一部を構成するパッド接続部8aと接続されている。バンパ電極8は、パッド10に接続するパッド接続部8aと、実装基板の端子に接続する端子接続部8cと、パッド接続部8aと端子接続部8cとを接続する配線部8bから構成されている。通常、バンパ電極は、端子接続部だけから構成され、この端子接続部がパッドと接続されている。つまり、通常のバンパ電極では端子接続部がパッド接続部を兼ねており、パッド接続部と端子接続部が

10

20

30

40

50

平面的に重なっている。これに対し、本実施の形態2のバンプ電極8では、パッド接続部8aと端子接続部8cが平面的に異なる位置に形成されており、この平面的に異なる位置に形成されたパッド接続部8aと端子接続部8cとが配線部8bで接続された構造をしている。また、パッド接続部8aと端子接続部8cは、配線部8bと比較して、その平面形状の配線幅が大きくなるように形成されている。パッド接続部8aと端子接続部8cでは、それぞれパッド10と上記のガラス基板（またはフィルム基板）に設けられたリードに接続する必要があるため、その平面積をある程度確保する必要があるからである。配線部8bでは、その配線幅を小さくすることにより、他の配線部8bとの接触の可能性を防ぐことができ、配線引き回しの自由度を高めることができる。

【0055】

このようにバンプ電極8を構成することにより、バンプ電極8の端子接続部8cを千鳥状に配置しながら、パッド10を千鳥状に配置することなく、x方向へ一列に配置させることが可能となる。すなわち、バンプ電極の配置位置に左右されずにパッドの位置を決定することができる。通常、バンプ電極とパッドとは平面的に重なり合うように配置されている。したがって、バンプ電極をy方向に千鳥状に配置すると、パッドもy方向に千鳥状に配置されることになる。このとき、パッドは2列に配置されるが、パッドが配置されている箇所には、パッド以外の配線を引き回すことができない。このため、前記実施の形態1で述べたように、バンプ電極の大きさに比べてパッドの大きさを小さくすることにより、バンプ電極の直下にパッド以外の配線を形成する場合であっても、パッドがy方向に2列に形成されているので、その分パッド以外の配線を形成するスペースを広げることができない。これに対し、本実施の形態2によれば、バンプ電極8を千鳥状に配置しても、パッド10は千鳥状にする必要はなく、図20に示すようにx方向へ一列に配置させることが可能となる。したがって、パッド10のより占有されるスペースは、パッド10を2列に配置する場合に比べて少なくなる。このように、パッド10によって占有されるスペースを少なくできるので、パッド10と同層のバンプ電極8下に、パッド10以外の配線11a~11kを形成するスペースを充分確保できる。これにより、半導体チップの小型化をさらに推進することができる。なお、バンプ電極8の直下に形成される配線11a~11kの形状は、直線状のものに限らず、折れ曲がっているものやあるいは曲線状の形状をしているものがある。

【0056】

以上述べたように、本発明の特徴の1つは、バンプ電極8をパッド接続部8a、配線部8bおよび端子接続部8cから構成し、パッド接続部8aと端子接続部8cとを平面的に重ならないように配置したことにある。ここで、パッド接続部8a、配線部8bおよび端子接続部8cを同層で形成されている。このように構成することにより、バンプ電極8をy方向に延在するように形成して千鳥状に配置する一方、パッド10をx方向へ1列に並べて配置することができる。ここで、バンプ電極8を構成する端子接続部8cは、ガラス基板などの実装基板と接着するので、接着力を確保する観点から幅が配線部8bやパッド接続部8aの幅に比べて広がっている。本実施の形態において、バンプ電極8は、パッド接続部8a、配線部8bおよび端子接続部8cから構成されているが、別の言い方をすれば、幅の狭い配線部（第1部分）8bと配線部8bよりも幅の広い端子接続部（第2部分）8cを有するように構成されているとも言える。このように構成することにより、実装基板の接触面積を確保しながら、バンプ電極8を狭ピッチで千鳥状に配置することができる。つまり、バンプ電極8の端子接続部8cは、実装基板に接着する部位であるので、比較的面積を広くする一方、配線部8bは、パッド接続部と端子接続部とを接続するだけであるので、幅を狭くすることにより、バンプ電極8を狭ピッチで千鳥状に配置できる。

【0057】

本実施の形態2によれば、バンプ電極の位置に左右されずに、パッドの配置位置を半導体チップのサイズを効率良く縮小化できる位置に配置できる。すなわち、パッドのレイアウト構成の自由度を向上させることができるので、半導体チップのサイズを効率良く縮小化することができる。また、バンプ電極8の端子接続部8cの面積をパッド10に係な

10

20

30

40

50

く増大することができるので、実装基板との接着面積をフレキシブルに変更することができる。

【 0 0 5 8 】

本実施の形態 2 における半導体装置の製造方法は前記実施の形態 1 とほぼ同様である。異なる点は、バンプ電極 8 を形成する際、バンプ電極 8 をパッド接続部 8 a、配線部 8 b および端子接続部 8 c を有するようにし、かつ、パッド接続部 8 a と端子接続部 8 c とが平面的に重ならないように形成する点である。そして、端子接続部 8 c の幅を配線部 8 b の幅に比べて広くなるようにする。このようにして、本実施の形態 2 における半導体装置を製造することができる。

【 0 0 5 9 】

次に、本実施の形態 2 の変形例について説明する。図 2 1 は、本実施の形態 2 の変形例を示した平面図である。図 2 1 は、パッド 1 0 を x 方向へ一列に配置し、バンプ電極 8 の端子接続部 8 c を y 方向へ一列に配置している場合を示したものである。このような場合も、バンプ電極 8 をパッド接続部 8 a、配線部 8 b および端子接続部 8 c から構成することにより実現できる。例えば、顧客の要求のよりバンプ電極 8 c が y 方向へ一列に配置される場合においても、パッド 1 0 を y 方向とは異なる x 方向へ一列に配置することができる。すなわち、端子接続部 8 c の形成位置によらず、パッド 1 0 を配置することができる。なお、図示されていないが、図 2 1 においても、バンプ電極 8 の直下のパッド 1 0 と同層の層にはパッド 1 0 とは異なる配線が形成されている。このため、バンプ電極 8 の直下にできるスペースを有効活用でき、半導体チップの小型化を実現することができる。さらに、パッド 1 0 のレイアウト構成の自由度が向上するので、パッド 1 0 の配置位置を最適化することにより、半導体チップの小型化を推進できる。図 2 1 において、バンプ電極 8 の配線部 8 b を直角に折れ曲がった形状から構成しているが、これに限らず、例えば曲線形状から構成するようにしてもよい。

【 0 0 6 0 】

図 2 2 は、本実施の形態 2 の変形例を示した平面図である。図 2 2 は、パッド 1 0 を x 方向へ一列に配置し、バンプ電極 8 の端子接続部 8 c を y 方向へ千鳥状に配置している場合を示したものである。このような場合も、バンプ電極 8 をパッド接続部 8 a、配線部 8 b および端子接続部 8 c から構成することにより実現できる。例えば、顧客の要求のよりバンプ電極 8 c が y 方向へ千鳥状に配置される場合においても、パッド 1 0 を y 方向とは異なる x 方向へ一列に配置することができる。すなわち、端子接続部 8 c の形成位置によらず、パッド 1 0 を配置することができる。なお、図示されていないが、図 2 2 においても、バンプ電極 8 の直下のパッド 1 0 と同層の層にはパッド 1 0 とは異なる配線が形成されている。このため、バンプ電極 8 の直下にできるスペースを有効活用でき、半導体チップの小型化を実現することができる。さらに、パッド 1 0 のレイアウト構成の自由度が向上するので、パッド 1 0 の配置位置を最適化することにより、半導体チップの小型化を推進できる。

【 0 0 6 1 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 6 2 】

例えば、前述の実施の形態では、バンプ電極 8 およびパッド 1 0 の位置を半導体チップの 4 辺に配置した例を示したが、本発明はこれに限られるものではないのは勿論である。例えば、半導体チップ 1 の 4 辺近傍にパッド 1 0 を配置して、半導体チップ 1 の中央部にまでバンプ電極 8 を延在させることも可能である。また、半導体チップ 1 の中央部にパッド 1 0 を配置して、半導体チップ 1 の 4 辺近傍にまでバンプ電極 8 を延在させることも可能である。

【 0 0 6 3 】

前記実施の形態では、LCD 用のドライバを例にして説明したが、これに限らず、バン

10

20

30

40

50

プ電極を有する半導体装置に幅広く適用することができる。

【産業上の利用可能性】

【0064】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0065】

【図1】本発明の実施の形態1における半導体チップの構成を示した平面図である。

【図2】図1のA - A'線で切断した断面を示した断面図である。

【図3】図1のB - B'線で切断した断面を示した断面図である。

【図4】図1のC線で示される領域の拡大図であって、直線状に配置されたバンプ電極の直下に配線を形成した様子を示した平面図である。 10

【図5】図1のD線で示される領域の拡大図であって、千鳥状に配置されたバンプ電極の直下に配線を形成した様子を示した平面図である。

【図6】実施の形態1における半導体装置の製造工程を示した断面図である。

【図7】図6に続く半導体装置の製造工程を示した断面図である。

【図8】図7に続く半導体装置の製造工程を示した断面図である。

【図9】図8に続く半導体装置の製造工程を示した断面図である。

【図10】図9に続く半導体装置の製造工程を示した断面図である。

【図11】図10に続く半導体装置の製造工程を示した断面図である。

【図12】半導体チップをガラス基板に実装する場合を示した図である。 20

【図13】ガラス基板に半導体チップを搭載した部分を拡大した図である。

【図14】LCDの全体構成を示した図である。

【図15】LCDの他の構成を示した図である。

【図16】TCP形態によって半導体チップを実装基板に実装する様子を示した図である。

。

【図17】ガラス基板とプリント基板との間にTCP形態で実装した半導体チップを配置した例を示す図である。

【図18】COF形態によって半導体チップを実装基板に実装する様子を示した図である。

。

【図19】ガラス基板とプリント基板との間にCOF形態で実装した半導体チップを配置した例を示す図である。 30

【図20】実施の形態2における半導体チップの一部を示した平面図である。

【図21】実施の形態2の変形例を示した平面図である。

【図22】実施の形態2の変形例を示した平面図である。

【符号の説明】

【0066】

1 半導体チップ

2 半導体基板

3 ゲート駆動回路

4 ソース駆動回路 40

5 液晶駆動回路

6 グラフィックRAM

7 周辺回路

8 バンプ電極

8 a パッド接続部

8 b 配線部

8 c 端子接続部

9 絶縁膜

10 パッド

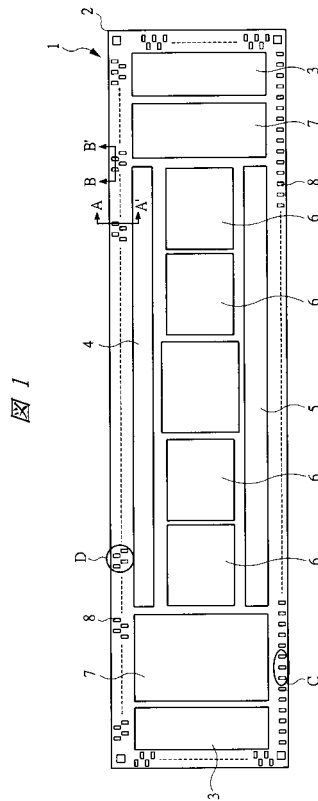
11 a ~ 11 k 配線 50

- 1 2 表面保護膜
- 1 3 開口部
- 1 4 U B M 膜
- 1 5 レジスト膜
- 1 6 導体膜
- 1 7 a ガラス基板
- 1 7 b ガラス基板
- 1 8 フレキシブルプリント基板
- 1 9 異方導電フィルム
- 2 0 表示部
- 2 0 a 端子
- 2 1 T C P 形態
- 2 2 C O F 形態
- 2 3 フィルム基板
- 2 4 リード
- 2 5 レジン
- 2 6 異方導電フィルム
- 2 7 異方導電フィルム
- 2 8 プリント基板
- 2 9 フィルム基板
- 3 0 リード
- 3 1 アンダーフィル

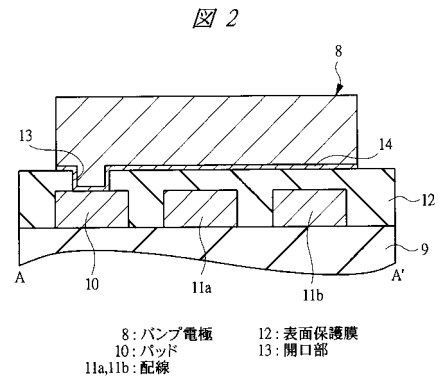
10

20

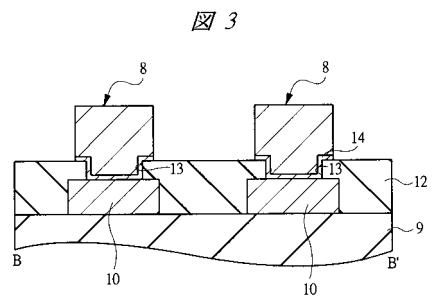
【図 1】



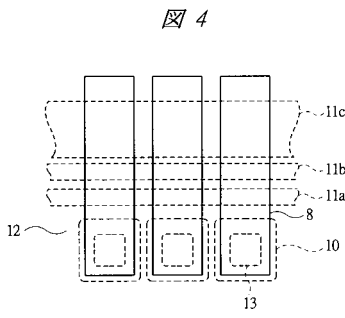
【図 2】



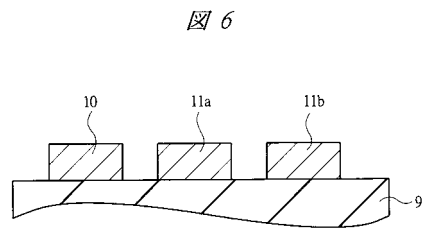
【図 3】



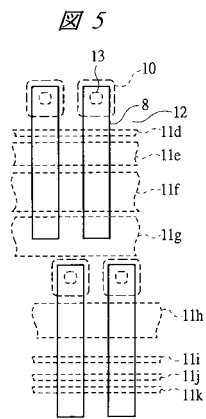
【 図 4 】



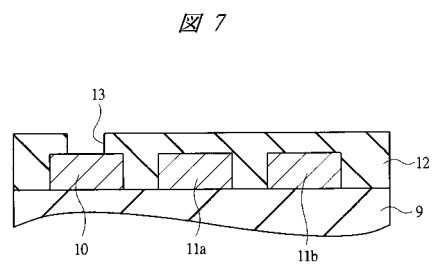
【 図 6 】



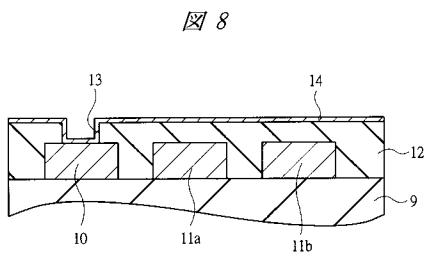
【 図 5 】



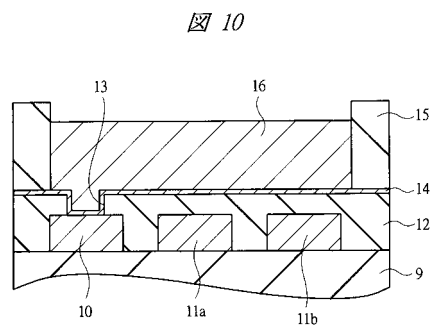
【 図 7 】



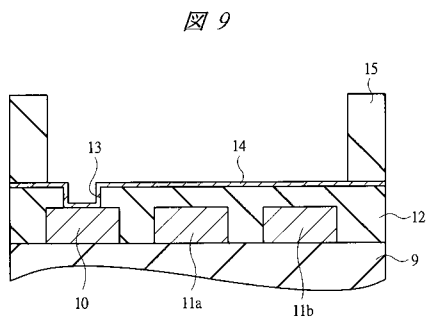
【 図 8 】



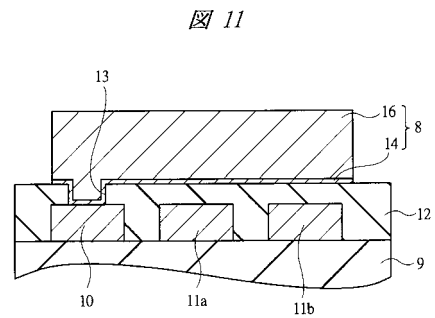
【 図 10 】



【 図 9 】

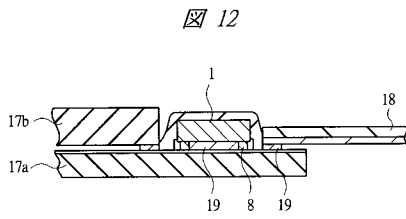


【 図 11 】

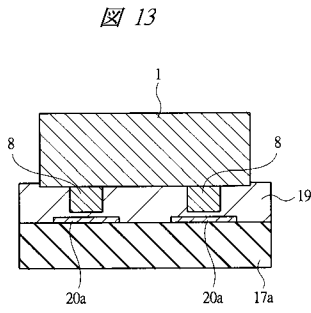




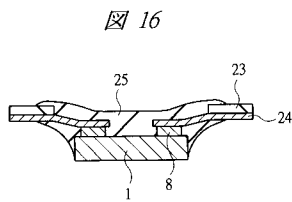
【図 12】



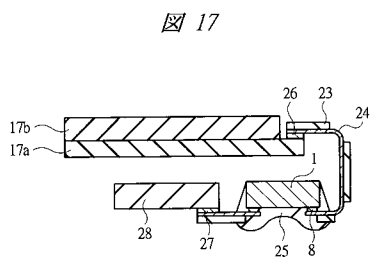
【図 13】



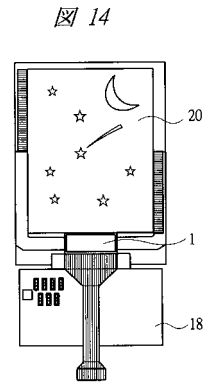
【図 16】



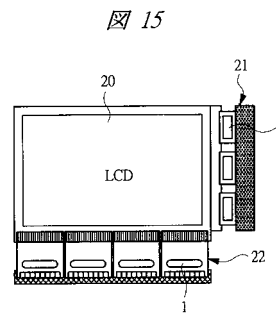
【図 17】



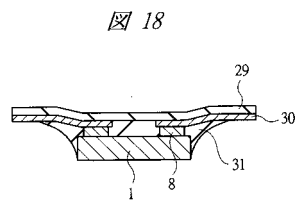
【図 14】



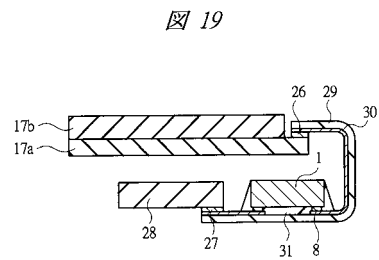
【図 15】



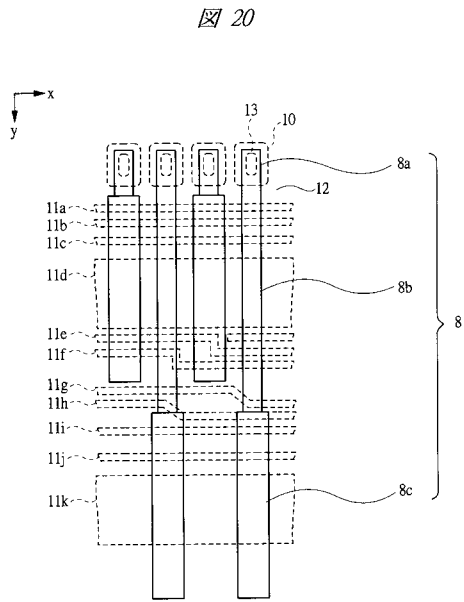
【図 18】



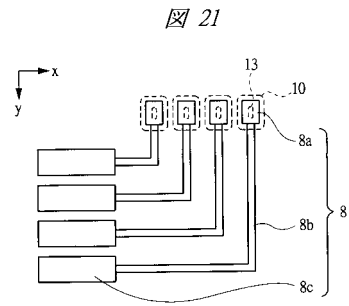
【図 19】



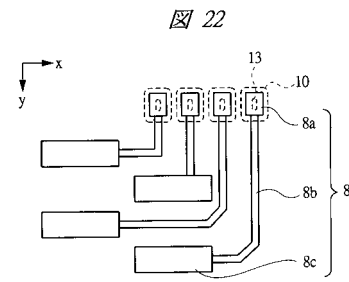
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



---

フロントページの続き

(56)参考文献 特許第4094656(JP, B2)  
特許第4585564(JP, B2)  
特開2001-053100(JP, A)  
特開2005-260207(JP, A)  
特開2000-124249(JP, A)  
特開平05-109813(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60  
H01L 21/3205  
H01L 23/52