



(12) 发明专利申请

(10) 申请公布号 CN 103208251 A

(43) 申请公布日 2013. 07. 17

(21) 申请号 201310128679. 8

(22) 申请日 2013. 04. 15

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 鄂尔多斯市源盛光电有限责任公司

(72) 发明人 李付强 李成 安星俊

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

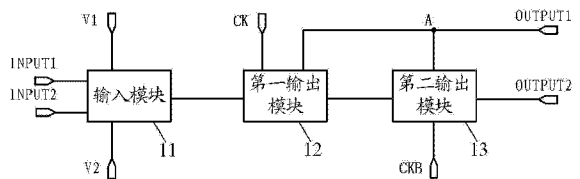
权利要求书3页 说明书8页 附图3页

(54) 发明名称

一种移位寄存器单元、栅极驱动电路及显示装置

(57) 摘要

本发明实施例提供一种移位寄存器单元、栅极驱动电路及显示装置,涉及显示技术领域,该移位寄存器单元包括输入模块、第一输出模块以及第二输出模块,与现有技术相比,可以有效简化移位寄存器单元的结构,进一步减少晶体管的使用数量。本发明实施例用于实现扫描驱动。



1. 一种移位寄存器单元,其特征在于,包括:输入模块、第一输出模块以及第二输出模块;

所述输入模块,连接第一信号输入端、第二信号输入端、第一电压端、第二电压端以及所述第一输出模块,用于根据所述第一信号输入端输入的信号、所述第二信号输入端输入的信号、所述第一电压端输入的电压以及所述第二电压端输入的电压控制所述移位寄存器单元的扫描方向;

所述第一输出模块,连接第一时钟信号端、第一节点以及第一信号输出端,用于根据所述输入模块输出的信号和所述第一时钟信号端输入的第一时钟信号控制所述第一信号输出端输出信号的电位,所述第一节点为所述第一输出模块和所述第二输出模块的连接点;

所述第二输出模块,连接所述第一节点、第二时钟信号端以及第二信号输出端,用于根据所述第一节点的信号和所述第二时钟信号端输入的第二时钟信号控制所述第二信号输出端输出信号的电位。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入模块包括:

第一传输门,分别连接所述第一信号输入端、所述第一电压端、所述第二电压端,所述第一传输门的输出端连接所述第一输出模块;

第二传输门,分别连接所述第二信号输入端、所述第一电压端、所述第二电压端,所述第二传输门的输出端连接所述第一输出模块。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第一传输门包括:

第一晶体管,所述第一晶体管的第一极连接所述第一信号输入端,所述第一晶体管的栅极连接所述第一电压端,所述第一晶体管的第二极连接所述第一输出模块;

第二晶体管,所述第二晶体管的第一极连接所述第一信号输入端,所述第二晶体管的栅极连接所述第二电压端,所述第二晶体管的第二极连接所述第一输出模块;

所述第二传输门包括:

第三晶体管,所述第三晶体管的第一极连接所述第二信号输入端,所述第三晶体管的栅极连接所述第二电压端,所述第三晶体管的第二极连接所述第一输出模块;

第四晶体管,所述第四晶体管的第一极连接所述第二信号输入端,所述第四晶体管的栅极连接所述第一电压端,所述第四晶体管的第二极连接所述第一输出模块。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输出模块包括:

第三传输门,分别连接所述输入模块和所述第一时钟信号端,所述第三传输门的输出端连接第二节点,所述第二节点为所述第三传输门的输出端与所述第一节点之间的一点;

电容,所述电容的一端连接所述第二节点,所述电容的另一端连接第四电压端;

第一反相器,分别连接所述第一时钟信号端、第三电压端、所述第四电压端,所述第一反相器的输出端连接所述第三传输门的控制端。

5. 根据权利要求4所述的移位寄存器单元,其特征在于,所述第一输出模块还包括:

所述第一节点和所述第二节点之间包括至少一对串联的反相器。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第三传输门包括:

第五晶体管,所述第五晶体管的第一极连接所述输入模块,所述第五晶体管的栅极连接所述第一时钟信号端,所述第五晶体管的第二极连接所述第二节点;

第六晶体管,所述第六晶体管的第一极连接所述输入模块,所述第六晶体管的第二极

连接所述第二节点；

所述第一反相器包括：

第七晶体管，所述第七晶体管的第一极连接所述第三电压端，所述第七晶体管的栅极连接所述第一时钟信号端，所述第七晶体管的第二极连接所述第六晶体管的栅极；

第八晶体管，所述第八晶体管的第一极连接所述第四电压端，所述第八晶体管的栅极连接所述第一时钟信号端，所述第八晶体管的第二极连接所述第六晶体管的栅极；

所述第一节点和所述第二节点之间包括串联的第二反相器和第三反相器，所述第二反相器包括：

第九晶体管，所述第九晶体管的第一极连接所述第三电压端，所述第九晶体管的栅极连接所述第二节点，所述第九晶体管的第二极连接所述第三反相器；

第十晶体管，所述第十晶体管的第一极连接所述第四电压端，所述第十晶体管的栅极连接所述第二节点，所述第十晶体管的第二极连接所述第三反相器；

所述第三反相器包括：

第十一晶体管，所述第十一晶体管的第一极连接所述第三电压端，所述第十一晶体管的栅极连接所述第二反相器，所述第十一晶体管的第二极连接所述第一节点；

第十二晶体管，所述第十二晶体管的第一极连接所述第四电压端，所述第十二晶体管的栅极连接所述第二反相器，所述第十二晶体管的第二极连接所述第一节点。

7. 根据权利要求1所述的移位寄存器单元，其特征在于，所述第二输出模块包括：

与非门，分别连接所述第一节点、第三电压端、第四电压端和所述第二时钟信号端，所述与非门的输出端连接第四反相器；

所述第四反相器，分别连接所述与非门、所述第三电压端、所述第四电压端，所述第四反相器的输出端连接所述第二信号输出端。

8. 根据权利要求7所述的移位寄存器单元，其特征在于，所述与非门包括：

第十三晶体管，所述第十三晶体管的第一极连接所述第三电压端，所述第十三晶体管的栅极连接所述第一节点，所述第十三晶体管的第二极连接所述第四反相器；

第十四晶体管，所述第十四晶体管的栅极连接所述第一节点，所述第十四晶体管的第二极连接所述第四反相器；

第十五晶体管，所述第十五晶体管的第一极连接所述第三电压端，所述第十五晶体管的栅极连接所述第二时钟信号端，所述第十五晶体管的第二极连接所述第四反相器；

第十六晶体管，所述第十六晶体管的第一极连接所述第四电压端，所述第十六晶体管的栅极连接所述第二时钟信号端，所述第十六晶体管的第二极连接所述第十四晶体管的第一极；

所述第四反相器包括：

第十七晶体管，所述第十七晶体管的第一极连接所述第三电压端，所述第十七晶体管的栅极连接所述与非门，所述第十七晶体管的第二极连接所述第二信号输出端；

第十八晶体管，所述第十八晶体管的第一极连接所述第四电压端，所述第十八晶体管的栅极连接所述与非门，所述第十八晶体管的第二极连接所述第二信号输出端。

9. 一种栅极驱动电路，其特征在于，包括多级如权利要求1至8任一所述的移位寄存器单元；

除第一级移位寄存器单元外,其余每个移位寄存器单元的第一信号输出端连接与其相邻的上一级移位寄存器单元的第二信号输入端;

除最后一级移位寄存器单元外,其余每个移位寄存器单元的第一信号输出端连接与其相邻的下一级移位寄存器单元的第一信号输入端。

10. 根据权利要求 9 所述的栅极驱动电路,其特征在于,所述第一级移位寄存器单元的第一信号输入端输入帧起始信号;所述最后一级移位寄存器单元的第二信号输入端输入复位信号。

11. 一种显示装置,其特征在于,包括如权利要求 9 或 10 所述的栅极驱动电路。

## 一种移位寄存器单元、栅极驱动电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路及显示装置。

### 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)实现一帧画面显示的基本原理是通过栅极(Gate)驱动依次从上到下对每一像素行输入一定宽度的方波进行选通,再通过源极(Source)驱动将每一行像素所需的信号依次从上往下输出。目前,制造这样一种结构的显示器件通常是将栅极驱动电路和源极驱动电路通过COF(Chip On Film,覆晶薄膜)或COG(Chip On Glass,芯片直接固定在玻璃上)工艺制作在玻璃面板上,但是当分辨率较高时,栅极驱动和源极驱动的输出均较多,驱动电路的长度也将增大,这将不利于模组驱动电路的绑定(Bonding)工艺。

[0003] 为了克服以上问题,现有显示器件的制造常采用GOA(Gate Driver on Array)电路的设计,相比于传统的COF或COG工艺,其不仅节约了成本,而且可以做到面板两边对称的美观设计,同时也省去了栅极驱动电路的Bonding区域以及外围布线空间,从而实现了显示装置窄边框的设计,提高了显示装置的产能和良率。

[0004] 在现有的GOA电路设计中,为了实现每一级栅极驱动信号的精确控制,每一级移位寄存器单元中通常需要包括多种功能模块,如用于实现栅极驱动信号电位高低变化的上拉模块和下拉模块、用于控制上拉或下拉状态的控制模块以及用于实现扫描或复位功能的输入模块,每个功能模块又包括多个晶体管。随着显示装置的不断发展,人们对于窄边框显示装置的需求也在日益提高,窄边框显示装置的关键在于如何进一步减少GOA电路中晶体管的使用数量,现有GOA电路的设计中,由于移位寄存器单元中多种功能模块的限制,结构较为复杂,因此难以进一步减少晶体管的使用数量。

### 发明内容

[0005] 本发明的实施例提供一种移位寄存器单元、栅极驱动电路及显示装置,可以简化移位寄存器单元的结构,进一步减少晶体管的使用数量。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 本发明实施例的一方面,提供一种移位寄存器单元,包括:输入模块、第一输出模块以及第二输出模块;

[0008] 所述输入模块,连接第一信号输入端、第二信号输入端、第一电压端、第二电压端以及所述第一输出模块,用于根据所述第一信号输入端输入的信号、所述第二信号输入端输入的信号、所述第一电压端输入的电压以及所述第二电压端输入的电压控制所述移位寄存器单元的扫描方向;

[0009] 所述第一输出模块,连接第一时钟信号端、第一节点以及第一信号输出端,用于根据所述输入模块输出的信号和所述第一时钟信号端输入的第一时钟信号控制所述第一信

号输出端输出信号的电位,所述第一节点为所述第一输出模块和所述第二输出模块的连接点;

[0010] 所述第二输出模块,连接所述第一节点、第二时钟信号端以及第二信号输出端,用于根据所述第一节点的信号和所述第二时钟信号端输入的第二时钟信号控制所述第二信号输出端输出信号的电位。

[0011] 本发明实施例的另一方面,提供一种栅极驱动电路,包括多级如上所述的移位寄存器单元;

[0012] 除第一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端连接与其相邻的上一级移位寄存器单元的第二信号输入端;

[0013] 除最后一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端连接与其相邻的下一级移位寄存器单元的第一信号输入端。

[0014] 本发明实施例的又一方面,提供一种显示装置,包括如上所述的栅极驱动电路。

[0015] 本发明实施例提供的移位寄存器单元、栅极驱动电路及显示装置,可以有效减少移位寄存器单元中的功能模块数量,简化移位寄存器单元的结构,从而可以进一步减少晶体管的使用数量,从而在保证电路稳定工作的同时实现了显示装置的窄边框设计。

#### 附图说明

[0016] 图1为本发明实施例提供的一种移位寄存器单元的结构示意图;

[0017] 图2为本发明实施例提供的另一移位寄存器单元的结构示意图;

[0018] 图3为本发明实施例提供的一种移位寄存器单元的电路连接结构示意图;

[0019] 图4为本发明实施例提供的一种移位寄存器单元工作时的信号时序波形图;

[0020] 图5为本发明实施例提供的一种栅极驱动电路的结构示意图。

#### 具体实施方式

[0021] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员所获得的所有其他实施例,都属于本发明保护的范围。

[0022] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一级称为第一极,将另一极称为第二极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型,在本发明实施例中,每一级移位寄存器单元中可以同时包括多个N型晶体管和多个P型晶体管,其中,晶体管的第一极可以是晶体管的源极,晶体管的第二极则可以是晶体管的漏极。

[0023] 本发明实施例提供的移位寄存器单元,如图1所示,包括:输入模块11、第一输出模块12以及第二输出模块13。

[0024] 其中,输入模块11,连接第一信号输入端INPUT1、第二信号输入端INPUT2、第一电压端V1、第二电压端V2以及第一输出模块12,用于根据第一信号输入端INPUT1输入的信号、第二信号输入端INPUT2输入的信号、第一电压端V1输入的电压以及第二电压端V2输

入的电压控制该移位寄存器单元的扫描方向。

[0025] 第一输出模块 12, 连接第一时钟信号端 CK、第一节点 A 以及第一信号输出端 OUTPUT1, 用于根据输入模块 11 输入的信号和第一时钟信号端 CK 输入的第一时钟信号控制第一信号输出端 OUTPUT1 输出信号的电位, 该第一节点 A 为第一输出模块 12 和第二输出模块 13 的连接点。

[0026] 第二输出模块 13, 连接该第一节点 A、第二时钟信号端 CKB 以及第二信号输出端 OUTPUT2, 用于根据第一节点 A 的信号和第二时钟信号端 CKB 输入的第二时钟信号控制第二信号输出端 OUTPUT2 输出信号的电位。

[0027] 本发明实施例提供的移位寄存器单元, 可以有效减少移位寄存器单元中的功能模块数量, 简化移位寄存器单元的结构, 从而可以进一步减少晶体管的使用数量, 从而在保证电路稳定工作的同时实现了显示装置的窄边框设计。

[0028] 进一步地, 如图 2 所示, 在本发明实施例提供的移位寄存器中, 输入模块 11 可以包括:

[0029] 第一传输门 F1, 分别连接第一信号输入端 INPUT1、第一电压端 V1、第二电压端 V2, 该第一传输门 F1 输出端连接第一输出模块 12。

[0030] 第二传输门 F2, 分别连接第二信号输入端 INPUT2、第一电压端 V1、第二电压端 V2, 该第二传输门 F2 输出端连接第一输出模块。

[0031] 需要说明的是, 在本发明实施例所提供的移位寄存器单元中, 可以包括多个传输门电路, 该传输门电路可以作为传输模拟信号的模拟开关, 每个传输门电路均可以包括一组并联设置的 N 型晶体管和 P 型晶体管。当然, 传输门电路还可以采用现有技术中其他具有开关功能的电路结构或元器件, 本发明对此并不作限制。

[0032] 具体的, 如图 3 所示, 第一传输门 F1 可以包括:

[0033] 第一晶体管 T1, 该第一晶体管 T1 的第一极连接第一信号输入端 INPUT1, 该第一晶体管 T1 的栅极连接第一电压端 V1, 该第一晶体管 T1 的第二极连接第一输出模块 12。

[0034] 第二晶体管 T2, 该第二晶体管 T2 的第一极连接第一信号输入端 INPUT1, 该第二晶体管 T2 的栅极连接第二电压端 V2, 该第二晶体管 T2 的第二极连接第一输出模块 12。

[0035] 第二传输门 F2 可以包括:

[0036] 第三晶体管 T3, 该第三晶体管 T3 的第一极连接第二信号输入端 INPUT2, 该第三晶体管 T3 的栅极连接第二电压端 V2, 该第三晶体管 T3 的第二极连接第一输出模块 12。

[0037] 第四晶体管 T4, 该第四晶体管 T4 的第一极连接第二信号输入端 INPUT2, 该第四晶体管 T4 的栅极连接所述第一电压端 V1, 该第四晶体管 T4 的第二极连接第一输出模块 12。

[0038] 采用这样一种结构的输入模块 11, 当分别采用上下级移位寄存器单元输出的信号作为本级移位寄存器单元的第一信号输入端 INPUT1 或第二信号控制端 INPUT2 的输入信号时, 输入模块 11 可以实现栅极驱动电路的双向扫描。具体的, 第一信号输入端 INPUT1 可以输入上级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N-1OUT, 第二信号输入端 INPUT2 可以输入下级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N+1 OUT。

[0039] 在如图 3 所示的移位寄存器单元中, 第一晶体管 T1 和第三晶体管 T3 采用 N 型晶体管, 第二晶体管 T2 和第四晶体管 T4 则采用 P 型晶体管。对于这样一种结构的输入模块 11 而言, 当第一电压端 V1 输入高电平 VDD、第二电压端 V2 输入低电平 VSS 时, 上级移位寄

寄存器单元输出的高电平可以通过输入模块 11 对第一输出模块 12 进行预充,下级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输出模块 12 进行复位,从而实现栅极驱动电路自上向下方向的扫描驱动。

[0040] 当第一电压端 V1 输入低电平 VSS、第二电压端 V2 输入高电平 VDD 时,下级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输入模块 12 进行预充,上级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输入模块 12 进行复位,从而实现栅极驱动电路自下向上方向的扫描驱动。

[0041] 或者,第一信号输入端 INPUT1 也可以输入下级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N+1 OUT,第二信号输入端 INPUT2 也可以输入上级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N-1 OUT。通过采用与前述相反的第一电压端 V1 和第二电压端 V2 同样可以实现栅极驱动电路的双向扫描。

[0042] 需要说明的是,以上也只是对输入模块 11 进行双向扫描的举例说明。应当理解,当第一晶体管 T1 和第三晶体管 T3 采用 P 型晶体管,第二晶体管 T2 和第四晶体管 T4 采用 N 型晶体管时,通过改变第一电压端 V1 和第二电压端 V2 输入电压的高低同样可以实现栅极驱动电路的双向扫描。

[0043] 进一步地,如图 2 所示,在本发明实施例提供的移位寄存器中,第一输出模块 12 可以包括:

[0044] 第三传输门 F3,分别连接输入模块 11 和第一时钟信号端 CK,该第三传输门 F3 的输出端连接第二节点 B,该第二节点 B 为第三传输门 F3 的输出端与第一节点 A 之间的一点。需要说明的是,在本实施例中,第二节点 B 和第一节点 A 可以为同一点。

[0045] 电容 C,该电容 C 的一端连接第二节点 B,该电容 C 的另一端连接第四电压端 V4。

[0046] 第一反相器 F4,分别连接第一时钟信号端 CK、第三电压端 V3、第四电压端 V4,该第一反相器 F4 的输出端连接第三传输门 F3 的控制端。

[0047] 需要说明的是,在本发明实施例所提供的移位寄存器单元中,可以包括多个反相器电路,该反相器电路可以将所输入信号的相位进行 180° 反相处理,每个反相器电路均可以包括一对串联设置的 N 型晶体管和 P 型晶体管。当然,反相器电路还可以采用现有技术中其他具有反相功能的电路结构或元器件,本发明对此并不作限制。

[0048] 第三电压端 V3 可以为高电平 VDD,第四电压端 V4 可以为接地端或低电平 VSS。第一输出模块 12 采用这样一种电路结构可以根据输入模块 11 输入信号电位的变化控制第一信号输出端 OUTPUT1 输出信号的电位,该第一信号输出端 OUTPUT1 输出的信号可以输入至上级或下级移位寄存器单元的信号输入端,作为开启或复位信号实现栅极驱动电路的双向扫描。

[0049] 在实际应用的过程中,第一节点 A 和第二节点 B 可以是不同的节点,由于第二节点 B 电位满足第一信号输出端 OUTPUT1 所输出信号的时序,因此可以将第二节点 B 与第一信号输出端 OUTPUT1 相连接。但其不足之处在于,第二节点 B 处的驱动能力相对较低,从而难以驱动较大规模的电路,进而影响到显示器件的产品质量。

[0050] 为了提高第一信号输出端 OUTPUT1 所输出信号的驱动能力,如图 2 所示,第一输出模块 12 还可以包括:

[0051] 第一节点 A 和第二节点 B 之间包括至少一对串联的反相器。



[0052] 其中,第一信号输出端 OUTPUT1 与第一节点 A 相连接。由于反相器具有提高驱动能力的效果,因此可以利用串联成对的反相器结构在不改变输出信号相位的基础上有效提高第一信号输出端 OUTPUT1 输出信号的驱动能力。例如,在如图 2 所示的移位寄存器单元中,第一节点 A 和第二节点 B 之间具有一对串联的反相器,分别是第二反相器 F5 以及第三反相器 F6。

[0053] 具体的,如图 3 所示,第三传输门 F3 可以包括:

[0054] 第五晶体管 T5,该第五晶体管 T5 的第一极连接输入模块 11,该第五晶体管 T5 的栅极连接第一时钟信号端 CK,该第五晶体管 T5 的第二极连接第二节点 B。

[0055] 第六晶体管 T6,该第六晶体管 T6 的第一极连接输入模块 11,该第六晶体管 T6 的第二极连接第二节点 B。

[0056] 第一反相器 F4 可以包括:

[0057] 第七晶体管 T7,该第七晶体管 T7 的第一极连接第三电压端 V3,该第七晶体管 T7 的栅极连接第一时钟信号端 CK,该第七晶体管 T7 的第二极连接第六晶体管 T6 的栅极。

[0058] 第八晶体管 T8,该第八晶体管 T8 的第一极连接第四电压端 V4,第八晶体管 T8 的栅极连接第一时钟信号端 CK,第八晶体管 T8 的第二极连接第六晶体管 T6 的栅极。

[0059] 第一节点 A 和第二节点 B 之间具有串联的第二反相器 F5 和第三反相器 F6,该第二反相器 F5 包括:

[0060] 第九晶体管 T9,该第九晶体管 T9 的第一极连接第三电压端 V3,该第九晶体管 T9 的栅极连接第二节点 B,该第九晶体管 T9 的第二极连接第三反相器 F6。

[0061] 第十晶体管 T10,该第十晶体管 T10 的第一极连接第四电压端 V4,该第十晶体管 T10 的栅极连接第二节点 B,该第十晶体管 T10 的第二极连接第三反相器 F6。

[0062] 第三反相器 F6 包括:

[0063] 第十一晶体管 T11,该第十一晶体管 T11 的第一极连接第三电压端 V3,该第十一晶体管 T11 的栅极连接第二反相器 F5,该第十一晶体管 T11 的第二极连接第一节点 A。

[0064] 第十二晶体管 T12,该第十二晶体管 T12 的第一极连接第四电压端 V4,该第十二晶体管 T12 的栅极连接第二反相器 F5,该第十二晶体管 T12 的第二极连接第一节点 A。

[0065] 具体的,第九晶体管 T9 的第二极和第十晶体管 T10 的第二极均分别与第十一晶体管 T11 的栅极以及第十二晶体管 T12 的栅极相连,从而实现第二反相器 F5 输出端与第三反相器 F6 输入端的连接。

[0066] 当然,第一节点 A 和第二节点 B 之间还可以根据实际设计的需要串联更多对反相器,在此不一一举例。这样一种结构的第一输出模块 12 可以根据输入模块 11 输入的信号和第一时钟信号端 CK 输入的时钟信号控制第一信号输出端 OUTPUT1 输出信号的电位。

[0067] 需要说明的是,在如图 3 所示的移位寄存器单元中,是以晶体管 T5、T8、T10、T12 采用 N 型晶体管,晶体管 T6、T7、T9、T11 采用 P 型晶体管为例进行的说明。应当理解,当上述晶体管的类型发生变化时,通过相应的改变第三电压端 V3、第四电压端 V4 以及第一时钟信号 CK 即可以实现与上述实施例同样的功能。

[0068] 进一步地,如图 2 所示,在本发明实施例提供的移位寄存器中,第二输出模块 13 可以包括:

[0069] 与非门 F7,分别连接第一节点 A、第三电压端 V3、第四电压端 V4 和第二时钟信号端

CKB, 该与非门 F7 的输出端连接第四反相器 F8。

[0070] 第四反相器 F8, 分别连接与非门 F7、第三电压端 V3、第四电压端 V4, 该第四反相器 F8 的输出端连接第二信号输出端 OUTPUT2。

[0071] 需要说明的是, 在本发明实施例所提供的移位寄存器单元中, 与非门电路可以是由一组与门电路与一组非门电路叠加而成, 该与门电路与该非门电路均可以包括一对串联设置的 N 型晶体管和 P 型晶体管。当然, 与非门电路还可以采用现有技术中其他具有与非功能的电路结构或元器件, 本发明对此并不作限制。

[0072] 具体的, 如图 3 所示, 该与非门 F7 可以包括:

[0073] 第十三晶体管 T13, 该第十三晶体管 T13 的第一极连接第三电压端 V3, 该第十三晶体管 T13 的栅极连接第一节点 A, 该第十三晶体管 T13 的第二极连接第四反相器 F8。

[0074] 第十四晶体管 T14, 该第十四晶体管 T14 的栅极连接第一节点 A, 该第十四晶体管 T14 的第二极连接第四反相器 F8。

[0075] 第十五晶体管 T15, 该第十五晶体管 T15 的第一极连接第三电压端 V3, 该第十五晶体管 T15 的栅极连接第二时钟信号端 CKB, 该第十五晶体管 T15 的第二极连接第四反相器 F8。

[0076] 第十六晶体管 T16, 该第十六晶体管 T16 的第一极连接第四电压端 V4, 该第十六晶体管 T16 的栅极连接第二时钟信号端 CKB, 该第十六晶体管 T16 的第二极连接第十四晶体管 T14 的第一极。

[0077] 第四反相器 F8 可以包括:

[0078] 第十七晶体管 T17, 该第十七晶体管 T17 的第一极连接第三电压端 V3, 该第十七晶体管 T17 的栅极连接与非门 F7, 该第十七晶体管 T17 的第二极连接第二信号输出端 OUTPUT2。

[0079] 第十八晶体管 T18, 该第十八晶体管 T18 的第一极连接第四电压端 V4, 该第十八晶体管 T18 的栅极连接与非门 F7, 该第十八晶体管 T18 的第二极连接第二信号输出端 OUTPUT2。

[0080] 具体的, 第十三晶体管 T13 的第二极、第十四晶体管 T14 的第二极和第十五晶体管 T15 的第二极均分别与第十七晶体管 T17 的栅极以及第十八晶体管 T18 的栅极相连, 从而实现与非门 F7 输出端与第四反相器 F8 输入端的连接。

[0081] 需要说明的是, 在如图 3 所示的移位寄存器单元中, 是以晶体管 T14、T16、T18 采用 N 型晶体管, 晶体管 T13、T15、T17 采用 P 型晶体管为例进行的说明。应当理解, 当上述晶体管的类型发生变化时, 通过相应的改变第三电压端 V3、第四电压端 V4 以及第二时钟信号 CKB 即可以实现与上述实施例同样的功能。

[0082] 在如图 3 所示的移位寄存器单元中, 分别包括 9 个 N 型晶体管、9 个 P 型晶体管以及 1 个电容, 与现有技术相比, 这种电路结构的设计中有效减少了移位寄存器单元中的功能模块数量, 简化了移位寄存器单元的结构, 进一步减少了元器件的使用数量, 从而显著简化了电路设计与生产的难度, 有效控制了电路区域与布线空间的大小, 在保证电路稳定工作的同时实现了显示装置窄边框的设计。

[0083] 采用这样一种结构的移位寄存器单元, 通过改变控制信号电平的高低可以实现栅极驱动电路的双向扫描。具体的, 可以结合图 4 所示的信号时序状态图, 对本发明实施例图

3 所示的移位寄存器单元的驱动方法及工作状态进行详细描述。

[0084] 第①阶段：本级移位寄存器单元的第一信号输入端 INPUT1 与上一级移位寄存器单元的第一信号输出端相连接，接收来自上一级移位寄存器单元的 STV<sub>N-1</sub> 信号；本级移位寄存器单元的第二信号输入端 INPUT2 与下一级移位寄存器单元的第一信号输出端相连接，接收来自下一级移位寄存器单元的 STV<sub>N+1</sub> 信号。在该阶段下，STV<sub>N-1</sub> 信号为高电平，当第一时钟信号端 CK 输入的第一时钟信号为高电平时，传输门 F3 打开，STV<sub>N-1</sub> 信号通过传输门 F3 给电容 C 充电，使得电容 C 处于高电位，经过两级反相器 F5、F6 的放大作用，向本级移位寄存器单元的第一信号输出端 OUTPUT1 输出 STV<sub>N</sub> 高电位。

[0085] 第②阶段：在该阶段下，当第一时钟信号端 CK 输入的第一时钟信号为低电平，且第二时钟信号端 CKB 输入的第二时钟信号为高电平时，传输门 F3 关闭，电容 C 电压无法放电，从而使得电压保持高电位，STV<sub>N</sub> 继续保持高电位，又由于第二时钟信号端 CKB 输入的第二时钟信号为高电平，与非门 F7 经过反相器 F8 向本级移位寄存器单元的第二信号输出端 OUTPUT2 输出 Out<sub>N</sub> 高电平。

[0086] 第③阶段：在该阶段下，第一时钟信号端 CK 输入的第一时钟信号为高电平，且第二时钟信号端 CKB 输入的第二时钟信号为低电平，STV<sub>N-1</sub> 信号为低电平，传输门 F3 打开，STV<sub>N-1</sub> 信号通过传输门 F3 给电容 C 放电，使得电容 C 为低电位，经过两级反相器 F5、F6 的放大作用，向本级移位寄存器单元的第一信号输出端 OUTPUT1 输出 STV<sub>N</sub> 低电位，经过后续反相器以及与非门向本级移位寄存器单元的第二信号输出端 OUTPUT2 输出 Out<sub>N</sub> 低电平。

[0087] 如此实现了从 Out<sub>N-1</sub> 到本级 Out<sub>N</sub>，再至 Out<sub>N+1</sub> 的移位，即实现了自上而下的栅极行驱动扫描输出。需要说明的是，在本发明实施例中，通过改变信号 STV<sub>N-1</sub>、STV<sub>N+1</sub>、VDD 与 VSS 的高低电位可以转换预充和复位的方式，分别实现栅极驱动电路从上至下或从下至上的双向扫描。

[0088] 本发明实施例提供的移位寄存器单元，可以有效减少移位寄存器单元中的功能模块数量，简化移位寄存器单元的结构，从而可以进一步减少晶体管的使用数量，从而在保证电路稳定工作的同时实现了显示装置的窄边框设计。

[0089] 本发明实施例提供的栅极驱动电路，如图 5 所示，包括多级如上所述的移位寄存器单元。其中，每一级移位寄存器单元 SR 的第二信号输出端 OUTPUT2 输出本级的行扫描信号 G。

[0090] 除第一级移位寄存器单元 SR0 外，其余每个移位寄存器单元的第一信号输出端 OUTPUT1 连接与其相邻的上一级移位寄存器单元的第二信号输入端 INPUT2。

[0091] 除最后一级移位寄存器单元 SR<sub>n</sub> 外，其余每个移位寄存器单元的第一信号输出端 OUTPUT1 连接与其相邻的下一级移位寄存器单元的第一信号输入端 INPUT1。

[0092] 在本发明实施例中，第一级移位寄存器单元 SR0 的第一信号输入端 INPUT1 可以输入帧起始信号 STV；最后一级移位寄存器单元 SR<sub>n</sub> 的第二信号输入端 INPUT2 可以输入复位信号 RST。其中，可以采用同一条数据线向第一级移位寄存器单元 SR0 和最后一级移位寄存器单元 SR<sub>n</sub> 分时提供帧起始信号 STV 和复位信号 RST。

[0093] 本发明实施例提供的栅极驱动电路，包括多个移位寄存器单元，可以有效减少移位寄存器单元中的功能模块数量，简化移位寄存器单元的结构，从而可以进一步减少晶体管的使用数量，从而在保证电路稳定工作的同时实现了显示装置的窄边框设计。

[0094] 当分别采用上下级移位寄存器单元输出的信号作为本级移位寄存器单元的第一信号输入端 INPUT1 或第二信号控制端 INPUT2 的输入信号时,输入模块 11 可以实现栅极驱动电路的双向扫描。具体的,第一信号输入端 INPUT1 可以输入上级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N-1OUT,第二信号输入端 INPUT2 可以输入下级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N+1 OUT。

[0095] 在如图 3 所示的移位寄存器单元中,第一晶体管 T1 和第三晶体管 T3 采用 N 型晶体管,第二晶体管 T2 和第四晶体管 T4 则采用 P 型晶体管。对于这样一种结构的输入模块 11 而言,当第一电压端 V1 输入高电平 VDD、第二电压端 V2 输入低电平 VSS 时,上级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输出模块 12 进行预充,下级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输出模块 12 进行复位,从而实现栅极驱动电路自上向下方向的扫描驱动。

[0096] 当第一电压端 V1 输入低电平 VSS、第二电压端 V2 输入高电平 VDD 时,下级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输入模块 12 进行预充,上级移位寄存器单元输出的高电平可以通过输入模块 11 对第一输入模块 12 进行复位,从而实现栅极驱动电路自下向上方向的扫描驱动。

[0097] 或者,第一信号输入端 INPUT1 也可以输入下级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N+1OUT,第二信号输入端 INPUT2 也可以输入上级移位寄存器单元的第一信号输出端 OUTPUT1 输出的信号 N-1 OUT。通过采用与前述相反的第一电压端 V1 和第二电压端 V2 同样可以实现栅极驱动电路的双向扫描。

[0098] 需要说明的是,以上也只是对输入模块 11 进行双向扫描的举例说明。应当理解,当第一晶体管 T1 和第三晶体管 T3 采用 P 型晶体管,第二晶体管 T2 和第四晶体管 T4 采用 N 型晶体管时,通过改变第一电压端 V1 和第二电压端 V2 输入电压的高低同样可以实现栅极驱动电路的双向扫描。

[0099] 本发明实施例还提供一种显示装置,包括如上所述的栅极驱动电路。

[0100] 由于栅极驱动电路的结构在前述实施例中已做了详细的描述,此处不做赘述。

[0101] 本发明实施例提供的显示装置,包括栅极驱动电路,包括多个移位寄存器单元,可以有效减少移位寄存器单元中的功能模块数量,简化移位寄存器单元的结构,从而可以进一步减少晶体管的使用数量,从而在保证电路稳定工作的同时实现了显示装置的窄边框设计。

[0102] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

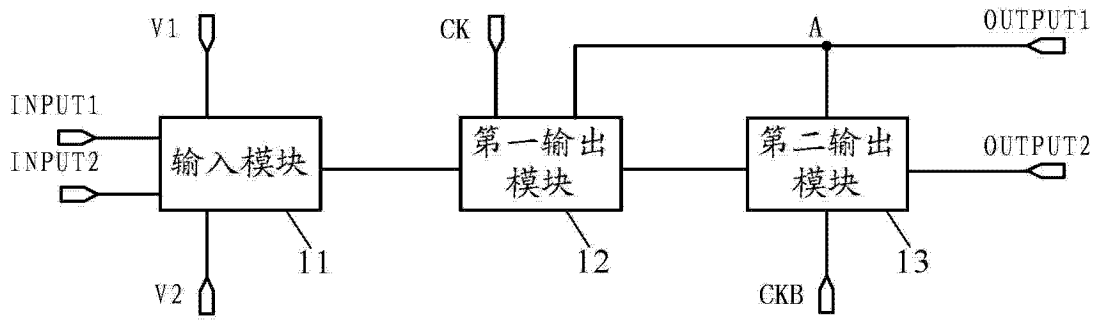


图 1

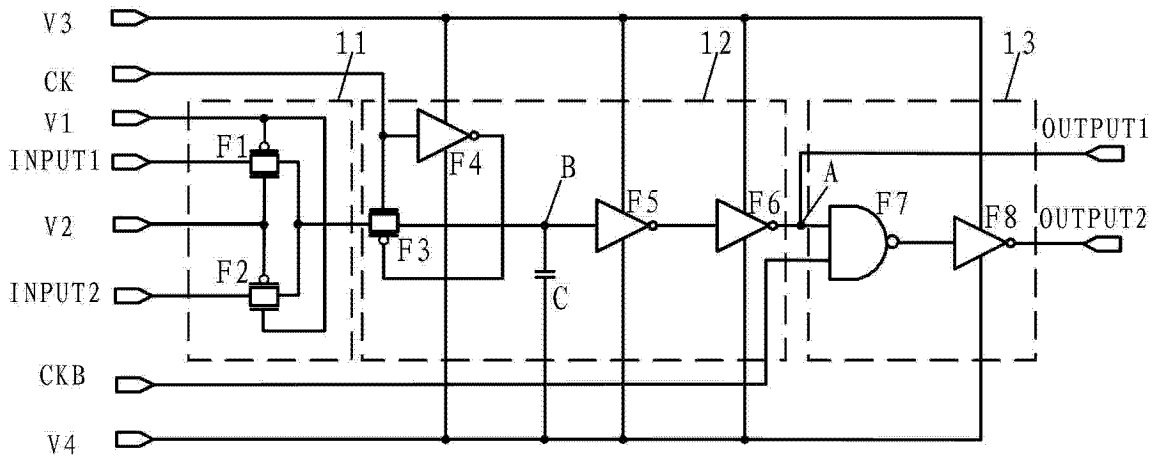


图 2

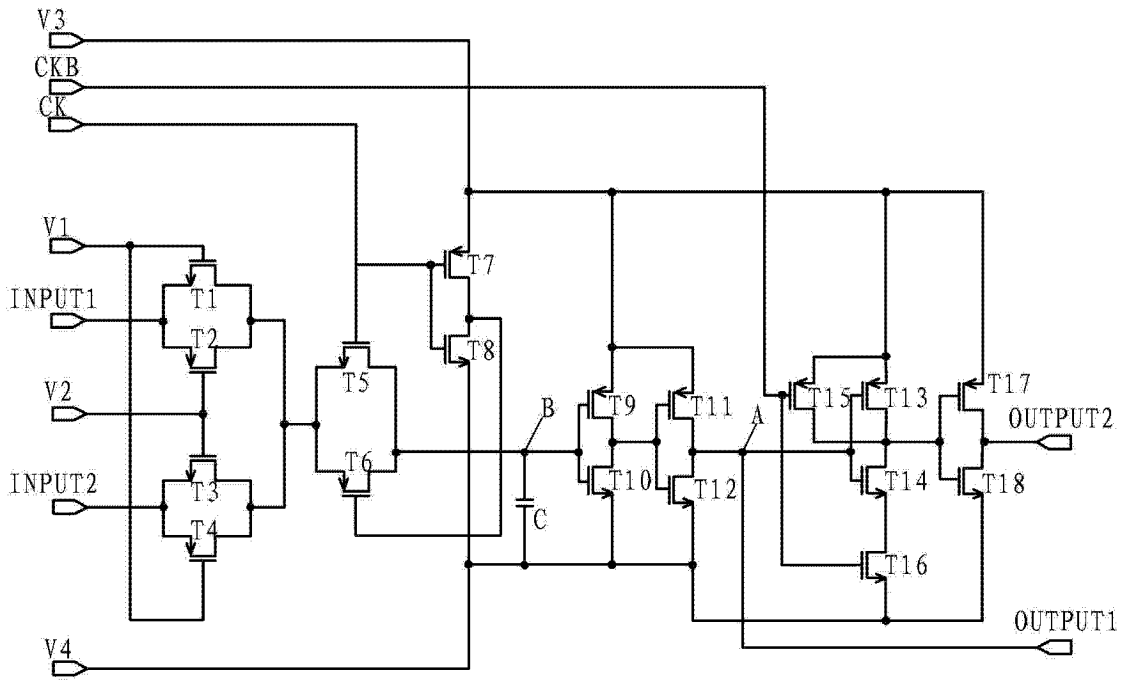


图 3

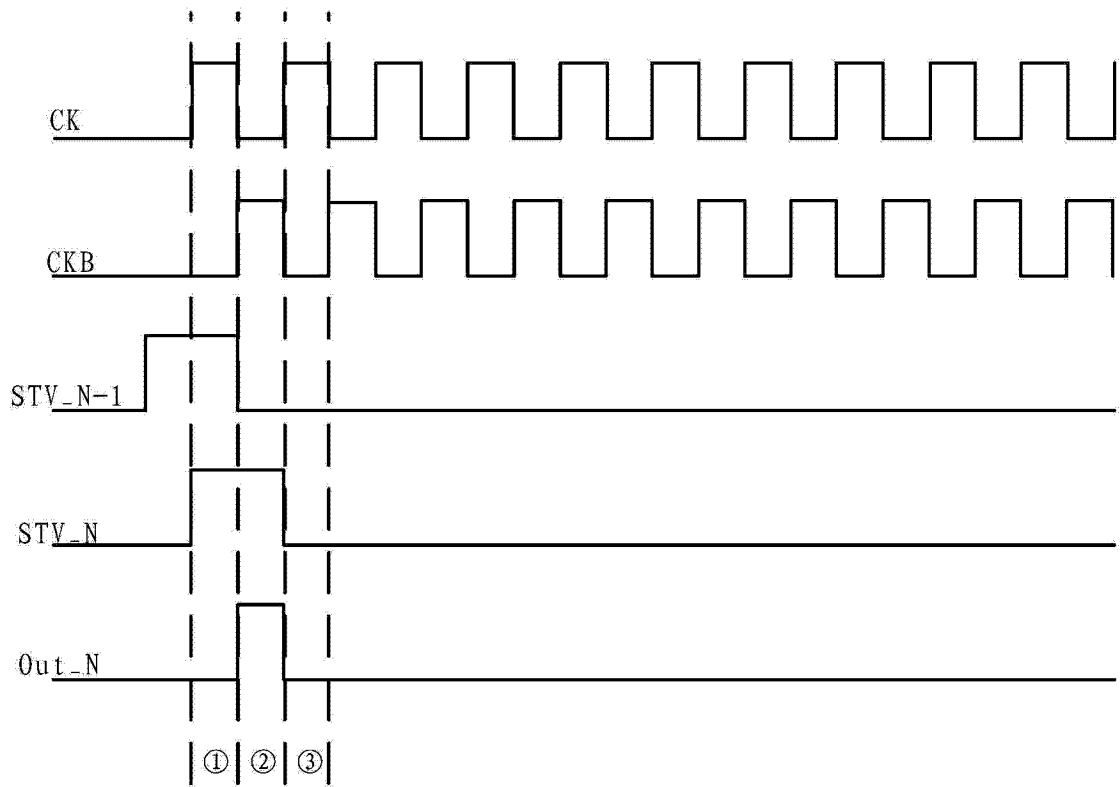


图 4

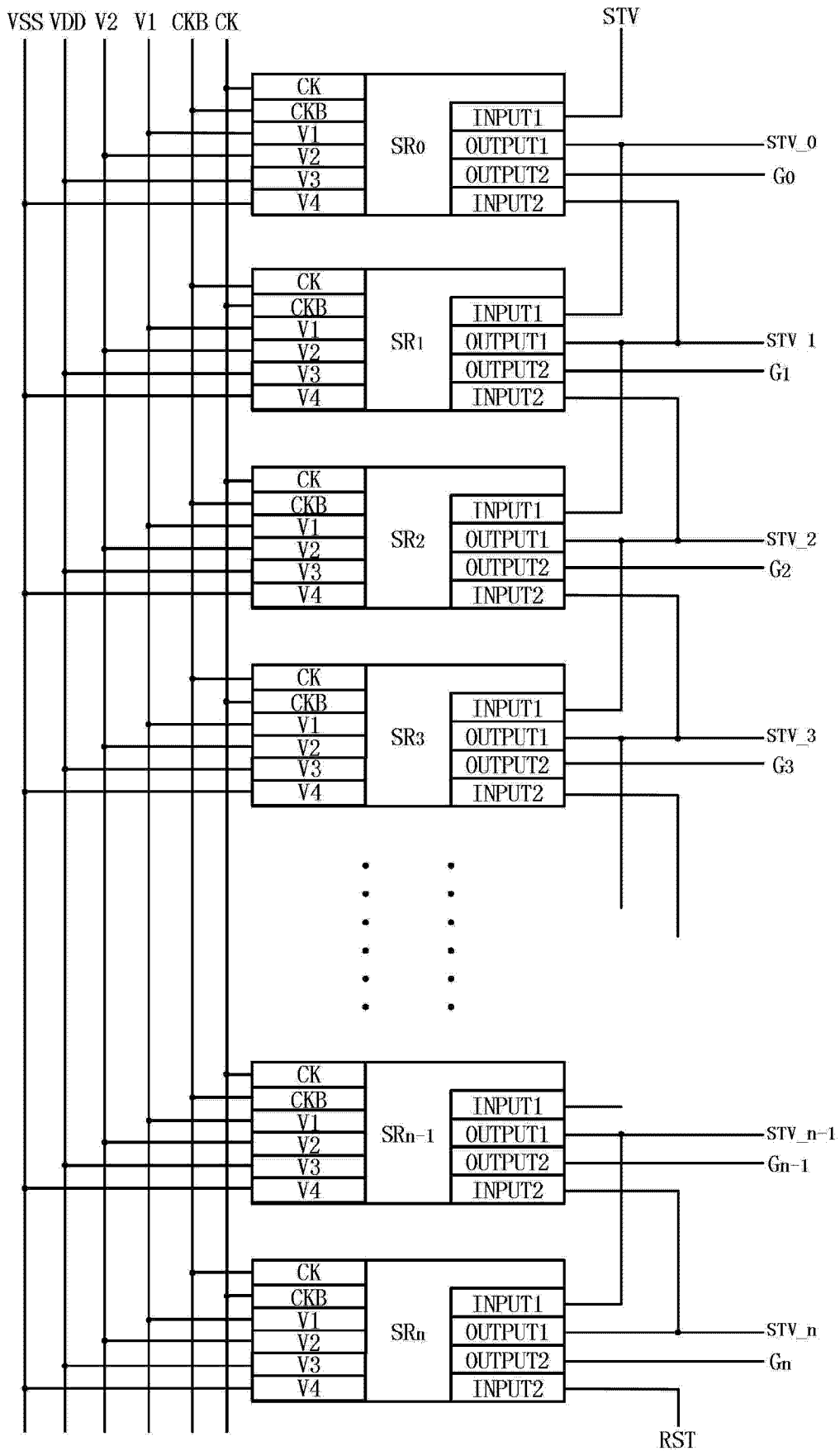


图 5