

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5633096号
(P5633096)

(45) 発行日 平成26年12月3日(2014.12.3)

(24) 登録日 平成26年10月24日(2014.10.24)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 N

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2013-28673 (P2013-28673)	(73) 特許権者	000190688
(22) 出願日	平成25年2月18日(2013.2.18)		新光電気工業株式会社
(62) 分割の表示	特願2009-191844 (P2009-191844) の分割		長野県長野市小島田町80番地
原出願日	平成21年8月21日(2009.8.21)	(74) 代理人	100077621
(65) 公開番号	特開2013-93623 (P2013-93623A)		弁理士 綿貫 隆夫
(43) 公開日	平成25年5月16日(2013.5.16)	(74) 代理人	100146075
審査請求日	平成25年2月18日(2013.2.18)		弁理士 岡村 隆志
		(74) 代理人	100092819
			弁理士 堀米 和春
		(74) 代理人	100141634
			弁理士 平井 善博
		(74) 代理人	100141461
			弁理士 傳田 正彦

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項1】

第1面とその裏面の第2面を有する感光性絶縁材と、
前記第1面に設けられ、前記第1面の一部を露出する開口部を有する補強材と、
表面に接続端子を有し、該接続端子を前記第1面に向けて前記開口部内に配置された半
導体チップと、

前記半導体チップおよび前記補強材を覆うように前記第1面に設けられた封止樹脂と、
前記感光性絶縁材に形成され、前記接続端子に通ずる貫通穴と、
前記貫通穴に形成され、前記接続端子と電氣的に接続されたビアと、
前記第2面に設けられ、前記ビアと電氣的に接続された多層の配線層および該多層の配
線層間の絶縁層と、

を備え、

前記半導体チップおよび前記封止樹脂上に設けられた前記感光性絶縁材、前記絶縁層、
および前記多層の配線層を有する配線構造の厚さが、前記半導体チップの厚さよりも薄い
ことを特徴とする半導体パッケージ。

【請求項2】

請求項1記載の半導体パッケージにおいて、
前記接続端子が、前記半導体チップの表面から突起しており、
前記接続端子が、前記感光性絶縁材中にめり込んでいることを特徴とする半導体パッ
ケージ。

10

20

【請求項 3】

請求項 1 または 2 記載の半導体パッケージにおいて、
前記半導体チップの裏面が、前記封止樹脂から露出していることを特徴とする半導体パッケージ。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の半導体パッケージにおいて、
前記封止樹脂が、モールド樹脂からなり、
前記絶縁層が、樹脂フィルムからなることを特徴とする半導体パッケージ。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の半導体パッケージにおいて、
前記配線構造には、前記感光性絶縁材側から積層される配線層のうち最上層の配線層に電極パッドが設けられていることを特徴とする半導体パッケージ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージの製造技術に関し、特に、高集積化・高密度化および微細化された半導体チップを搭載した半導体パッケージに適用して有効な技術に関する。

【背景技術】

【0002】

特開 2004 - 103665 号公報（特許文献 1）には、チップの電極が形成された面に、エネルギー線照射によりイオン交換性基を生成或いは消失させ得る絶縁性基板を配置し、露光および無電解めっきにより、チップの電極と接続された貫通導体を形成する技術が開示されている。

20

【0003】

また、特開 2004 - 47543 号公報（特許文献 2）には、チップ上にビルドアップ多層配線を形成するにあたり、チップからみて一層目は感光性樹脂膜を用いて、他の層は非感光性樹脂膜を用いて形成する技術が開示されている。このチップの電極に対応するビア孔は、感光性樹脂膜に露光、現像することにより形成される。

【0004】

また、WO 02 / 15266（特許文献 3）、WO 02 / 33751（特許文献 4）、および US 7202107（特許文献 5）には、チップの能動面とその周囲の封止樹脂上に配線層と絶縁層を積層し、パッケージ基板を形成する技術が開示されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2004 - 103665 号公報

【特許文献 2】特開 2004 - 47543 号公報

【特許文献 3】WO 02 / 15266

【特許文献 4】WO 02 / 33751

【特許文献 5】US 7202107

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体チップをパッケージ化した半導体パッケージ（半導体装置）の製造には、例えば、半田を用いたフリップチップ実装が用いられるが、半導体チップの接続端子は、半導体素子の高集積化・高密度化に伴いファインピッチ化されてきている。このため、半導体チップを実装する基板側にも微細化・高密度化に対応する処理が施されている。

【0007】

しかしながら、パッケージ基板製造の主流である、セミアディティブ法、サブトラクティブ法などで配線層をビルドアップしていく方法では、まもなく微細配線化の限界を迎え

50

るといわれている。これを解決する手段として、チップ実装に関しては、配線層のファインピッチ化のため、様々なアプローチがなされている。例えば、パッケージ基板製造について種々の微細配線形成が試みられている（例えば、特許文献3～5）。

【0008】

このように、半導体素子の高密度化に伴い、ファインピッチ化に対応した半導体パッケージへの要求が高まっている。しかし、半導体パッケージへの半導体チップの搭載に、半田によるフリップチップ実装を用いた場合、ファインピッチとなるに従い、半田のマイグレーションによって接続信頼性が低下し、これにより製造歩留まりが低下してしまう。

【0009】

また、例えば、特許文献3～5に記載の技術のような製造プロセスを用いたパッケージ基板製造は、微細配線形成には有効であるが、従来のパッケージ基板製造技術に比べ、コストが増大してしまう。また、この製造プロセスで用いられる微細配線形成技術は、非常に平滑な面にしか適用できず、例えば、有機基板のような反り、うねりがある基板上に同じデザインルールの微細配線を形成することは困難を伴い、製造歩留まりが低下してしまうことが考えられる。

【0010】

また、封止樹脂上に再配線する技術を用いる技術においても、封止樹脂上面とチップ能動面との段差や反り、封止樹脂の熱処理による熱膨張、樹脂収縮によるチップ位置ズレなどにより、微細配線を形成することは困難を伴い、製造歩留まりが低下してしまうことが考えられる。

【0011】

本発明の目的は、半導体チップとの接続信頼性を向上することのできる半導体パッケージを提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。本発明の一実施の形態における半導体パッケージは、第1面とその裏面の第2面を有する感光性絶縁材と、前記第1面に設けられ、前記第1面の一部を露出する開口部を有する補強材と、表面に接続端子を有し、該接続端子を前記第1面に向けて前記開口部内に配置された半導体チップと、前記半導体チップおよび前記補強材を覆うように前記第1面に設けられた封止樹脂と、前記感光性絶縁材に形成され、前記接続端子に通ずる貫通穴と、前記貫通穴に形成され、前記接続端子と電気的に接続されたビアと、前記第2面に設けられ、前記ビアと電気的に接続された多層の配線層および該多層の配線層間の絶縁層と、を備え、前記半導体チップおよび前記封止樹脂上に設けられた前記感光性絶縁材、前記絶縁層、および前記多層の配線層を有する配線構造の厚さが、前記半導体チップの厚さよりも薄いことを特徴とする。

【発明の効果】

【0013】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すると、この一実施の形態によれば、半導体チップとの接続信頼性を向上することのできる半導体パッケージを提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明者らが検討した製造工程中の半導体パッケージを模式的に示す断面図である。

【図2】図1に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図3】図2に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図4】本発明者らが検討した製造工程中の半導体パッケージの不具合を説明するための断面図である。

10

20

30

40

50

【図5】本発明の一実施形態における製造工程中の半導体パッケージを模式的に示す平面図である。

【図6】図5のX-X線における製造工程中の半導体パッケージを模式的に示す断面図である。

【図7】図6に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図8】図7に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図9】図8に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図10】図9に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図11】図10に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【図12】図11に続く製造工程中の半導体パッケージを模式的に示す断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。

【0016】

まず、本発明者らが検討した半導体パッケージ（半導体装置）の製造技術について図1～図4を参照して説明する。図1に示すように、粘着材2を貼った金属板1を準備する。この金属板1は半導体パッケージの製造におけるウェハー状の基材であり、粘着材2は金属板1に半導体チップ（以下、単にチップという）3を仮固定するためのものである。

【0017】

このような粘着材2を有する金属板1を準備した後、表面に接続端子4を有するチップ3（例えば2個）をその表面側で粘着材2に接着させて搭載し、チップ3をモールド樹脂5で封止する。ここで、接続端子4はチップ3の表面から突起しているため、搭載時に、接続端子4は粘着材2にめり込まれている。また、チップ3は、微細化・高密度化で形成されている。

【0018】

続いて、樹脂封止されたチップ3から、粘着材2を含む金属板1を分離（剥離）した後、図2に示すように、モールド樹脂5の表面上に感光性の絶縁膜6などを例えばスピコートによって形成した後、フォトリソグラフィ技術を用いて接続端子4に通ずるビア（via）穴7を絶縁膜6に形成する。フォトリソグラフィ技術を用いてのビア穴形成は、例えばレーザビア技術によるビア穴形成よりも、微細な径で形成することができるので、微細化・高密度化されたチップ3との接続に対応することができる。

【0019】

続いて、図3に示すように、接続端子4と電氣的に接続する導電性材（例えば、銅めっき膜）をビア穴7に形成してビア8を形成し、ビア8と電氣的に接続する配線層9を絶縁膜6上に形成する。その後、ビルドアップ法によって、配線層10、11、ビア12、13、層間絶縁膜14、15およびソルダレジスト層16が形成されて、半導体パッケージが略完成する。

【0020】

しかしながら、前述のモールド樹脂5の樹脂封止工程では、以下の問題が発生することを本発明者らは見出した。まず、樹脂封止工程時の熱（例えば、150～170程度）の影響により、金属板1の膨張やモールド樹脂5の収縮が発生し、チップ3の位置が設計基準値から大幅にずれてしまう場合がある。図4に、モールド樹脂5で封止されるチップ3a、3bの設計基準値による位置をそれぞれ破線A、Bで示し、これに対してチップ3a、3bが位置ずれしている状態を示している。

【0021】

また、図4に示すチップ3aのように、樹脂封止工程で、接続端子4上にモールド樹脂5が染み込み、電氣的接続を確保できない場合がある。樹脂封止工程の後では、金属板1をチップ3およびモールド樹脂5から分離（剥離）するが、この分離のために粘着材2と

10

20

30

40

50

チップ3との接着力は、強固とすることはせず、分離可能なものとしている。このため、粘着材2の接着力が弱すぎる場合、樹脂封止工程での封止圧により、接続端子4までモールド樹脂5が染み込む場合がある。

【0022】

一方、チップ3と粘着材2との接着力が強すぎる場合、図4に示すチップ3bのように、粘着材2にめり込んだ接続端子4の高さ分だけ、接続端子4がモールド樹脂5の表面から突出してしまうことが考えられる。

【0023】

このため、前述の工程で形成された半導体パッケージでは、例えば、絶縁膜6、層間絶縁膜14、15およびソルダレジスト層16の形成時に平坦な絶縁膜等の形成ができない場合、ビア穴7形成時のマスクずれによる接続不良が発生する場合、ビア8自体の導通不良が発生する場合などの問題が生じる。

【0024】

このように、微細化・高密度化されたチップ3の接続端子4に対して、フォトリソグラフィ技術を用いたビア穴7形成は有効であるが、前述のような問題が生じる。

【0025】

次に、前述の検討を基にした半導体パッケージ（半導体装置）の製造技術について図5～図12を参照して説明する。

【0026】

まず、図5および図6に示すように、表面21a（第1面）とその裏側の背面21b（第2面）を有する感光性絶縁材21を準備する。この感光性絶縁材21は、未硬化状態で接着性を有するものである。例えば、感光性絶縁材21は、硬化温度が200程度程度の感光性樹脂からなり、厚さが6～10μm程度である。この感光性絶縁材21としては、エポキシ系樹脂、ポリイミド系樹脂、フェノール系樹脂等の感光性樹脂を使用できる。なお、本実施形態では、表面21a側で半導体チップが感光性絶縁材21に接着（搭載）されることとなる。

【0027】

この感光性絶縁材21の背面21bには、感光性絶縁材21への露光工程で用いられる露光光（例えば、紫外線光）を透過するテープ22が接着（貼付）されている。テープ22は、感光性絶縁材21の基材であり、例えば、PET（polyethylene terephthalate）とこれに塗工されたシリコン系粘着材からなり、全体の厚さが25～30μm程度のものである。すなわち、シリコン系粘着材によってテープ22が背面21bに接着された感光性絶縁材21が準備される。この露光光を透過するテープ22は、熱膨張係数が小さいものが好ましい。感光性絶縁材21に実装される半導体チップに対して、熱膨張による位置ずれを抑制するためである。このように準備される感光性絶縁材21は、例えばフィルム状として背面21bをテープ22に接着した形態で使用できる。または、離型剤（フッ素系離型剤やシリコン系離型剤）を設けたテープ22の表面に感光性樹脂膜を塗布し、テープ22表面に層状に感光性絶縁材21を形成した形態で使用できる。

【0028】

続いて、粘着材23を有する環状の治具24（枠体）と、治具24の内側に配置され、複数の開口部25aを有する補強材25とを感光性絶縁材21の表面21aに接着する。治具24は、例えば、ステンレスなどの金属からなり、厚さが1mm程度、直径が8inch程度のものである。また、補強材25は、例えば、金属（例えば、銅、ステンレス、アルミニウム）、樹脂、またはガラスエポキシなどの剛性を有するスティフナーやフィルムからなり、厚さが例えば100μm程度のものである。

【0029】

感光性絶縁材21に粘着材23（厚さは例えば数μm程度）を介して環状の治具24を接着することで、フィルムを張った状態とすることができ、感光性絶縁材21の表面21a、背面21bを平坦に固定することができる。また、環状の治具24を用いることで、感光性絶縁材21と治具24が、半導体プロセスで用いられる略円形の半導体ウェハーと

10

20

30

40

50

同形状となり、ハンドリングなどにおいて半導体ウェハーと同様に取り扱うことができる。

【0030】

また、後の工程では、環状の治具24の内側の感光性絶縁材21の表面21a上にモールド樹脂を形成することになる。その際モールド樹脂の収縮が起こり、特に、表面21aの中心側より外側で収縮が起こる。このため、感光性絶縁材21の外側に配置されることとなる環状の治具24によって、モールド樹脂の収縮に伴うフィルム状の感光性絶縁材21の収縮を抑制することができる。

【0031】

また、感光性絶縁材21は、その背面21b側に接着されたテープ22によって剛性が確保されているが、本実施形態では、さらに、表面21a側に補強材25を接着することによって、より剛性を向上することができる。一方、パッケージの剛性(強度)が保てる場合、補強材25は不要となる。また、補強材25は、複数の開口部25aを有しており、この開口部25aからは感光性絶縁材21の表面21aが露出している。本実施形態では、この開口部25aから露出している表面21aのチップ搭載領域Cに、チップが配置されることとなる。なお、1つの開口部25aに搭載するチップの数は任意であり、1個でも複数個でも良い。

【0032】

続いて、図7に示すように、感光性絶縁材21の表面21aに、表面に接続端子26を有するチップ27をその表面側で接着し搭載する。例えば125 μ m~700 μ m程度の厚さのチップ27には、その表面側に半導体製造プロセスによって、例えば、半導体素子、配線層、それらを保護する表面保護膜(図示せず)が形成されている。この表面保護膜から露出している接続端子26は、半導体素子と電気的に接続されている。本実施形態では、接続端子26は、ローポストのようにチップ27の表面から突起しており、高さが例えば1~5 μ m程度のものである。なお、接続端子26は、後の工程でビアと接続できる面積が確保されていれば、チップ27の表面と同一面の高さでも良く、また、表面に埋め込まれた状態であっても良い。

【0033】

感光性絶縁材21にチップ27を搭載する際には、感光性絶縁材21の硬化温度より低い温度で、チップ27を加熱しながらチップ27を感光性絶縁材21の表面21aに接着している。本実施形態では、感光性絶縁材21で用いる樹脂の硬化温度は、例えば200程度であるので、チップ27の加熱は例えば100程度としている。

【0034】

このように、チップ27を加熱しながら、感光性絶縁材21に搭載することで、感光性絶縁材21と、チップ27の表面保護膜(例えば、有機系樹脂)との接着性を向上することができ、チップ27を感光性絶縁材21に固定することができる。この感光性絶縁材21は、最終的な半導体パッケージにおいて、チップ27と接着したまま残存させるので、チップ27と強力に固定して良い。

【0035】

このため、図4を参照して説明したように、樹脂封止時において、樹脂が染み出したりすることを防止することができ、接続不良を低減することができる。したがって、半導体パッケージの製造歩留まりの低下を抑制することができる。

【0036】

また、本実施形態では、感光性絶縁材21へのチップ27の実装の際には、感光性絶縁材21に対して加熱処理を施していない。図5に示したような大きさ(例えば8inch程度)の感光性絶縁材21全体を加熱し、各チップ搭載領域Cのそれぞれにチップ27を搭載する場合、感光性絶縁材21への加熱時間が長くなってしまい、感光性絶縁材21が硬化した状態となってしまうからである。

【0037】

このような感光性絶縁材21が硬化した場合、フォトリソグラフィ技術を用いた露光及

10

20

30

40

50

び現像工程において、ビア穴が設計通りに形成されず、接続不良となることが考えられる。そこで、本実施形態では、チップ27のみを加熱しながら感光性絶縁材21に接着させている。したがって、接続不良を低減することができ、半導体パッケージの製造歩留まりの低下を抑制することができる。

【0038】

また、チップ27の表面から接続端子26が突起しているような場合、チップ27を加熱しながら、感光性絶縁材21に搭載することで、接続端子26を感光性絶縁材21中にめり込ませている。チップ27の接続端子26も加熱されるので、感光性絶縁材21中へ容易にめり込ませることができ、また、感光性絶縁材21へのチップ27の接着性をより向上することができる。

10

【0039】

このため、図4を参照して説明したように、樹脂封止時において、チップの接続端子に樹脂が染み出したりすることを防止することができ、接続不良を低減することができる。したがって、半導体パッケージの製造歩留まりの低下を抑制することができる。

【0040】

続いて、図8に示すように、パターン28を有するフォトマスク（図示せず）を用いて、透明なテープ22を介して背面21b側から感光性絶縁材21を露光する。本実施形態では、パターン28に形成された開口部28aを露光光（図8中で矢印、破線で示す）が通過し、チップ21の接続端子26に到達するビア穴となる箇所の感光性絶縁材21を露光する。

20

【0041】

この露光工程では、接続端子26に到達するビア穴を形成するために、接続端子26に対する開口部28aの位置合わせが重要となる。本実施形態では、ビア穴形成の露光工程まで、図4を参照して説明したチップの位置ずれが発生してしまう樹脂封止工程を行っていないので、所望の位置に精度良く露光することができる。このため、接続端子26とビアとの接続不良を低減することができる。したがって、半導体パッケージの製造歩留まりの低下を抑制することができる。なお、本実施形態では、例えば、30 μ m程度の接続端子26の径に対して、最小のビア穴径を例えば10 μ m程度とすることができる。

【0042】

続いて、図9に示すように、補強材25とともに、感光性絶縁材21の表面21a上のチップ27を、その背面が被覆されるように樹脂封止する。これにより、チップ27はモールド樹脂29によって覆われて、保護される。この工程では、感光性絶縁材21の硬化温度（例えば、200程度）より低い温度（例えば、150～170程度）で、チップ27が樹脂封止される。

30

【0043】

感光性絶縁材21に、例えば、硬化温度以上の温度が加わった場合、後の工程で行われる現像工程において感光性絶縁材21の感光箇所（ビア穴形成箇所）で、現像が良好に行われないことも考えられる。そこで、本実施形態では、ビア穴が形成するまでは、感光性絶縁材21へ硬化温度以上の温度を加えない製造工程となるようにしている。

【0044】

また、本実施形態では、感光性絶縁材21とチップ27は固定されているので、モールド樹脂封止の際には、図4で示したような、接続不良に繋がるモールド漏れや、段差などの発生を抑制することができる。したがって、半導体パッケージの製造歩留まりの低下を防止できる。

40

【0045】

続いて、ビア穴の位置が感光された感光性絶縁材21を現像する前に、テープ22を感光性絶縁材21から分離する。感光性絶縁材21とテープ22とは、シリコン系粘着材で接着されている。本実施形態では、基材に板ではなく、テープ22を用いているので、例えば、剥離ローラによってテープ22を感光性絶縁材21から容易に剥離することができる。

50

【 0 0 4 6 】

続いて、図 1 0 に示すように、感光されている感光性絶縁材 2 1 を現像することによって、接続端子 2 6 に通ずるビア穴 3 0 (貫通穴) を感光性絶縁材 2 1 に形成する。このように、ビア穴 3 0 を形成するにあたり、フォトリソグラフィ技術を用いているが、ビア穴 3 0 を形成するにあたり、レーザビア技術を用いることも考えられる。しかしながら、レーザビア技術よりフォトリソグラフィ技術は、加工寸法を小さくすることができるので、微細化・高密度化に対応させた半導体パッケージを形成するあたり、本実施形態では、フォトリソグラフィ技術を用いて、ビア穴 3 0 を形成している。

【 0 0 4 7 】

なお、本実施形態では、感光性絶縁材 2 1 を露光した後に、チップ 2 7 を樹脂封止し、次いで、感光性絶縁材 2 1 を現像しているが、感光性絶縁材 2 1 を露光した後であれば、感光性絶縁材 2 1 を現像した後、チップ 2 7 を樹脂封止しても良い。樹脂封止工程でモールド樹脂 2 9 が収縮した場合であっても、接続端子 2 6 に通ずるビア穴 3 0 が形成されているからである。

10

【 0 0 4 8 】

続いて、図 1 1 に示すように、例えば、セミアディティブ法によって、ビルドアップ層を形成する。すなわち、本実施形態では、チップ 2 7 とモールド樹脂 2 9 上に、配線層および絶縁層が形成されることとなる。なお、以下の説明では、チップ 2 7 とモールド樹脂 2 9 上には、ビルドアップ法に配線層と絶縁層が積層されるが、実際の配線層と絶縁層は、チップ厚に比較し非常に薄いものであり、本発明では、チップ 2 7 とモールド樹脂 2 9

20

【 0 0 4 9 】

まず、接続端子 2 6 と電氣的に接続する導電性材をビア穴 3 0 に埋め込むことによってビア 3 1 を形成すると共に、ビア 3 1 と電氣的に接続する配線層 3 2 を感光性絶縁材 2 1 上に形成する。具体的には、ビア穴 3 0 内および感光性絶縁材 2 1 上に銅等の無電解めっきなどによりシード層 (図示しない) を形成した後に、ビア 3 1 及び配線層 3 2 が形成される領域に開口部が設けられたレジスト層 (図示しない) を形成する。次いで、前記シード層をめっき導通部に用いた電解めっき法によって、前記レジスト層の開口部内に、例えば銅めっき膜を形成する。次いで、前記レジスト層を剥離した後、前記銅めっき膜をマスクにして前記シード層をエッチングする。これにより、ビア穴 3 0 内に形成されたビア 3 1 と感光性絶縁材 2 1 上に形成された配線層 3 2 が一体に形成される。

30

【 0 0 5 0 】

その後、感光性絶縁材 2 1 上に形成されている配線層 3 2 を覆うように例えば $10 \mu\text{m}$ ~ $15 \mu\text{m}$ 程度の厚さの、ポリイミド等の絶縁樹脂からなる層間絶縁層 3 3 を形成した後、配線層 3 2 に到達するビア穴を形成し、そのビア穴を介して配線層 3 2 と電氣的に接続される配線層 3 4 を形成する。この配線層 3 4 は、配線層 3 2 と同様に形成され、例えば銅めっき膜からなる。次いで、例えば $20 \mu\text{m}$ ~ $25 \mu\text{m}$ 程度の厚さの、樹脂フィルムを積層して形成された層間絶縁層 3 5、および配線層 3 4 と電氣的に接続される配線層 3 6 を形成する。

【 0 0 5 1 】

次いで、層間絶縁層 3 5 上に、配線層 3 6 の表面を露出する開口部を有するソルダレジスト層 3 7 を形成する。ソルダレジスト層 3 7 は、例えば、層間絶縁層 3 5 上にフィルム状のレジストを形成した後、該レジストに対して露光・現像を行うことによって形成される。ソルダレジスト層 3 7 から露出している部分の配線層 3 6 は、電極パッドとして用いられる。この電極パッドの表面には、ニッケルめっきと金めっき等のめっき層を設けても良い。また、ソルダレジスト層 3 7 によって、外部接続端子との接続時のショート (短絡) が防止され、また保護される。このように、本実施形態では、チップ 2 7 とモールド樹脂 2 9 を基材として、その上に感光性絶縁材 2 1、配線層 3 2、3 4、3 6、層間絶縁層 3 3、3 5、ソルダレジスト層 3 7 を積層し、多層の配線構造 3 8 を得ている。

40

【 0 0 5 2 】

50

続いて、感光性絶縁材 2 1 に治具 2 4 が接着した状態で、少なくとも一つの開口部 2 5 a が含まれるよう、隣接する開口部 2 5 a 間であるチップ 2 7 周囲の、モールド樹脂 2 9、補強材 2 5、配線構造 3 8 を切断し、チップ 2 7 を有する個片を形成し、図 1 2 に示すような半導体パッケージ（半導体装置）が完成する。なお、本実施形態では、チップ 2 7 背面をモールド樹脂 2 9 で被覆した状態を示しているが、個片にする切断前に、モールド樹脂 2 9 を研磨し、チップ 2 7 背面を露出しても良い。また、配線層 3 6（電極パッド）に、はんだボール等の外部接続端子を接合後、切断し、半導体パッケージを得ても良い。

【 0 0 5 3 】

このように、本実施形態では、ビア穴形成用の露光を行った後、チップ 2 7 を樹脂封止するので、熱処理時のモールド樹脂 2 9 の膨張収縮によるチップ位置ずれの影響を受けずに感光性絶縁材 2 1 は現像され、最終的に接続端子 2 6 とビア 3 1 とを良好に電氣的に接続することができる。したがって、接続不良が低減されるため、半導体パッケージの製造歩留まりを向上することができる。

10

【符号の説明】

【 0 0 5 4 】

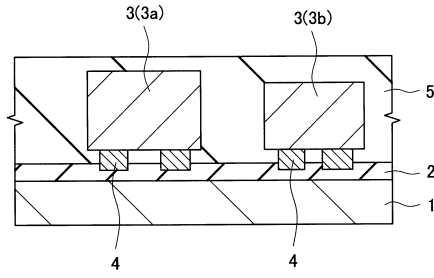
- 1 金属板
- 2 粘着材
- 3、3 a、3 b チップ
- 4 接続端子
- 5 モールド樹脂
- 6 絶縁膜
- 7 ビア穴
- 8 ビア
- 9、1 0、1 1 配線層
- 1 2、1 3 ビア
- 1 4、1 5 層間絶縁膜
- 1 6 ソルダレジスト層
- 2 1 感光性絶縁材
- 2 1 a 表面（第 1 面）
- 2 1 b 背面（第 2 面）
- 2 2 テープ（基材）
- 2 3 粘着材
- 2 4 治具
- 2 5 補強材
- 2 5 a 開口部
- 2 6 接続端子
- 2 7 チップ
- 2 8 パターン
- 2 9 モールド樹脂
- 3 0 ビア穴（貫通穴）
- 3 1 ビア
- 3 2 配線層
- 3 3 層間絶縁層
- 3 4 配線層
- 3 5 層間絶縁層
- 3 6 配線層
- 3 7 ソルダレジスト層
- 3 8 配線構造

20

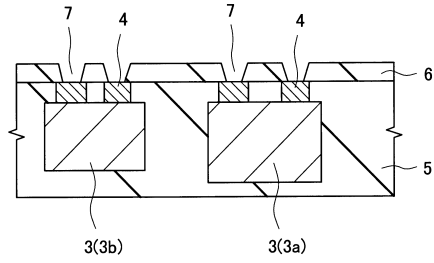
30

40

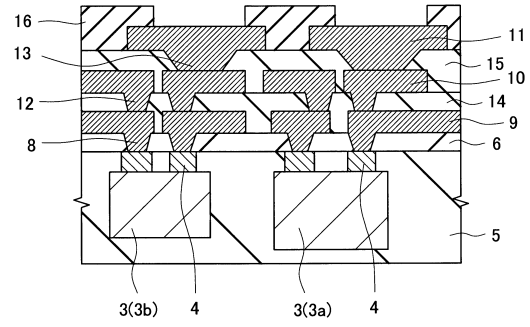
【図1】



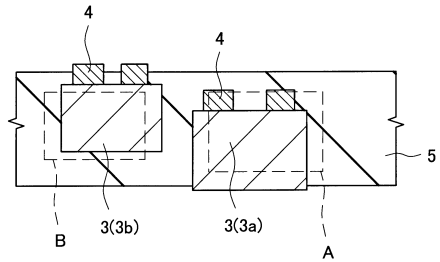
【図2】



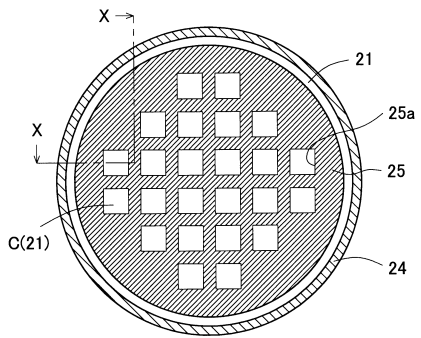
【図3】



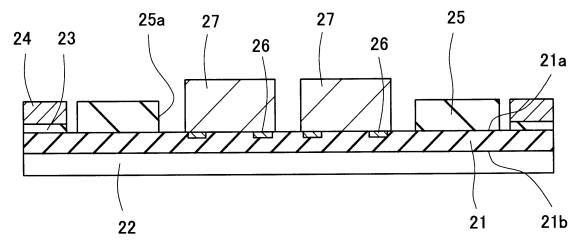
【図4】



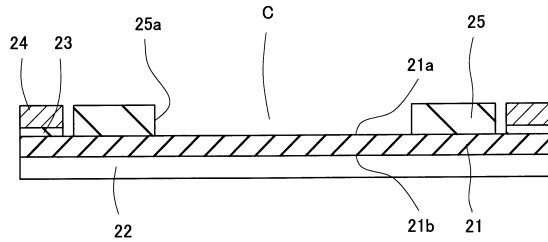
【図5】



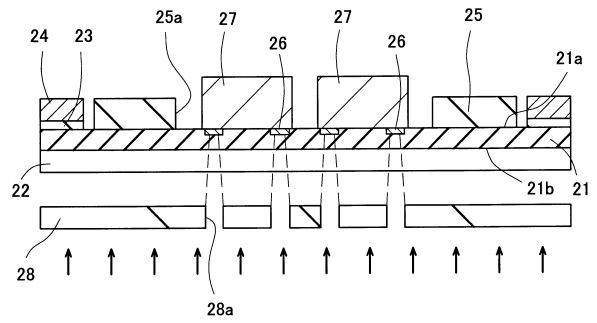
【図7】



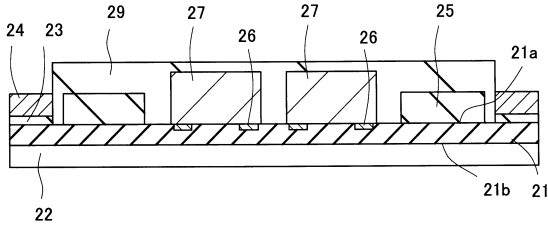
【図6】



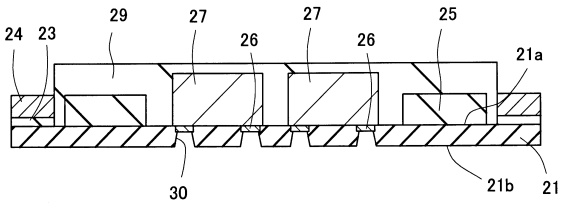
【図8】



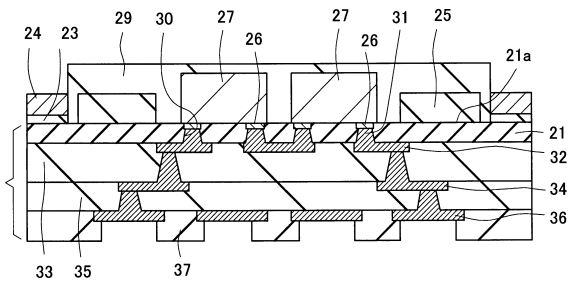
【図 9】



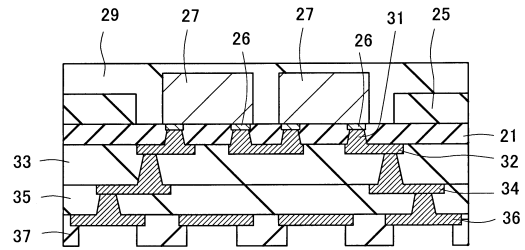
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 日詰 徹
長野県長野市小島田町80番地 新光電気工業株式会社内
- (72)発明者 立岩 昭彦
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 坂本 薫昭

- (56)参考文献 特開平11-233678(JP,A)
国際公開第2004/064150(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H01L | 23/12 |
| H05K | 3/46 |