



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I462186 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：097150976

(22)申請日：中華民國 97 (2008) 年 12 月 26 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

H03K17/687 (2006.01)

(30)優先權：2007/12/28 美國

61/017,530

(71)申請人：沃特拉半導體公司(美國) VOLTERRA SEMICONDUCTOR CORPORATION (US)
美國

(72)發明人：努尼佳馬可 A ZUNIGA, MARCO A (US)；尤埔東 YOU, BUDONG (CN)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

EP 1321985A1

US 5349225

US 2003/0128015A1

US 2005/0205897A1

US 2007/0207600A1

審查人員：張添智

申請專利範圍項數：20 項 圖式數：7 共 50 頁

(54)名稱

雙重擴散源 MOSFET (LDMOS) 電晶體中之重摻雜區及其製造方法

HEAVILY DOPED REGION IN DOUBLE-DIFFUSED SOURCE MOSFET (LDMOS) TRANSISTOR
AND A METHOD OF FABRICATING THE SAME

(57)摘要

一種電晶體包括源極、汲極與閘極。源極包括一 p 型摻雜之 p 型基體、與 p 型基體重疊之一 p+區域、在 p+區域附近而與 p 型基體重疊之一 n+區域、以及僅位於電晶體的源極區域中之一 n 型摻雜之源極、重度雙重擴散(SHDD)區域，該 SHDD 區域具有之一深度約等於第一 n+區域之深度，並且該 SHDD 區域與該第一 n+區域重疊；汲極包括一第二 n+區域以及與該第二 n+區域重疊之一 n 型摻雜之淺汲極；閘極包括一閘極氧化物與位於該閘極氧化物上之一傳導材料。SHDD 區域進一步側向延伸超過閘極氧化物下方的第一 n+區域；SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極的摻質中所使用之濃度，但低於該第一 n 型摻雜之 n+區域的摻質中所使用之濃度。

A transistor includes a source, a drain and a gate. The source includes a p-doped p-body, a p+ region overlapping the p-body, an n+ region overlapping the p-body in proximity to the p+ region, and an n-doped source, heavily double-diffused (SHDD) region, only into the source region of the transistor, the SHDD region having a depth about equal to that of the first n+ region and overlapping the first n+ region. The drain includes a second n+ region and an n-doped shallow drain overlapping the second n+ region. The gate includes a gate oxide and a conductive material over the gate oxide. The SHDD region extends further laterally than the first n+ region beneath the gate oxide. The SHDD region is implanted using a dopant concentration greater than that of the n-doped shallow drain but less than that of the first n+ region.

600 . . . 製程

602-626 . . . 步驟

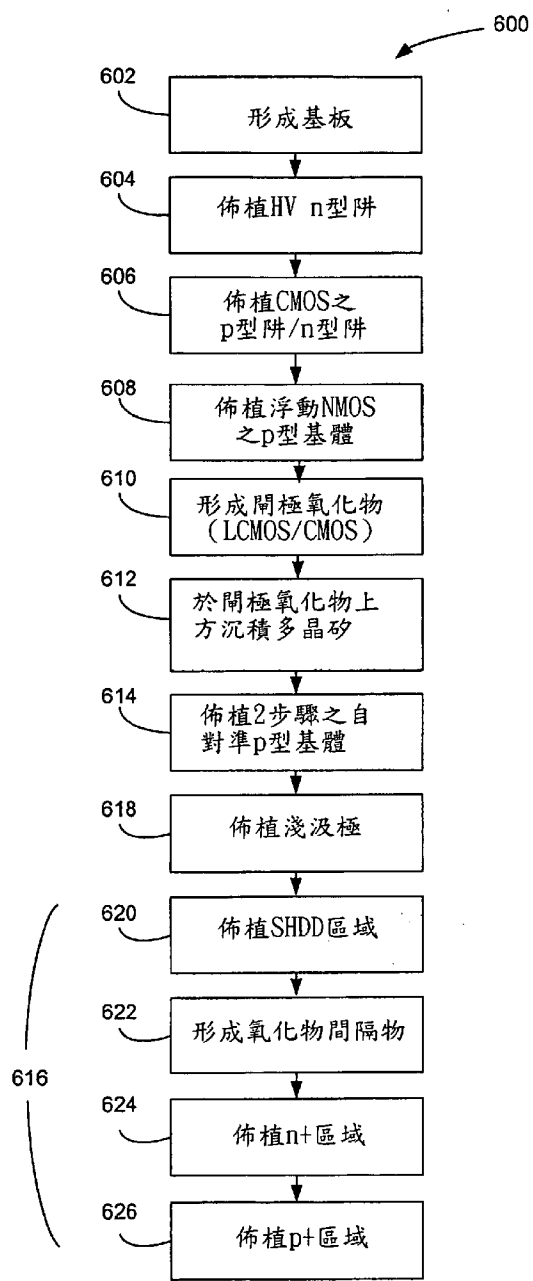


圖5

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：97150976

※ 申請日期：2008 年 12 月 26 日

※IPC 分類：

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H03K 17/687 (2006.01)

一、發明名稱：(中文/英文)

雙重擴散源 MOSFET (LDMOS) 電晶體中之重摻雜區及其製造方法
/HEAVILY DOPED REGION IN DOUBLE-DIFFUSED SOURCE MOSFET
(LDMOS) TRANSISTOR AND A METHOD OF FABRICATING THE SAME

二、中文發明摘要：

一種電晶體包括源極、汲極與閘極。源極包括一 p 型摻雜之 p 型基體、與 p 型基體重疊之一 p+ 區域、在 p+ 區域附近而與 p 型基體重疊之一 n+ 區域、以及僅位於電晶體的源極區域中之一 n 型摻雜之源極、重度雙重擴散 (SHDD) 區域，該 SHDD 區域具有之一深度約等於第一 n+ 區域之深度，並且該 SHDD 區域與該第一 n+ 區域重疊；汲極包括一第二 n+ 區域以及與該第二 n+ 區域重疊之一 n 型摻雜之淺汲極；閘極包括一閘極氧化物與位於該閘極氧化物上之一傳導材料。SHDD 區域進一步側向延伸超過閘極氧化物下方的第一 n+ 區域；SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極的摻質中所使用之濃度，但低於該第一 n 型摻雜之 n+ 區域的摻質中所使用之濃度。

三、英文發明摘要：

A transistor includes a source, a drain and a gate. The source includes a p-doped p-body, a p+ region overlapping the p-body, an n+ region overlapping the p-body in

proximity to the p+ region, and an n-doped source, heavily double-diffused (SHDD) region, only into the source region of the transistor, the SHDD region having a depth about equal to that of the first n+ region and overlapping the first n+ region. The drain includes a second n+ region and an n-doped shallow drain overlapping the second n+ region. The gate includes a gate oxide and a conductive material over the gate oxide. The SHDD region extends further laterally than the first n+ region beneath the gate oxide. The SHDD region is implanted using a dopant concentration greater than that of the n-doped shallow drain but less than that of the first n+ region.

四、指定代表圖：

(一)本案指定代表圖為：圖 5。

(二)本代表圖之元件符號簡單說明：

600 製程

602-626 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明與半導體裝置有關。

【先前技術】

電壓調節器（如 DC 對 DC 轉換器）係用於對電子系統提供穩定電壓，其中切換式電壓調節器（或簡稱為「切換式調節器」）係目前已知的一種 DC 對 DC 轉換器之有效類型。切換式調節器藉由將一輸入 DC 電壓轉換為高頻率電壓、並過濾高頻率輸入電壓以產生該輸出 DC 電壓而產生一輸出電壓；特別是，切換式調節器包括一開關以交替地耦合與解耦一輸入 DC 電壓源（例如電池）與一負載（例如一積體電路）。輸出濾波器（一般包括一電感器與一電容器），係耦合於輸入電壓源與負載之間，以過濾開關之輸出並因此提供輸出 DC 電壓。控制器（例如一脈寬調變器或一脈頻調變器）係控制該開關以維持一實質上固定的輸出 DC 電壓。

LDMOS 電晶體一般係使用於切換式調節器，這是因為其關於特定導通電阻（ R_{dson} ）與汲極對源極之崩潰電壓（ BV_{d_s} ）之間的折衝（tradeoff）性能。傳統 LDMOS 電晶體一般是透過複雜的製程而製造為具有最佳裝置性能特徵，例如透過雙極-CMOS（BiCMOS）製程或雙極-CMOS-DMOS（BCD）製程，其包括一或多個不與次微

米 CMOS 製程相容的製程步驟，一般是在生產大容量數位 CMOS 裝置（例如 $0.5\mu\text{m}$ 之 DRAM 生產技術）中專事之製造商所使用，其於下文將進一步詳細說明；因此，傳統 LDMOS 電晶體一般並非製造於這種製造商處。

現將說明專事於數位與混合訊號 CMOS 裝置生產大容量之製造商所使用的一般次微米 CMOS 製程（在本文中稱之為次微米 CMOS 製程）。次微米 CMOS 製程一般係用以製造次微米 CMOS 電晶體，亦即具有之通道長度低於 $1\mu\text{m}$ 的 PMOS 電晶體及/或 NMOS 電晶體。圖 1 繪示了透過次微米 CMOS 製程而製造於一 p 型基板 104 上的 PMOS 電晶體 100 與 NMOS 電晶體 102；PMOS 電晶體 100 係佈植於一 CMOS n 型阱 106 中。PMOS 電晶體 100 包括一源極區域 108 與一汲極區域 110，其分別具有 p 型摻雜之 p+ 區域 112 與 114。PMOS 電晶體 100 更包括閘極 116，其由閘極氧化物 118 與多晶矽層 120 所形成。NMOS 電晶體 102 係佈植於 CMOS p 型阱 122 中，NMOS 電晶體 102 更包括一源極區域 124 與一汲極區域 126，其分別具有 n 型摻雜之 n+ 區域 128 與 130。NMOS 電晶體 102 更包括由閘極氧化物 134 與多晶矽層 136 所形成之閘極 132。

圖 2 說明了一種可用於製造大容量次微米 CMOS 電晶體（例如圖 1 所示之 CMOS 電晶體）的次微米 CMOS 製程 200。製程 200 開始於形成一基板（步驟 202），該基板可為一 p 型基板或一 n 型基板；參照圖 1，CMOS 電晶

體係製造於一 p 型基板 104 上。在基板中佈植 PMOS 電晶體之 CMOS n 型阱 106 與 NMOS 電晶體之 CMOS p 型阱 122 (步驟 204)。形成每一個 CMOS 電晶體的閘極氧化物 118、134，並進行 CMOS 通道調整佈植以控制每一個 CMOS 電晶體的臨界電壓 (步驟 206)。分別在閘極氧化物 118、134 上方沉積一多晶矽層 120、136 (步驟 208)。佈植 PMOS 電晶體的 p+區域與 NMOS 電晶體的 n+區域 (步驟 210)。p+區域 112、114 與 n+區域 128、130 為高摻雜，且其提供低電阻之歐姆接觸。在次微米 CMOS 製程中，n+區域的形成一般會透過三道步驟製程而執行於如下之單一遮罩及光微影步驟：1) 佈植一輕度摻雜之 n+雜質區域，2) 形成一氧化物間隔物，以及 3) 佈植一重摻雜 n+雜質區域。p+區域的形成係以類似的方式進行。這種 n+與 p+區域的形成使電晶體可具有增進之熱載子性能。

專事於大容量數位 CMOS 裝置生產之製造商通常具有與製造商的次微米 CMOS 製程有關的固定參數，這些固定參數一般係經最佳化以供數位次微米 CMOS 電晶體的大量生產所用。舉例而言，在製程步驟 206 中，CMOS 通道調整佈植通常具有一般為固定之熱預算，並具有針對大量生產次微米 CMOS 電晶體而最佳化之參數。

如上所述，傳統 LDMOS 電晶體一般是透過複雜製程來實現最佳化之裝置性能，例如 BiCMOS 製程或 BCD 製程，其包括了一或多個不與為數位次微米 CMOS 電晶體

量產而最佳化之次微米 CMOS 製程相容的製程步驟。

圖 3A 說明了一種傳統 LDMOS 電晶體 300，其係透過 BiCMOS 製程而製造於 p 型基板 302 上。LDMOS 電晶體 300 包括了具有一 n 型摻雜之 n+區域 306、一 p 型摻雜之 p+區域 308 與一 p 型摻雜之 p 型基體 310 的源極區域 304。LDMOS 電晶體 300 也包括了具有一 n 型摻雜之 n+區域 314 與一 n 型阱 (HV n 型阱) 316 的汲極區域 302、以及閘極 318，其包括一閘極氧化物 320 與一多晶矽層 322。

在 BiCMOS 製程中，閘極氧化物 320、以及 BiCMOS 製程中製造的任何 CMOS 電晶體的閘極氧化物係於 n+區域 306 與 p 型基體 310 的佈植之前形成；因此，BiCMOS 製程允許閘極 318 在 n+區域 306 與 p 型基體 310 的佈植期間作為遮罩使用，亦即，n+區域 306 與 p 型基體 310 會相對閘極 318 進行自對準。n+區域 306 與 p 型基體 310 的自對準側向雙重擴散形成了 LDMOS 電晶體 300 的通道。

這種類型的自對準側向雙重擴散無法輕易整合於次微米 CMOS 製程中，因為後續與自對準雙重擴散有關的驅動步驟（或熱預算）會中斷與次微米 CMOS 製程步驟有關的熱預算（例如步驟 206），且需要對分配至次微米 CMOS 製程步驟的熱預算進行重新設計。亦即，自對準雙重擴散通常包括長時間與高溫的驅動步驟，其可使次微米 CMOS 電晶體的特性（例如臨界電壓）偏移。

在 LDCMOS 電晶體 300 的區域(a)中的側向摻雜輪廓控制了導通電阻 R_{dson} 的折衝性能以及汲極對源極崩潰電壓 BV_{d_s} ; 區域(b)中的垂直摻雜輪廓決定了 LDMOS 電晶體的汲極對源極崩潰電壓 BV_{d_s} ; 而區域(c)中的夾止 (pinch-off) 摻雜輪廓決定了 LDMOS 電晶體的源極對基板夾通崩潰電壓 BV_{s_sub} 。對於具浮動操作需求的 LDMOS 電晶體而言 (例如在同步降壓電路配置中作為高壓側控制開關的 LDMOS 電晶體), 源極對基板夾通崩潰電壓 BV_{s_sub} 是一種重要的參數。

圖 3B 說明了一種傳統 LDMOS 電晶體 330, 其係透過 BCD 製程而製造於 p 型基板 332 上。LDMOS 電晶體 330 包括了具有一 n 型摻雜之 n+ 區域 336、一 p 型摻雜之 p+ 區域 338 與一 p 型摻雜之 p 型基體 340 的源極區域 334。LDMOS 電晶體 330 也包括了具有一 n 型摻雜之 n+ 區域 344 與一 n 型層 (HV n 型磊晶層) 346 的汲極區域 342、以及閘極 348, 其包括一閘極氧化物 350 與一多晶矽層 352。與 BiCMOS 製程相同的是, 在 BCD 製程中, 閘極氧化物 350、以及 BCD 製程中製造的任何 CMOS 電晶體的閘極氧化物係於 n+ 區域 336 與 p 型基體 340 的佈植之前形成。

在 BCD 製程中, 可於 p 型基板 332 上成長一 n+ 埋藏層以增進 LDMOS 電晶體的源極對基板夾通崩潰電壓。這種方式提供了導通電阻 R_{dson} 與 LDMOS 電晶體的汲極對源極崩潰電壓 BV_{d_s} 之間的較佳折衝性能, 這是因為

LDMOS 電晶體的側向摻雜輪廓可被最佳化、而不限制垂直摻雜輪廓。然而，這種 BCD 製程包括 HV n 型磊晶層 346 的成長，而這個步驟通常不與次微米 CMOS 製程相容。

另一種用於 BCD 製程的方式是，利用佈植於 LDCMOS 電晶體 364 的汲極區域 362 中的 n 型層 360 如圖 3C 所示。n 型層 360、n+區域 366 與 p 型基體 368 係於形成閘極氧化物 372 後進行佈植。加入 n 型層 360 提供了另一參數來進一步使 LDMOS 電晶體的導通電阻 R_{dson} 與汲極對源極崩潰電壓 BV_{d_s} 之間的折衝特性最佳化。類似於圖 3B 所示的埋藏層方式，在表面處加入 n 型層 360 提供了一種方法以解耦垂直與水平摻雜限制。

【發明內容】

在一構想中，一種用於製造於一基板上具有一源極區域、一汲極區域與一閘極區域之電晶體的方法包括：於該基板之一表面中佈植一 n 型摻雜之 n 型阱；於該電晶體之一源極區域與一汲極區域之間形成一閘極氧化物；以一傳導材料覆蓋該閘極氧化物；於該電晶體之該源極區域中佈植一 p 型摻雜之 p 型基體；於該電晶體之該源極區域中佈植一第一 n 型摻雜之 n+區域，以與該 p 型基體重疊；僅於該電晶體之該源極區域中佈植一源極、重度雙重擴散 (SHDD) 區域以與該 p 型基體重疊，該 SHDD

區域係一 n 型摻雜區域，其佈植之深度約與該第一 n 型摻雜之 n+區域相等，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+區域的一部分重疊；於該電晶體的該源極區域中佈植一 p 型摻雜之 p+區域，該 p 型摻雜之 p+區域係位於該第一 n 型摻雜之 n+區域的鄰近處；於該電晶體之該汲極區域中佈植一第二 n 型摻雜之 n+區域；以及於該汲極區域中佈植一 n 型摻雜之淺汲極，其中該 SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極的摻質中所使用之濃度，但低於該第一 n 型摻雜之 n+區域的摻質中所使用之濃度。

實施方式可包括下列一或多者：該 SHDD 區域圍繞整個第一 n 型摻雜之 n+區域。於佈植該 SHDD 之後、但在佈植該第一 n 型摻雜之 n+區域與該第二 n 型摻雜之 n+區域之前，於該閘極氧化物的每一側形成一氧化物間隔物。該氧化物間隔物是在形成該第一 n 型摻雜之 n+區域與該第二 n 型摻雜之 n+區域之前形成。該 SHDD 是在形成該閘極氧化物之後形成。在該源極區域中，該 SHDD 的一表面區域、該第一 n 型摻雜之 n+區域的一表面區域以及該第一 p 型摻雜之 p+區域的一表面區域係位於該 p 型摻雜之 p 型基體的一表面區域內。該 p 型摻雜之 p+區域係鄰靠該第一 n 型摻雜之 n+區域。

在另一構想中，一種電晶體包括了一源極、一汲極以及用於控制源極與汲極間空乏區之一閘極。源極包含：

一 p 型摻雜之 p 型基體；一 p 型摻雜之 p+區域，其與該 p 型基體重疊；一第一 n 型摻雜之 n+區域，其與該 p 型摻雜之 p+區域鄰近處之該 p 型基體重疊；及一 n 型摻雜之源極、重度雙重擴散 (SHDD) 區域，其僅位於該電晶體的該源極區域中，該 SHDD 區域與該 p 型基體重疊，該 SHDD 區域的深度約相等於該第一 n 型摻雜之 n+區域的深度，且該 SHDD 區域與該第一 n 型摻雜之 n+區域重疊。汲極包含一第二 n 型摻雜之 n+區域；及一 n 型摻雜之淺汲極，其與該第二 n 型摻雜之 n+區域重疊。閘極包括一閘極氧化物以及位於該閘極氧化物上方之一傳導材料，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域。該 SHDD 區域係經佈植，其使用之一摻質濃度係高於該 n 型摻雜之淺汲極的摻質中所使用之濃度，但低於該第一 n 型摻雜之 n+區域的摻質中所使用之濃度。

實施方式可包括下列一或多者：該第二 n+區域係延伸深於該 n 型摻雜之淺汲極。該 SHDD 區域圍繞整個第一 n 型摻雜之 n+區域。該 p 型摻雜之 p+區域係鄰靠該第一 n 型摻雜之 n+區域。

在另一構想中，一種用於製造於一基板上具有一源極區域、一汲極區域與一閘極區域之電晶體的方法包括：於該電晶體的一源極區域與一汲極區域之間形成一閘極氧化物；以一傳導材料覆蓋該閘極氧化物；於該電晶體之該源極區域中佈植一 p 型摻雜之 p 型基體；於該電晶

體之該源極區域中佈植一第一 n 型摻雜之 n+區域於該 p 型基體中；僅於該電晶體之該源極區域中佈植一源極、重度雙重擴散 (SHDD) 區域以與該 p 型基體重疊，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+區域的一部分重疊，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域；於該電晶體的該源極區域中佈植一 p 型摻雜之 p+區域於該 p 型基體中，該 p 型摻雜之 p+區域係位於該第一 n 型摻雜之 n+區域的鄰近處；於該汲極區域中佈植一第二 n 型摻雜之 n+區域；及於該汲極區域中佈植一 n 型摻雜之淺汲極，該 n 型摻雜之淺汲極延伸至該閘極氧化物下方以接觸該 p 型摻雜之 p 型基體；以及於該電晶體之該源極區域中佈植一 p 型摻雜之 p+區域。

實施方式包括下述一或多者：該 SHDD 區域圍繞整個第一 n 型摻雜之 n+區域。該 SHDD 區域係經佈植，其佈植之深度約等於該第一 n 型摻雜之 n+區域之深度。該 SHDD 區域使用之一雜質濃度係低於用於該第一 n 型摻雜之 n+區域之佈植的濃度。該 SHDD 區域使用之一摻質濃度係高於用於該 n 型摻雜之淺汲極之佈植的濃度。該 p 型摻雜之 p+區域係鄰靠該第一 n 型摻雜之 n+區域。

在另一構想中，一種電晶體包括一源極、一汲極以及用於控制源極與汲極間空乏區之一閘極。源極包含：一 p 型摻雜之 p 型基體；一 p 型摻雜之 p+區域，其與該 p 型基體重疊；一第一 n 型摻雜之 n+區域，其與該 p 型摻

雜之 p+區域鄰近處之該 p 型基體重疊；及一 n 型摻雜之源極、重度雙重擴散 (SHDD) 區域，其僅位於該電晶體的該源極區域中，該 SHDD 區域與該 p 型基體重疊，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+區域重疊。汲極包含：一第二 n 型摻雜之 n+區域；及一 n 型摻雜之淺汲極。閘極包含一閘極氧化物以及位於該閘極氧化物上方之一傳導材料，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域；其中該 n 型摻雜之淺汲極延伸至該閘極氧化物下方以接觸該 p 型摻雜之 p 型基體。

實施方式包括下述一或多者：該第二 n+區域延伸達深於該 n 型摻雜之淺汲極。該第二 n 型摻雜之 n+區域係自對準至該電晶體的該閘極。該 p 型基體包圍該第一 n+區域。該 p 型基體係深於該 p+區域、該第一 n+區域與該 SHDD 區域。該 SHDD 區域圍繞整個第一 n 型摻雜之 n+區域。該 SHDD 區域係佈植至達約等於該第一 n 型摻雜之 n+區域的深度。該 SHDD 區域之佈植所使用之一雜質濃度係低於該第一 n 型摻雜之 n+區域之佈植所使用之一雜質濃度。該 SHDD 區域的一外邊界係與該第一 n 型摻雜之 n+區域的一外邊界對齊。該 p 型摻雜之 p+區域鄰靠該第一 n 型摻雜之 n+區域。

在另一構想中，一種電壓調節器具有一輸入終端與一輸出終端，該輸入終端係耦接至一輸出電壓源，且該輸出終端係耦接至一負載，該電壓調節器包括：一電源開

關，其包括如上所述之電晶體；以及一過濾器，其提供一一般 DC 輸出電壓於該輸出終端。該電源開關的工作週期係控制供應至該輸出終端的電源。

以下將參照伴隨圖式與說明來描述本發明之一或多個實施方式的細節。本發明之其他特徵、目的與優勢可由說明與圖式中、以及從申請專利範圍中清楚得知。

【實施方式】

圖 4A 繪示了 LDMOS 電晶體 416 的特定實施方式的截面示意圖。LDMOS 電晶體 416 可為一電源開關，例如電壓調節器中的電源開關，如在降壓轉換器拓樸中使中間終端連接接地的低壓側電源開關、或在降壓轉換器拓樸中使輸入電壓連接接地的高壓側電源開關、在升壓轉換器拓樸、降壓-升壓轉換器拓樸、或各種轉換器接合拓樸中的電源開關。在這樣的電壓調節器中，電源開關的工作週期控制了供應至輸出終端的電源，而過濾器於輸出終端處提供了一般為 DC 之輸出電壓。

LDMOS 電晶體 416 可製造於 n 型阱 (HV n 型阱) 500B (例如高電壓 n 型阱) 上，其係佈植於 p 型基板 502 中。HV n 型阱之佈植一般為深度佈植，且相較於 CMOS n 型阱而言一般為較輕度之佈植。HV n 型阱 500B 可具有逆行的垂直摻雜輪廓，LDMOS 電晶體 416 一般包括一源極區域 506、一汲極區域 508 與一閘極區域 507。

現再參照圖 4A，源極區域 506 一般包括一 p 型摻雜之 p+區域 515、n 型摻雜之 n+區域 517 以及 p 型摻雜之 p 型基體 522。汲極區域 508 一般包括一 n 型摻雜之 n+區域 525 與一 n 型摻雜之淺汲極 (N-LD) 527。源極區域 506 還包括一 n 型源極、重度雙重擴散 (SHDD) 區域 518 (在某些內容中，SHDD 區域可視為 n+區域的一部份)。可使用與傳統 CMOS 製程中針對 NLDD 區域所執行的相同技術來佈植 LDMOS 電晶體的 SHDD 區域 518。

如圖所示，SHDD 區域 518 與 n 型摻雜之 n+區域的一部份重疊，且可延伸於閘極氧化物 512 下方越過 n+區域 517。在這些實施方式中，SHDD 可在氧化物間隔物形成前即進行佈植，因而使 SHDD 區域 518 進一步延伸至超過 n+區域 517 的通道中。

若基板上 CMOS 電晶體的 N-LDD 區域使用相同的摻雜深度與濃度，則 SHDD 區域 518 可被同時佈植，且以與基板上任一 CMOS 電晶體中 N-LDD 區域相同的製程進行佈植。可使用不同的遮罩來進行 SHDD 區域 518 與 n 型摻雜之 n+區域 517 的佈植，因而使 SHDD 區域可以被選擇性地放置在源極區域上。或者是，可以使用相同的遮罩來佈植 SHDD 區域 518 以及 n 型摻雜之 n+區域 517，以控制 SHDD 區域 518 與 n 型摻雜之 n+區域 517 之間的重疊區域。在這些實施方式中，可使用與用於形成源極中 n 型摻雜之 n+區域 517 不同的遮罩來佈植汲極中的 n 型摻雜之 n+區域 525，使得在汲極中不佈植 SHDD。使用不同的遮罩也可提供關於 n 型摻雜之 n+區域 525 與 n

型摻雜之 n+區域 517 相對摻質濃度的彈性。

在部分實施方式中，SHDD 區域 518 可延伸至約與 n 型摻雜之 n+區域 517 相同的深度（亦即 SHDD 區域 518 可延伸至基板 508 中與 n 型摻雜之 n+區域 517 相同的深度）。從閘極向外之 SHDD 區域 518 的邊界可位於比 n 型摻雜之 n+區域 517 外邊界更靠近閘極處，或其可與 n 型摻雜之 n+區域 517 的邊界對齊並鄰接 p 型摻雜之 p+區域 515 的邊界。

汲極區域 508 中的 HV n 型阱 500B、N-LD 527 與 n+區域 525 是含有摻雜材料的部分；同樣的，源極區域 526 中的 n+區域 517、p+區域 515 與 p 型基體 522 是含有摻雜材料的部分。在部分實施方式中，N-LD 527 與 HV n 型阱 500B 兩者都具有比 n+區域 517 及 525 更低的雜質濃度；在這些部分重疊處會具有比個別部分更高的摻質濃度。舉例而言，相較於其他重疊部分，含有 n+區域 525、N-LD 527 與 HV n 型阱 500A 重疊部分的部分 524 具有最高的摻雜濃度，而含有排除 n+區域 525 外之 N-LD 527 與 HV n 型阱 500A 重疊部分的部分 526 具有比部分 524 低的摻雜濃度；至於僅含 HV n 型阱 500B 的部分 504 則可具有比部分 524 或 526 更低的摻雜濃度，這是因為其並不包括多重重疊摻雜部分。

SHDD 區域 518 之佈植所使用之摻質濃度係低於 n+區域 517 所使用者，且高於 N-LD 區域 526 中所使用之濃度。因此，在部分實施方式中，SHDD 區域 518 與 n+區域 517 重疊的部分可

具有比未重疊部分更高的雜質摻雜濃度。在這些實施方式中，含有 SHDD 區域 518 的部分（亦即 SHDD 部分 520）可具有比 p 型基體 522 高的摻雜濃度。

現參照圖 4B，p+區域 514、n+區域 516 與 524、SHDD 區域 520、p 型基體 522 與 N-LD 區域 526 等部分於 LDMOS 電晶體 416 的表面 532 上各具有其表面區域。HV n 型阱 500B 具有表面區域 534。舉例而言，在汲極區域 508 中，N-LD 區域的部分 526 具有表面區域 536，其位於 HV n 型阱 500B 的表面區域內；n+區域的部分 524 具有之表面區域 538 係位於 N-LD 區域的部分 526 的表面區域 536 內。在源極區域 506 中，p 型基體 522 具有之表面區域 540 係位於表面區域 534 內，而 p+區域的部分 514 與 n+區域的部分 516 則分別具有表面區域 544 及 542，其各位於 p 型基體 522 的表面區域 540 內。

在 SHDD 區域 518 擴散至 p 型基體 522 內的實施方式中，SHDD 區域 518 的部分 520 也可具有位於表面區域 534 內之表面區域 548。SHDD 區域 518 與 n+區域之部分 516 重疊的部分具有之表面區域可位於 LDMOS 電晶體 416 上。

圖 5 說明了一種製造半導體裝置的示例製程 600，該半導體裝置包括一 SHDD LDMOS 電晶體、具有浮動操作能力（亦即電晶體的源極未接地）之一 PMOS 電晶體以及具有浮動操作能力之一 NMOS 電晶體，該製程係與次微米 CMOS 製程相容。

製程 600 開始於形成一基板（步驟 602），該基板可為 p 型基板或 n 型基板；參照圖 6A 的實例，其形成了包括

一 p 型基板 502 之半導體層。接著，如圖 6B 所示，在 p 型基板 502 中佈植 LDMOS 電晶體之 HV n 型阱 500A、以及具浮動操作能力之 PMOS 電晶體與具浮動操作能力之 NMOS 電晶體之 HV n 型阱 500B (步驟 604)。在部分實施方式中，HV n 型阱 500A 與 500B 可被整合為單一阱；或者是，HV n 型阱 500A 與 500B 可被佈植為獨立阱。可同時佈植或依次佈植 HV n 型阱 500A 與 500B。

CMOS n 型阱 106 (例如用於 PMOS 電晶體者) 以及 CMOS p 型阱 122 (例如用於 NMOS 電晶體者) 係佈植至 p 型基體 502 中，如圖 6C 所示 (步驟 606)。雖然說明的例子是在 HV n 型阱 500A 與 500B 之後形成 CMOS p 型阱 122，但此順序也可以相反，也就是在佈植 HV n 型阱 500A 與 500B 之前先形成 CMOS n 型阱 106 與 CMOS n 型阱 122。在部分實施方式中，可使用例如單一遮罩來同時佈植 HV n 型阱 500A 與 500B 以及 CMOS n 型阱 106。在其他實施方式中，是依次 (且可以任何順序) 佈植各 HV n 型阱 500A 與 500B 以及 CMOS n 型阱 106。

參照圖 6D，可佈植具有浮動操作能力之 NMOS 電晶體之 p 型基體 (步驟 608)。舉例而言，具有浮動操作能力之 NMOS 電晶體之 p 型基體 700 可被佈植至 HV n 型阱 500A 中。

在佈植了浮動 NMOS 電晶體之 p 型基體 700 後，可形成 LDMOS 電晶體、具浮動操作能力的 PMOS 電晶體、具浮動操作能力的 NMOS 電晶體以及 CMOS 電晶體各所

需之閘極氧化物（步驟 610）。在部分實施方式中，可同時或依次形成各閘極氧化物。舉例而言，LDMOS 電晶體的閘極氧化物可與 CMOS 電晶體的閘極氧化物同時形成，使得 LDMOS 電晶體可建立出與 CMOS 電晶體相同的臨界電壓與閘極氧化物厚度。或者是，LDMOS 電晶體的閘極氧化物可以在與 CMOS 電晶體不同的時間或以不同厚度形成，以彈性地使 LDMOS 電晶體所具有之專用閘極氧化物厚度可大於或小於 CMOS 電晶體。在這些實施方式中，當 LDMOS 電晶體的閘極氧化物是形成為比 CMOS 電晶體的閘極氧化物厚時，LDMOS 電晶體可允許較高的閘極驅動應用，而不直接使用低電壓電源供應器。這種彈性使 LDMOS 電晶體可根據電源傳送應用的特定需求而產生最佳化，例如在特定操作頻率下的效率目標。

可於 p 型基板 502 的表面 702 上、HV n 型阱 508B 上方形成 LDMOS 電晶體 512 的閘極氧化物（步驟 610）；同樣的，可在 p 型基板 502 的表面 702 上、HV n 型阱 508B 上方形成 PMOS 電晶體（具有浮動操作能力）的閘極氧化物 706A 與 NMOS 電晶體（具有浮動操作能力）的閘極氧化物 706B。此外，可分別在 p 型基板 502 表面上、CMOS n 型阱 106 的上方以及 p 型基板 502 表面上、CMOS p 型阱 122 的上方分別形成閘極氧化物 118 與閘極氧化物 134。

如圖 6E 所示，接著在閘極氧化物上方沉積多晶矽層

(步驟 612)。多晶矽層可做為電晶體電極以供內部互連之用。如圖 6E 所示，多晶矽層 510、708A 與 708B 可分別沉積於閘極氧化物 512、閘極氧化物 706A 與閘極氧化物 706B 上。同時，可在形成於 CMOS n 型阱 106 上方的閘極氧化物 118 上、以及在形成於 CMOS p 型阱 122 上方的閘極氧化物 134 上沉積多晶矽層 120 與多晶矽層 136。

如圖 6F 所示，在特定實施方式中，可接著佈植用於 LDMOS 電晶體的源極區域所需之自對準 p 型基體 522 (步驟 614)。在這些實施方式中，p 型基體 522 係佈植入 HV n 型阱 508B 中。

參照圖 6G，佈植淺汲極 (N-LD) 527 並使其擴散至 LDMOS 電晶體的汲極中 (步驟 618)。在部分實施方式中，是在形成 LDMOS 電晶體的前或後佈植淺汲極 527 (亦即，淺汲極 527 可以是非自對準或自對準於 LDMOS 電晶體的閘極 507)。淺汲極 527 可利用 LAT 佈植或以上述之直角傾斜佈植方式進行佈植。

在步驟 620 中，實施 SHDD 區域 518 之佈植，然後接著於步驟 624 進行 n+區域之佈植。一旦形成 SHDD 區域 518，如圖 6H 所示，LDMOS 電晶體係佈植為在汲極處具有 n+區域 525，而在源極處具有 n+區域 517。n+區域 710 與 712 係分別佈植於具浮動操作能力之 NMOS 電晶體的汲極與源極處。同時也在 CMOS p 型阱 122 的源極與汲極區域處分別佈植 n+區域 128 與 130。

雖然說明的是根據 SHDD 對於閘極的所需對準而在佈植 n+區域之前先佈植 SHDD 區域 518，但此順序也可以相反，因此可在 n+區域佈植後再進行 SHDD 區域 518 之佈植。在上述任一實施方式中，SHDD 區域 518 可具有與 n+區域 517 相同的深度（亦即 SHDD 區域 518 向 p 型基板 502 延伸至約與 n+區域 517 相同深度）。

在形成 SHDD 區域 518 與 n+區域之後，進行 LDMOS 電晶體、具浮動操作能力之 PMOS 電晶體、具浮動操作能力之 NMOS 電晶體以及 CMOS 電晶體的 p+區域佈植（步驟 626）。如圖 6I 所示，分別於具浮動操作能力之 PMOS 電晶體的汲極與源極處佈植 p+區域 714A 與 714B，同時在 LDMOS 電晶體的源極處佈植 p+區域 515；分別在 PMOS 電晶體的源極與汲極處佈植個別的 p+區域 112、114。每一個 p+區域都可以獨自或同時形成。

圖 6J 至圖 6L 更詳細地說明步驟 616。參照圖 6J，在淺汲極（N-LD）527 佈植並擴散至 LDMOS 電晶體的汲極中（如步驟 614）後，SHDD 區域 518 係佈植入 LDMOS 電晶體的源極中（步驟 620）。可佈植 SHDD 區域 518 使其延伸於先前形成於 HV n 型阱上的閘極氧化物 512 下方。SHDD 區域 518 會與 n+區域 517 的外邊界（例如遠離汲極的邊界）對齊，並鄰接 p+區域 515。或者是，SHDD 區域 518 可佈植為與 p+區域 515 相距一預定距離。

接著，如 6K 所示，形成與閘極氧化物 512 與多晶矽 510 相鄰的一對氧化物間隔物 530（步驟 622）。在形成

氧化物間隔物之後，進行 n+區域之佈植（步驟 624）。可以汲極處的 n+區域以及源極處的另一 n+區域來佈植 LDMOS 電晶體。n+區域 517 及 525 可分別形成於 SHDD 區域 518 及 N-LD 區域 527 上方，如圖 6L 所示。也可以在具有浮動操作能力之 NMOS 電晶體的汲極與源極處以及在 CMOS p 型阱 122 的源極與汲極區域佈植 n+區域。基於設計應用，可在氧化物間隔物形成之前先進行 n+區域之佈植。

可利用與 n+區域相似之兩段式佈植來形成 p+區域。亦即，可以在形成氧化物間隔物之前佈植 SHDD 區域，並在氧化物間隔物形成之後佈植 p+區域。

在這些實施方式中，因為閘極具有部分有限源極/汲極重疊，故可先形成閘極（或閘極氧化物），然後再利用其作為擴散或佈植遮罩以定義源極與汲極區域，以排除源極及/或汲極運行於閘極氧化物下方。一旦閘極形成，閘極可於 n+區域及 p 型基體佈植期間作為遮罩使用，使其可對閘極呈現自對準。如圖所示，LDMOS 電晶體的 n+區域 517 及 525 係經佈植且相對於對應的閘極氧化物自對準。

在部分實施方式中，LDMOS 電晶體只有一側（例如源極）會包括 SHDD 區域。舉例而言，可利用一段式製程來形成 n+區域 525，這是因為 LDMOS 電晶體的汲極並不包括 SHDD 區域。

在部分實施方式中，係以所列出的次序、平行地（藉

由相同或不同製程、連續或不連續) 來實施步驟 602 至 626，或是以不同的順序來達到相同的結果。舉例而言，在形成 p 型基板 502 後，可在佈植 HV n 型阱 500A 與 500B 之前先佈植 CMOS n 型阱 106 與 CMOS p 型阱 122。在另一實例中，可在佈植 n+ 區域前形成 p+ 區域，並在佈植 N-LD 區域前形成 SHDD 區域。在另一實例中，可在形成閘極氧化物之前或佈植自對準 p 型基體前佈植 N-LD 區域 527。

然而，上述次序並不限於所繪示者。舉例而言，可在形成 SHDD 區域 518 前佈植 n+ 區域 517，使得 SHDD 區域 518 可與閘極氧化物 512 自對準，並在後續形成 SHDD 區域 518 後與 n+ 區域 517 重疊。

在部分實施方式中，係以所列出的次序、平行地（藉由相同或不同製程、連續或不連續）來實施步驟 602 至 626，或是以不同的順序來達到相同的結果。舉例而言，可在形成氧化物間隔物之前佈植 n+/p+ 區域。在另一實例中，可在佈植 N-LD 區域前佈植 SHDD 區域。在另一實例中，可在步驟 618、622、624 與 626 中任一步驟前或後形成 SHDD 區域。

在其他實施方式中，可根據特定設計應用而省略步驟 602 至 626 中一或多個步驟、或省略其組合。在其他實施方式中，步驟 602 至 626 中任一步驟可同時或連續執行兩次，而非單次執行。

相較於傳統技術而言，製程 600 提供了一種潛在優

勢，因為可藉由製程 600 之較佳關鍵尺寸 (CD) 控制來緩和及補償 p 型基體 522 與 n+區域 516 不匹配而引起的任何通道長度變化。

同時，PMOS 電晶體一般係形成於 CMOS n 型阱上。在可容忍 CMOS 電晶體臨界電壓偏移的應用中，PMOS 電晶體可直接佈植於一 HV n 型阱中，例如在圖 6H 所示之具有浮動操作能力的 PMOS 電晶體。直接在 HV n 型阱中佈植 PMOS 電晶體的優點在於可使製程 600 省略一道 CMOS n 型阱佈植與遮罩步驟 (仍維持其熱循環)，藉以降低整個製程的製造成本。

由於 SHDD 的佈植深度約等於 n+區域 516，且其摻質濃度高於 n 型摻雜之淺汲極佈植所使用者、但低於 n+區域 516 之佈植所使用者，故其提供了良好的 $R_{ds(on)}$ ，同時增加了電晶體的安全操作區域 (SOA)，亦即電晶體抵抗高汲極電壓之高電流的能力。

圖 7A 至 7B 說明了 LDMOS 電晶體 416 的其他實施方式。在這些實施方式中，同時存在 SHDD 區域 518 (見圖 4A-4B) 且 N-LD 區域 826 係延伸於閘極 507 下方 (見圖 7A-7B) 以接觸 p 型基體。在特定實施方式中，N-LD 區域 826 與 SHDD 區域 516 及/或 n 型摻雜之 n+區域 516 重疊，圖 7B 說明了這些實施方式的對應表面區域與部分。此配置可於低閘極驅動電壓下提供類似的 $R_{ds(on)}$ 。

SHDD 區域也可併入電晶體結構中，其方式類似於美國專利公開號 2007-0207600 中所描述的 N-LDS 區域，

其揭示內容亦藉由引用形式而納入本文。本發明的多種實施方式係已加以描述，然而，應知亦可進行不同的修飾方式，其接不背離本發明之精神與範疇。舉例而言，LDMOS 電晶體不限於 DC-DC 轉換器的應用，電晶體也可用於例如 LED 驅動器或 RF 放大器等應用中。因此，其他實施方式不脫於下述申請專利範圍的範疇。

【圖式簡單說明】

圖 1 是形成在一 p 型基板上的傳統 PMOS 電晶體與 NMOS 電晶體的截面示意圖。

圖 2 是一流程圖，其說明了用於製造 CMOS 電晶體之傳統次微米 CMOS 製程。

圖 3A、3B 與 3C 是傳統 LDMOS 電晶體的截面示意圖。

圖 4A-4B 分別為 SHDD LDMOS 電晶體的截面示意圖以及 SHDD LDMOS 電晶體的源極與汲極區域表面區域的三維視圖。

圖 5 是一流程圖，其說明了用於製造一半導體電晶體的示例製程，該半導體電晶體包括一 SHDD LDMOS 電晶體，該製程係與次微米 CMOS 製程相容。

圖 6A-6L 根據圖 5 之示例製程而說明了製造 SHDD LDCMOS 電晶體、PMOS 電晶體與 NMOS 電晶體的示例製程。

圖 7A-7B 分別為具有延伸 N-LD 區域之 SHDD LDMOS

電晶體的截面示意圖及其源極與汲極區域的表面區域的三維視圖。

不同圖式中的相同元件符號代表相同的元件。

【主要元件符號說明】

100	PMOS 電晶體
102	NMOS 電晶體
104	基板
106	n 型阱
108、124	源極區域
110、126	汲極區域
112、114	p+區域
116、132	閘極
118、134	閘極氧化物
120、136	多晶矽層
122	p 型阱
128、130	n+區域
200	製程
202~210	步驟
300、330、364	LDMOS 電晶體
302、332	p 型基板
304、334	源極區域
306、314、336、344	n+區域

366、	
308、338	p+區域
310、340、368	p型基體
312、342、362	汲極區域
316、	n型阱
318、348、370	閘極
320、350、372	閘極氧化物
322、352	多晶矽層
346、360	n型層
354	n型埋藏層
416	LDMOS電晶體
500A、500B	n型阱
502	p型基板
506	源極區域
507	閘極
508	汲極區域
512	閘極氧化物
515	p+區域
517	n+區域
518、520	SHDD區域
522	p型基體
525	n+區域
527	N型摻雜之淺汲極 (N-LD)
532	表面

534 ~ 548	表面區域
600	製程
602 ~ 626	步驟
700	p 型基體
702	表面
706A、706B	閘極氧化物
708A、708B	多晶矽層
710、712	n+區域
714A、714B	p+區域
826	N-LD 區域

七、申請專利範圍：

1. 一種電晶體的製造方法，該電晶體於一基板上具有一源極區域、一汲極區域與一閘極區域，該方法包括：

於該基板之一表面中佈植一 n 型摻雜之 n 型阱；

於該電晶體的該源極區域與該汲極區域之間形成一閘極氧化物；

以一傳導材料覆蓋該閘極氧化物；

於該電晶體之該源極區域中佈植一 p 型摻雜之 p 型基體；

於該電晶體之該源極區域中佈植一第一 n 型摻雜之 n+ 區域，以與該 p 型基體重疊；

僅於該電晶體之該源極區域中佈植一源極、重度雙重擴散 (SHDD) 區域以與該 p 型基體重疊，該 SHDD 區域係一 n 型摻雜區域且佈植之深度約與該第一 n 型摻雜之 n+ 區域相等，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+ 區域，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+ 區域的一部分重疊，該第一 n 型摻雜之 n+ 區域更向該源極區域側向延伸超過該 SHDD 區域；

於該電晶體的該源極區域中佈植一 p 型摻雜之 p+ 區域，該 p 型摻雜之 p+ 區域係位於該第一 n 型摻雜之 n+ 區域的鄰近處；

於該電晶體之該汲極區域中佈植一第二 n 型摻雜

之 n+區域；以及

於該汲極區域中佈植一 n 型摻雜之淺汲極，其中該 SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極的佈植中所使用之濃度，但低於該第一 n 型摻雜之 n+區域的佈植中所使用之濃度。

2. 如申請專利範圍第 1 項所述之方法，其於佈植該 SHDD 區域之後、但在佈植該第一 n 型摻雜之 n+區域與該第二 n 型摻雜之 n+區域之前更包括：於該閘極氧化物的每一側形成一氧化物間隔物。
3. 如申請專利範圍第 2 項所述之方法，其中該氧化物間隔物是在形成該第一 n 型摻雜之 n+區域與該第二 n 型摻雜之 n+區域之前形成。
4. 如申請專利範圍第 2 項所述之方法，其中該 SHDD 區域是在形成該閘極氧化物之後形成。
5. 如申請專利範圍第 1 項所述之方法，其中，在該源極區域中，該 SHDD 的一表面區域、該第一 n 型摻雜之 n+區域的一表面區域以及該 p 型摻雜之 p+區域的一表面區域係位於該 p 型摻雜之 p 型基體的一表面區域內。

6. 如申請專利範圍第 1 項所述之方法，其中該 p 型摻雜之 p+區域係鄰靠該第一 n 型摻雜之 n+區域。

7. 一種電晶體，包括：

一源極，該源極包含：

一 p 型摻雜之 p 型基體；

一 p 型摻雜之 p+區域，該 p 型摻雜之 p+區域與該 p 型基體重疊；

一第一 n 型摻雜之 n+區域，該第一 n 型摻雜之 n+區域與該 p 型摻雜之 p+區域鄰近處之該 p 型基體重疊；及

一 n 型摻雜之源極、重度雙重擴散 (SHDD) 區域，該 SHDD 區域僅位於該電晶體的該源極中，該 SHDD 區域與該 p 型基體重疊，該 SHDD 區域的深度約相等於該第一 n 型摻雜之 n+區域的深度，且該 SHDD 區域與該第一 n 型摻雜之 n+區域重疊；

一汲極，該汲極包含：

一第二 n 型摻雜之 n+區域；及

一 n 型摻雜之淺汲極，該 n 型摻雜之淺汲極與該第二 n 型摻雜之 n+區域重疊；以及

一閘極，用以控制該源極與該汲極間之一空乏區，該閘極包括一閘極氧化物以及位於該閘極氧化物上

方之一傳導材料，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+ 區域，該第一 n 型摻雜之 n+ 區域更向該源極側向延伸超過該 SHDD 區域；

其中該 SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極的佈植中所使用之濃度，但低於該第一 n 型摻雜之 n+ 區域的佈植中所使用之濃度。

8. 如申請專利範圍第 7 項所述之電晶體，其中該 p 型摻雜之 p+ 區域係鄰靠該第一 n 型摻雜之 n+ 區域。

9. 一種電壓調整器，該電壓調整器具有一輸入終端與一輸出終端，該輸入終端係耦接至一輸入電壓源，且該輸出終端係耦接至一負載，該電壓調節器包括：

一電源開關，該電源開關包括如申請專利範圍第 7 項所述之電晶體，該電源開關的工作週期係控制供應至該輸出終端的電源；以及

一過濾器，該過濾器提供一一般 DC 輸出電壓於該輸出終端。

10. 一種電晶體的製造方法，該電晶體於一基板上具有一源極區域、一汲極區域與一閘極區域，該方法包括：

於該電晶體的該源極區域與該汲極區域之間形成一閘極氧化物；

以一傳導材料覆蓋該閘極氧化物；

於該電晶體之該源極區域中佈植一 p 型摻雜之 p 型基體；

於該電晶體之該源極區域中佈植一第一 n 型摻雜之 n+區域於該 p 型基體中；

僅於該電晶體之該源極區域中佈植一源極、重度雙重擴散 (SHDD) 區域以與該 p 型基體重疊，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+區域的一部分重疊，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域，該第一 n 型摻雜之 n+區域更向該源極區域側向延伸超過該 SHDD 區域；

於該電晶體的該源極區域中佈植一 p 型摻雜之 p+區域於該 p 型基體中，該 p 型摻雜之 p+區域係位於該第一 n 型摻雜之 n+區域的鄰近處；

於該電晶體的該汲極區域中佈植一第二 n 型摻雜之 n+區域；及

於該汲極區域中佈植一 n 型摻雜之淺汲極，該 n 型摻雜之淺汲極延伸至該閘極氧化物下方以接觸該 p 型摻雜之 p 型基體；以及

於該電晶體之該源極區域中佈植一 p 型摻雜之 p+區域；

其中該 SHDD 區域之佈植所使用之一雜質濃度係低於該第一 n 型摻雜之 n+區域之佈植所使用之雜質濃度；

其中該 SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極之佈植所使用之摻質濃度。

11. 如申請專利範圍第 10 項所述之方法，其中該 SHDD 區域係經佈植，該 SHDD 區域經佈植之深度約等於該第一 n 型摻雜之 n+區域經佈植之深度。

12. 如申請專利範圍第 10 項所述方法，其中該 p 型摻雜之 p+區域係鄰靠該第一 n 型摻雜之 n+區域。

13. 一種電晶體，包括：

一源極，該源極包含：

一 p 型摻雜之 p 型基體；

一 p 型摻雜之 p+區域，該 p 型摻雜之 p+區域與該 p 型基體重疊；

一第一 n 型摻雜之 n+區域，該第一 n 型摻雜之 n+區域與該 p 型摻雜之 p+區域鄰近處之該 p 型基體重疊；及

一 n 型摻雜之源極、重度雙重擴散 (SHDD) 區域，該 SHDD 區域僅位於該電晶體的該源極中，該 SHDD 區域與該 p 型基體重疊，該 SHDD 區域的一部分與該第一 n 型摻雜之 n+區域重疊；

一汲極，該汲極包含：

一 第二 n 型摻雜之 n+區域；及

一 n 型摻雜之淺汲極；以及

一 閘極，用以控制該源極與該汲極間之一空乏區，該閘極包括一閘極氧化物以及位於該閘極氧化物上方之一傳導材料，該 SHDD 區域更側向延伸超過該閘極氧化物下方的該第一 n 型摻雜之 n+區域，該第一 n 型摻雜之 n+區域更向該源極側向延伸超過該 SHDD 區域；

其中該 n 型摻雜之淺汲極延伸至該閘極氧化物下方以接觸該 p 型摻雜之 p 型基體；

其中該 SHDD 區域之佈植所使用之一摻質濃度係高於該 n 型摻雜之淺汲極之佈植所使用之摻質濃度，但低於該第一 n 型摻雜之 n+區域之佈植所使用之摻質濃度。

14. 如申請專利範圍第 13 項所述之電晶體，其中該第二 n 型摻雜之 n+區域係自對準至該電晶體的該閘極。

15. 如申請專利範圍第 13 項所述之電晶體，其中該 p 型基體包圍該第一 n 型摻雜之 n+區域。

16. 如申請專利範圍第 13 項所述之電晶體，其中該 p 型基體係深於該 p+區域、該第一 n 型摻雜之 n+區域與該 SHDD 區域。

17. 如申請專利範圍第 13 項所述之電晶體，其中該 SHDD 區域係佈植，該 SHDD 區域經佈植之深度約等於該第一 n 型摻雜之 n+ 區域經佈植之深度。

18. 如申請專利範圍第 13 項所述之電晶體，其中該 SHDD 區域的一外邊界係與該第一 n 型摻雜之 n+ 區域的一外邊界對齊。

19. 如申請專利範圍第 13 項所述之電晶體，其中該 p 型摻雜之 p+ 區域鄰靠該第一 n 型摻雜之 n+ 區域。

20. 一種電壓調節器，其具有一輸入終端與一輸出終端，該輸入終端係耦接至一輸入電壓源，且該輸出終端係耦接至一負載，該電壓調節器包括：

一電源開關，該電源開關包括如申請專利範圍第 13 項所述之電晶體，該電源開關的工作週期係控制供應至該輸出終端的電源；以及

一過濾器，該過濾器提供一一般 DC 輸出電壓於該輸出終端。

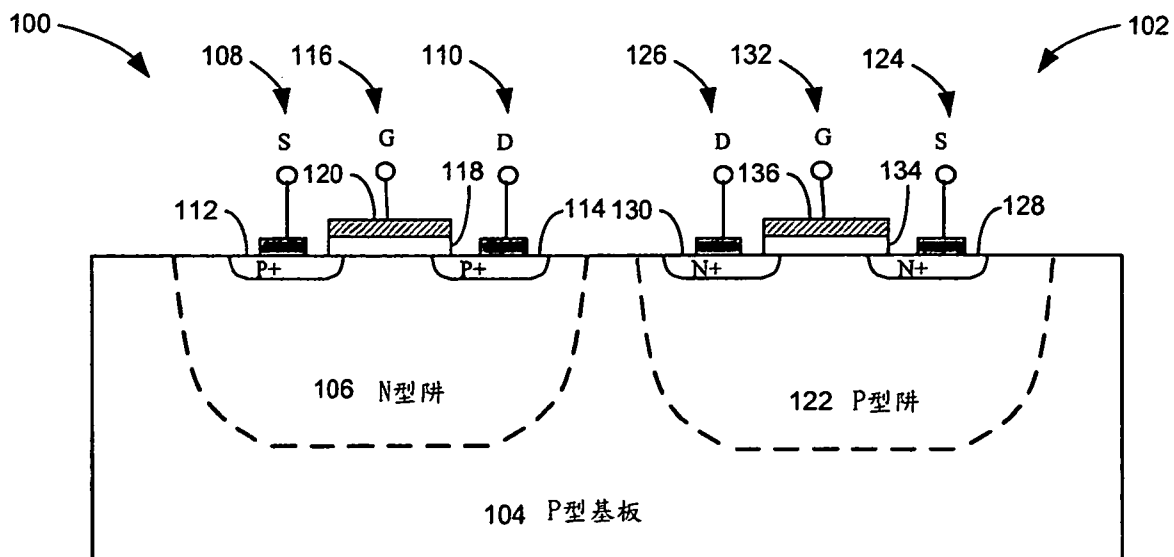


圖1 (習知技術)

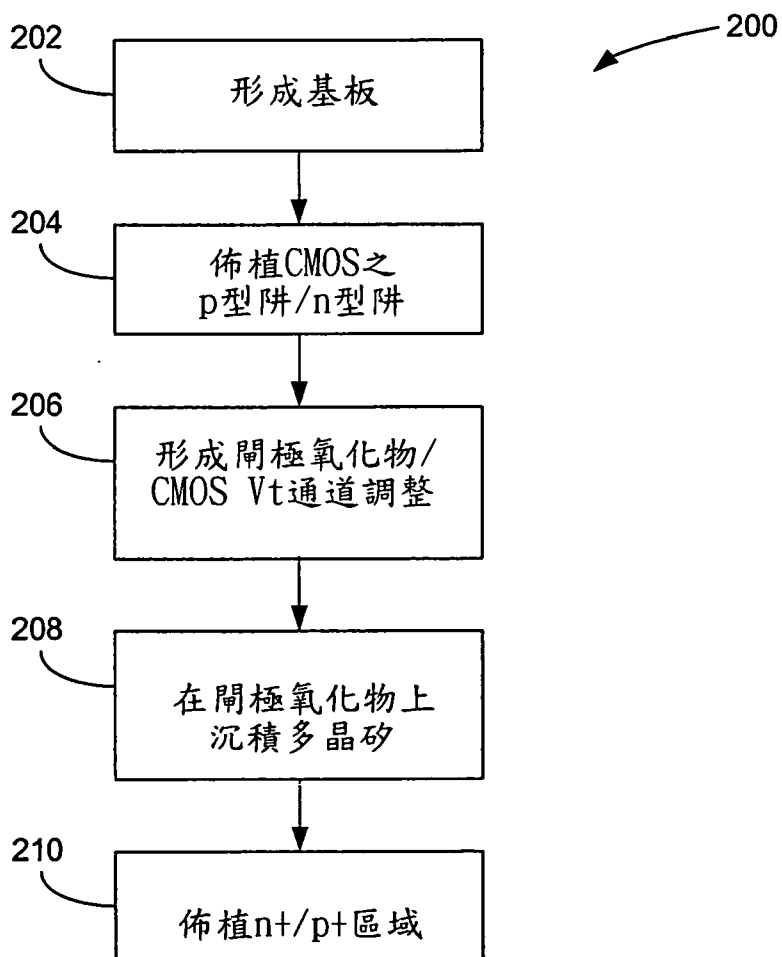
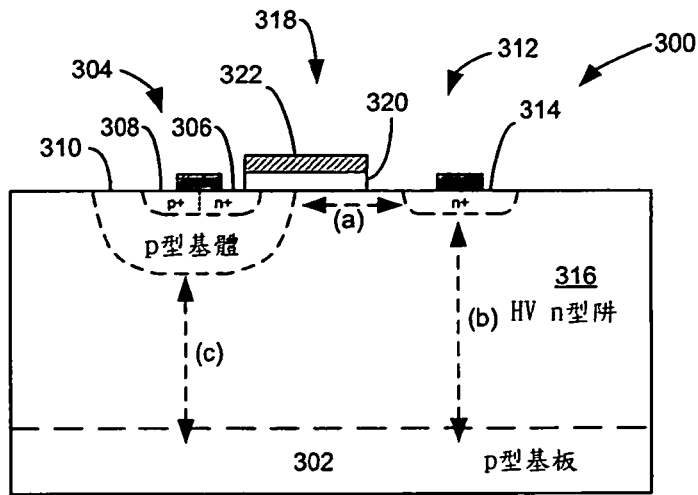
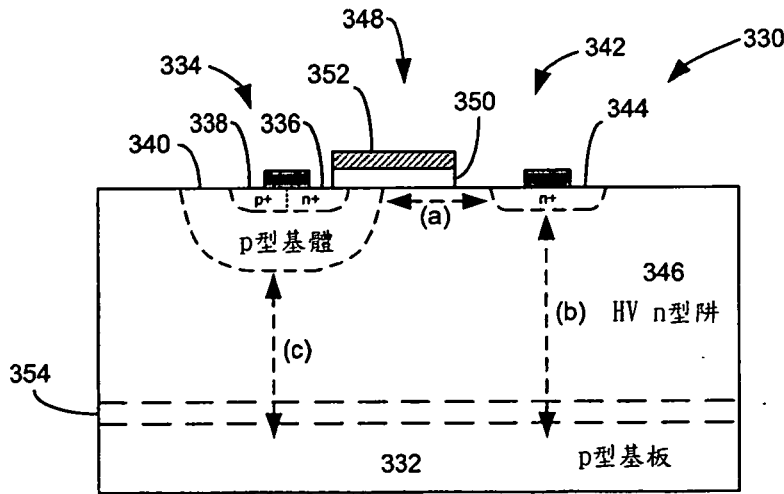


圖2 (習知技術)



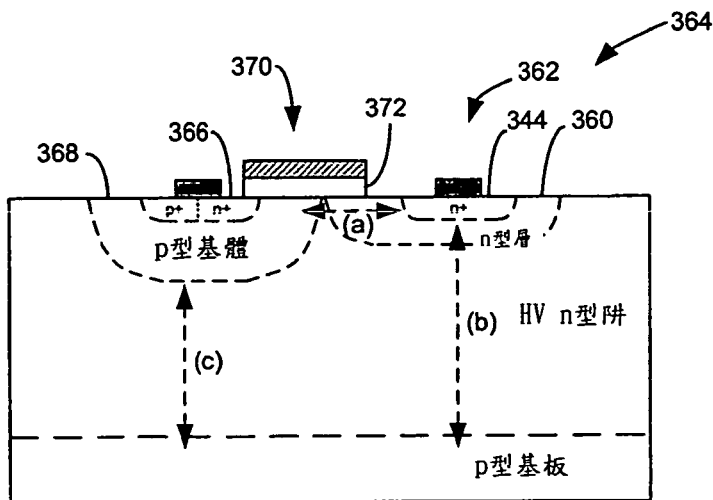
在閘極形成後佈
植之p型基體中斷
CMOS熱預算

圖3A (習知技術)



在閘極形成後佈
植之p型基體中斷
CMOS熱預算

圖3B (習知技術)



在閘極形成後佈
植之p型基體中斷
CMOS熱預算

圖3C (習知技術)

416

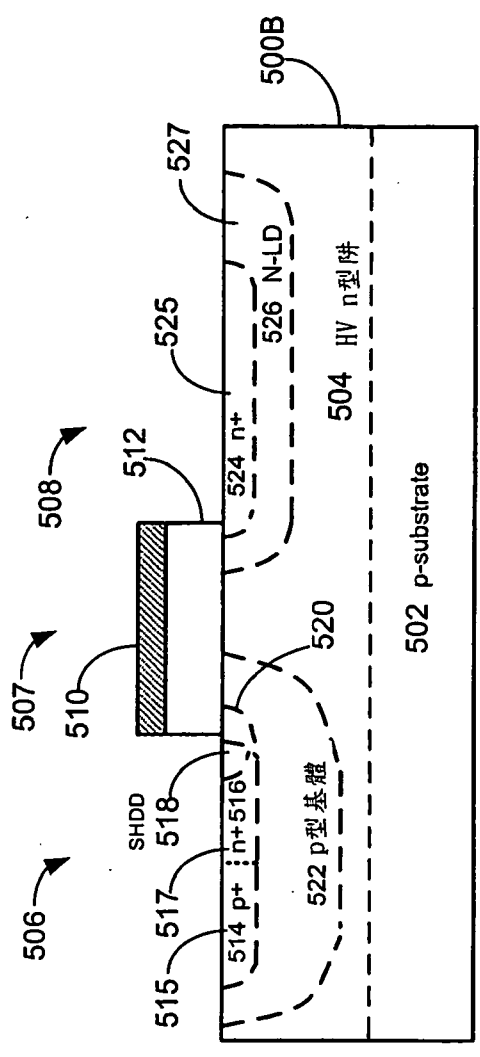


圖 4A

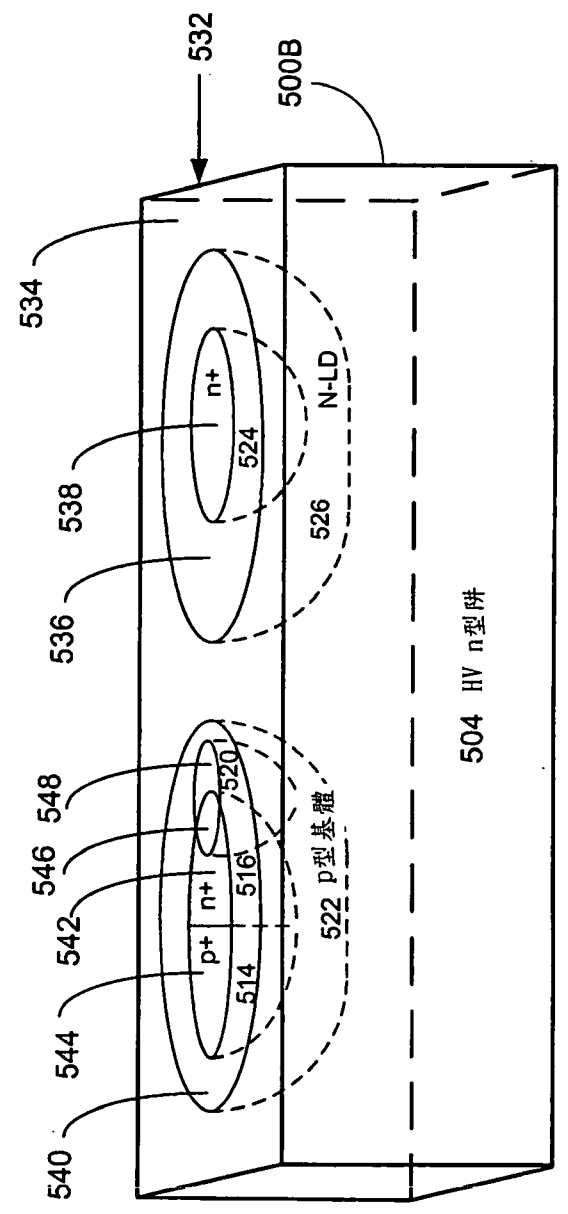


圖 4B

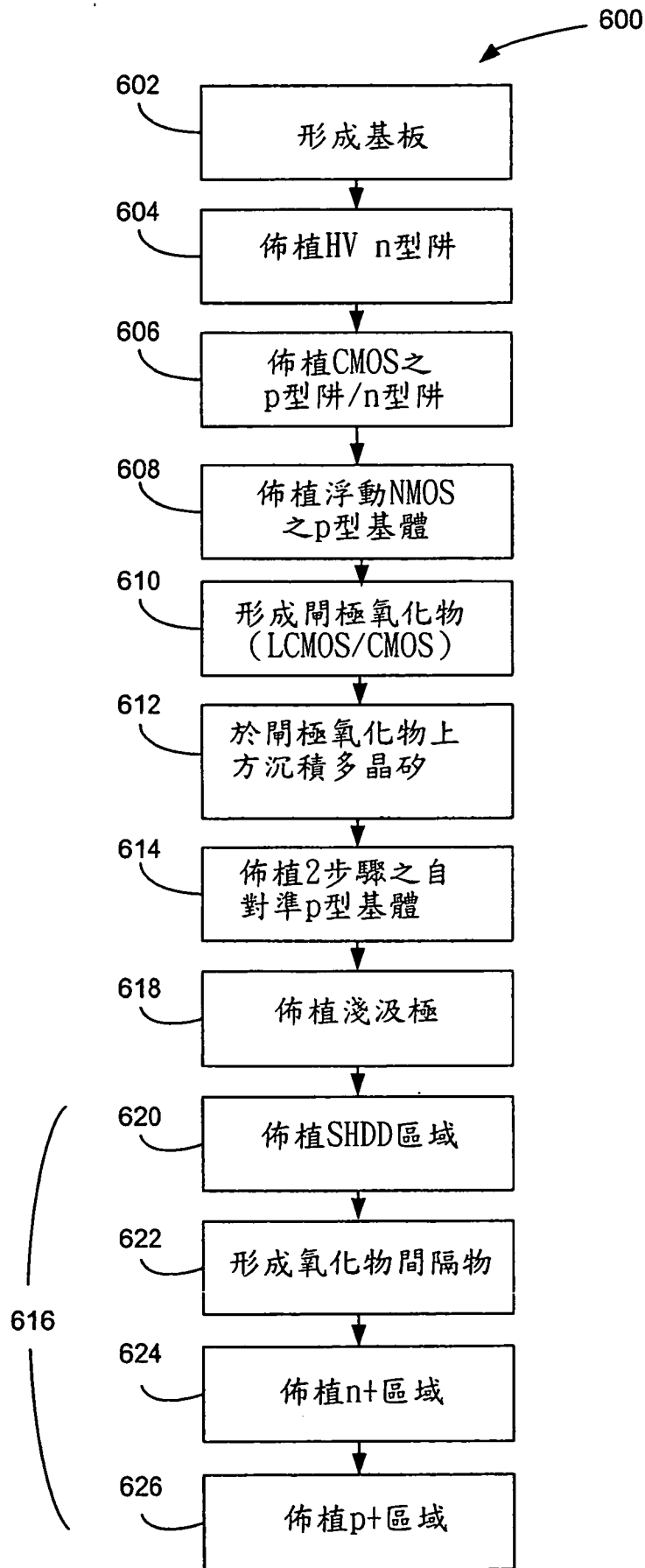


圖5

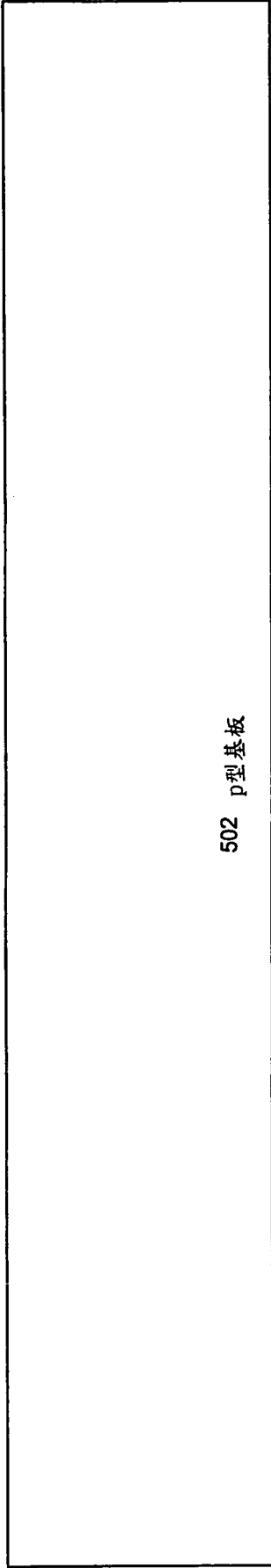


圖6A

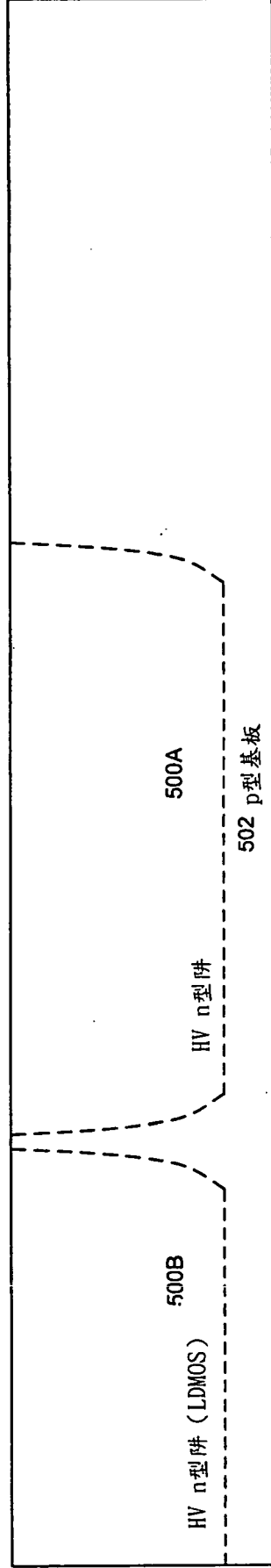


圖6B

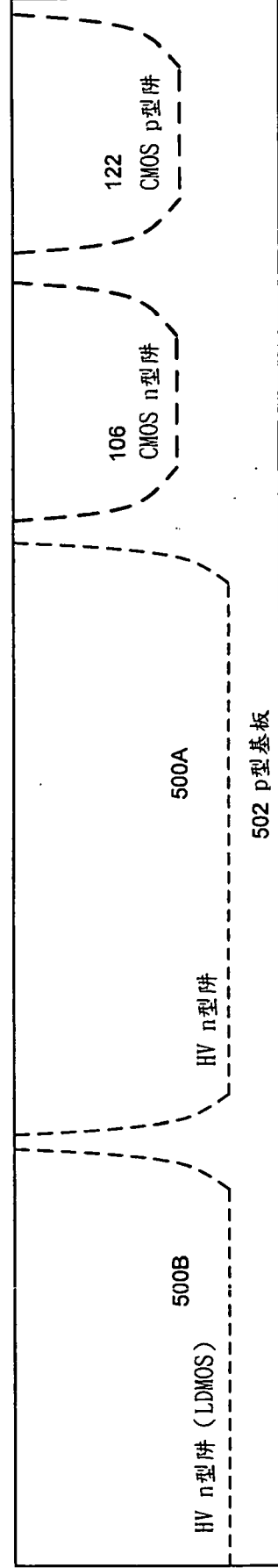


圖6C

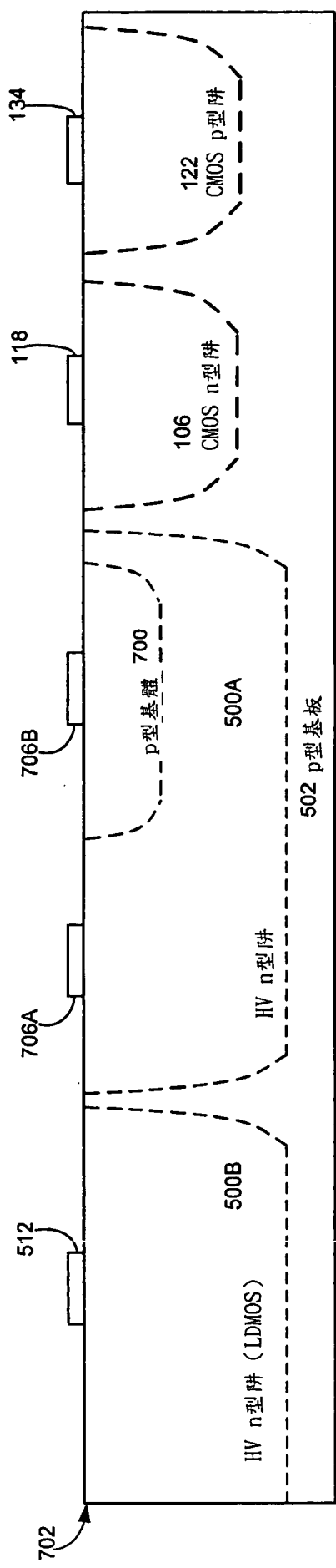


圖6D

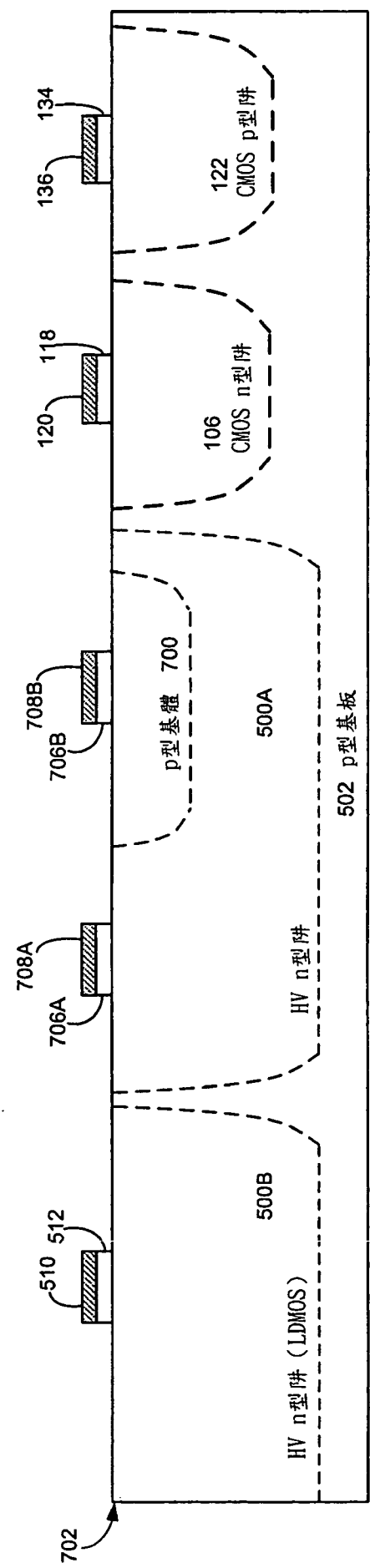


圖6E

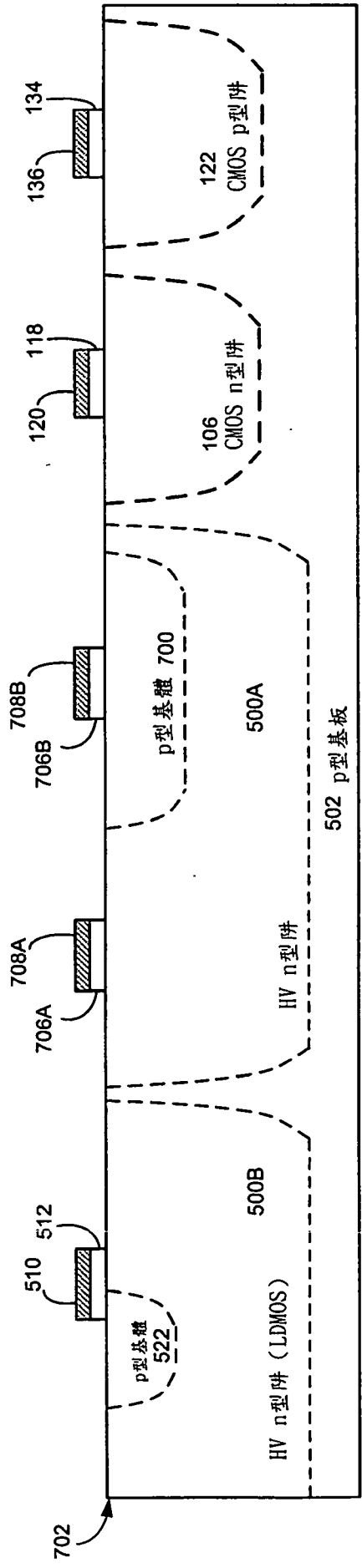


圖6F

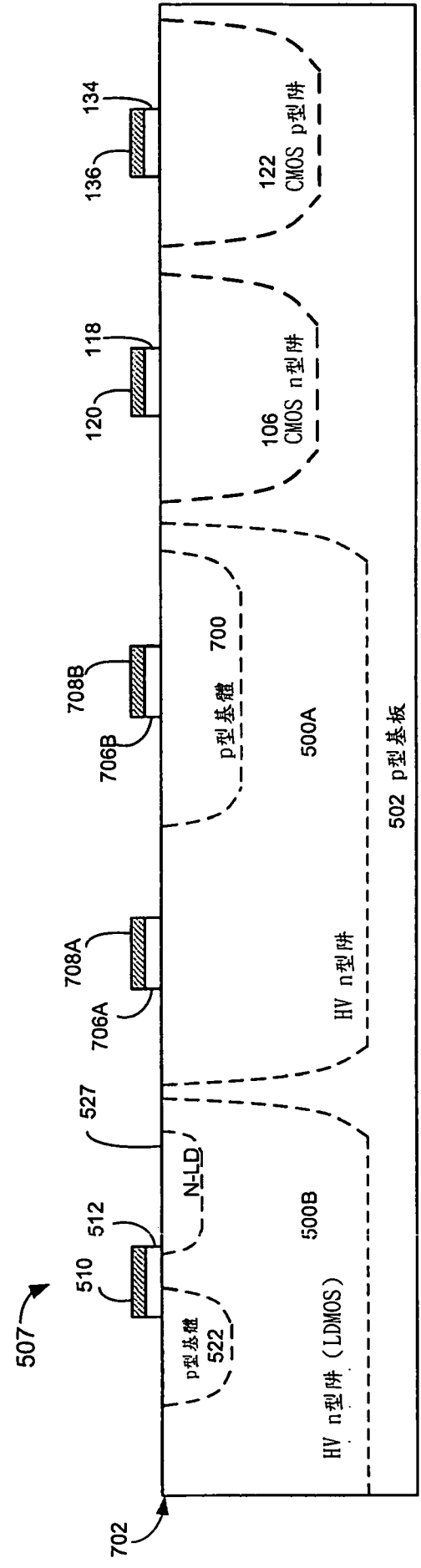


圖6G

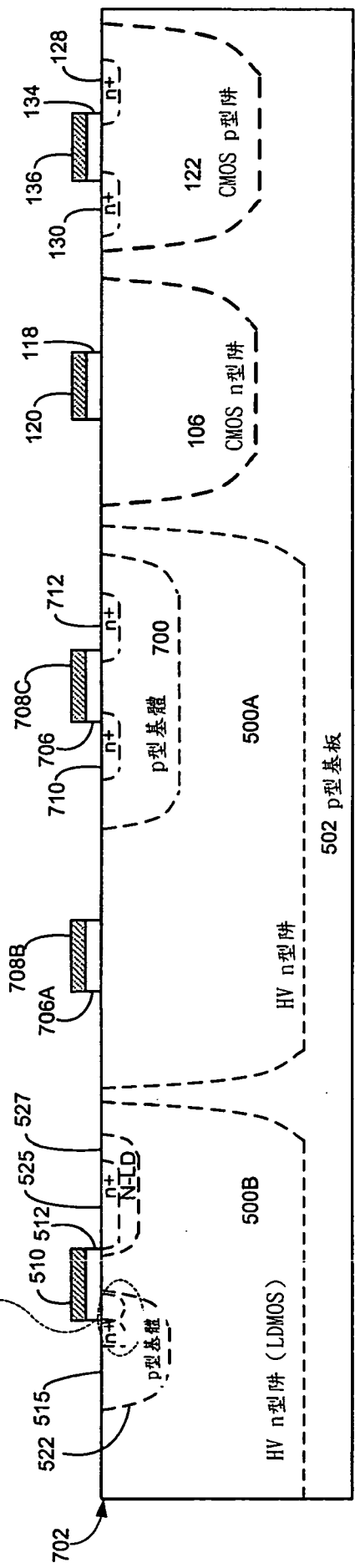
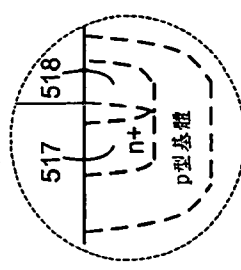


圖6H

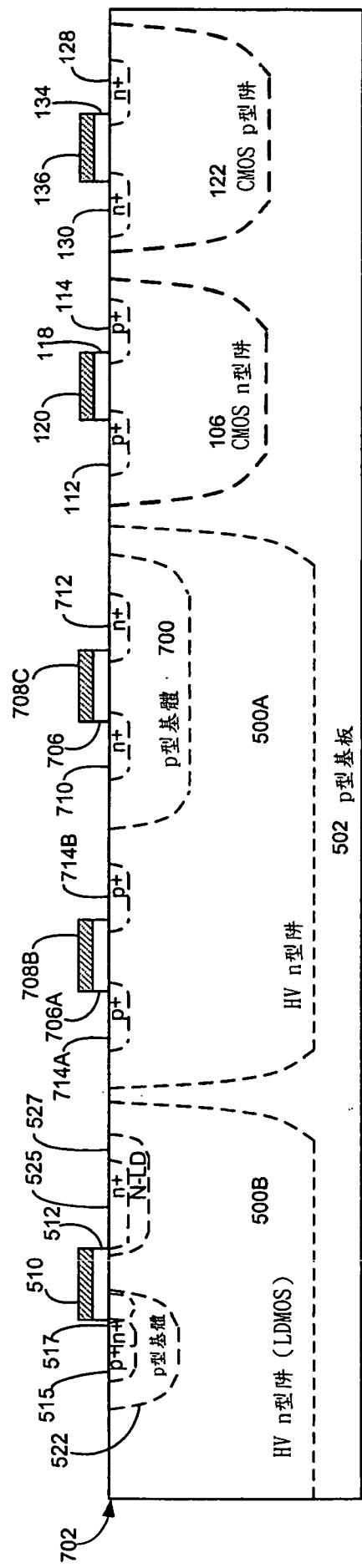


圖6I

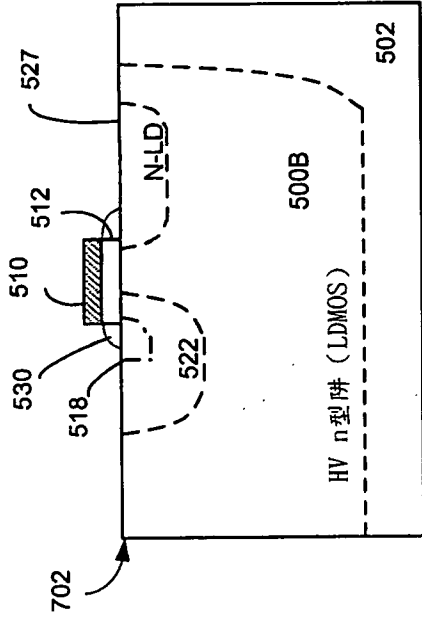


圖6K

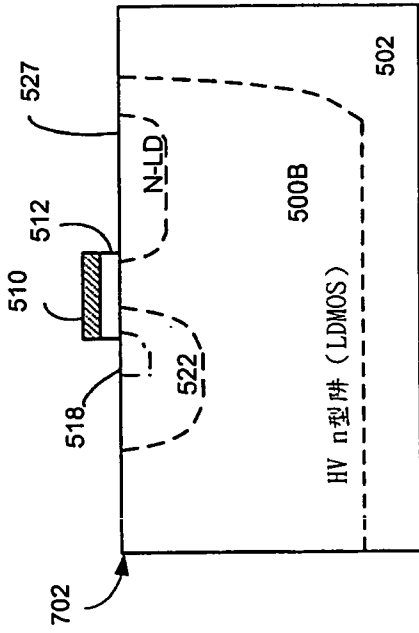


圖6J

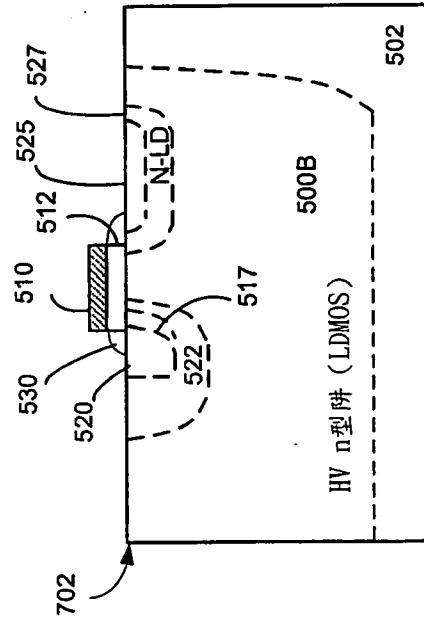


圖6L

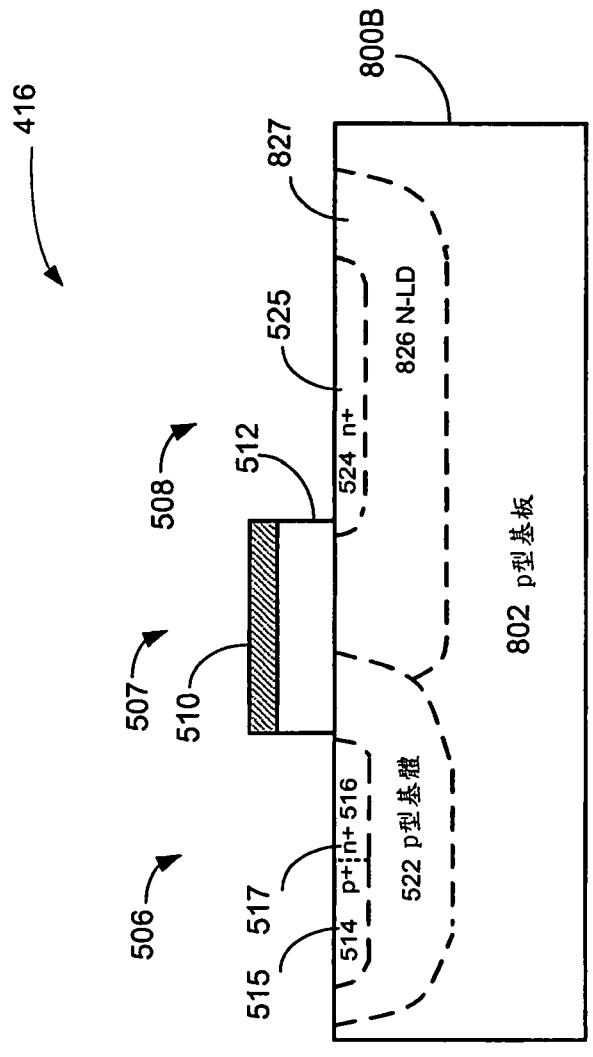


圖7A

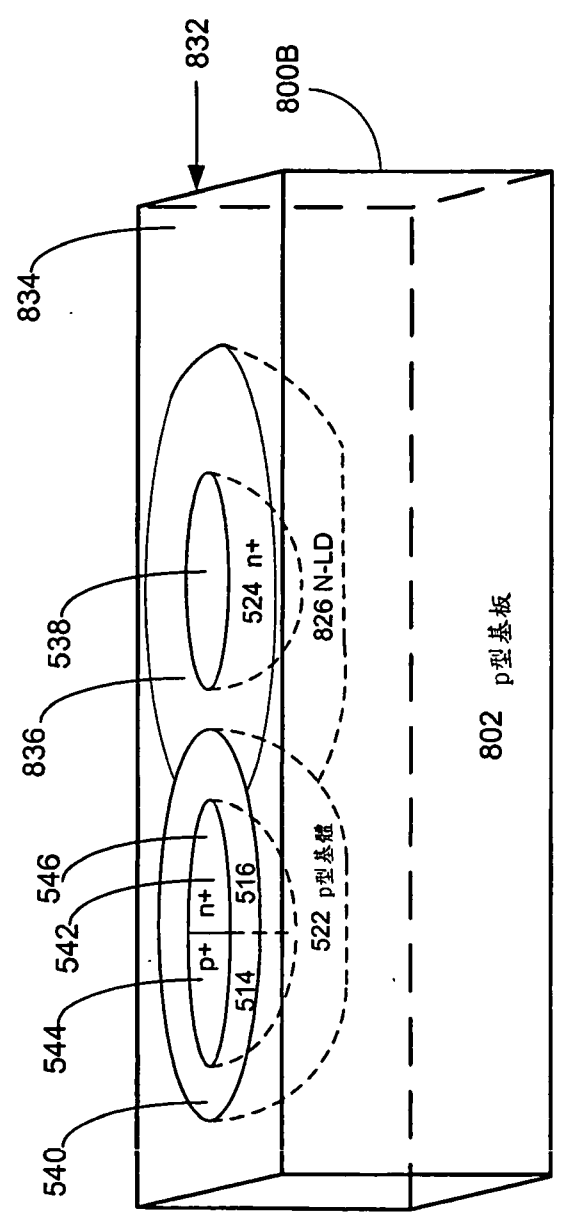


圖7B