



(12) 实用新型专利

(10) 授权公告号 CN 218525735 U

(45) 授权公告日 2023. 02. 24

(21) 申请号 202222932990.5

(22) 申请日 2022.11.03

(73) 专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市

(72) 发明人 余忠儒 吴韦汎

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409
专利代理师 章社杲 李伟

(51) Int. Cl.

H01Q 1/52 (2006.01)

H01Q 1/22 (2006.01)

H01L 23/66 (2006.01)

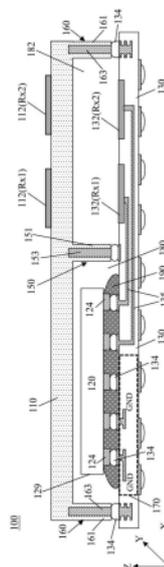
权利要求书1页 说明书5页 附图5页

(54) 实用新型名称

电子器件

(57) 摘要

本申请公开了一种电子器件,该电子器件包括:天线基板,具有腔体,其中腔体具有天线耦合共振腔;射频芯片,设置于腔体内并在天线耦合共振腔之外;屏蔽间隔件,设置于腔体内,并且屏蔽间隔件区隔射频芯片与腔体内的天线耦合共振腔。上述技术方案,至少能够减少来自射频芯片的干扰,从而提升天线效能。



1. 一种电子器件,其特征在于,包括:
天线基板,具有腔体,其中所述腔体具有天线耦合共振腔;
射频芯片,设置于所述腔体内并在所述天线耦合共振腔之外;
屏蔽间隔件,设置于所述腔体内,并且所述屏蔽间隔件区隔所述射频芯片与所述腔体内的所述天线耦合共振腔。
2. 根据权利要求1所述的电子器件,其特征在于,
所述屏蔽间隔件从所述天线基板的第一侧延伸至与所述第一侧相对的第二侧。
3. 根据权利要求1所述的电子器件,其特征在于,
所述天线基板上设置有天线,所述屏蔽间隔件包括在所述屏蔽间隔件的延伸方向上间隔设置的屏蔽元件,以减少所述射频芯片与所述天线基板上的所述天线之间的电磁波干扰。
4. 根据权利要求1所述的电子器件,其特征在于,
所述天线基板具有第一区和相邻于第一区的第二区,天线设置于所述第一区,所述射频芯片设置于所述第二区下方,
其中,所述第二区与所述屏蔽间隔件共同构成屏蔽墙,以阻隔至少两个方向的电磁波传递。
5. 根据权利要求1所述的电子器件,其特征在于,还包括:
射频基板,用于支撑所述射频芯片、所述屏蔽间隔件和所述天线基板;
其中,所述天线基板上设置有天线,所述射频基板包含射频走线,所述射频走线延伸经过所述屏蔽间隔件下方以电连接所述射频芯片与所述天线基板上的所述天线。
6. 根据权利要求5所述的电子器件,其特征在于,
所述射频基板还包含与所述天线基板上的所述天线对齐且用于与所述天线电耦合的馈电元件。
7. 根据权利要求1所述的电子器件,其特征在于,
所述天线基板与所述屏蔽间隔件为一体结构。
8. 根据权利要求5所述的电子器件,其特征在于,
所述射频基板包括位于所述射频芯片下方的散热区域。
9. 根据权利要求4所述的电子器件,其特征在于,还包括:
支撑件,设置于所述腔体的相对侧并用于支撑所述天线基板,所述支撑件包括用于减少所述射频芯片的电磁波干扰的屏蔽元件。
10. 根据权利要求9所述的电子器件,其特征在于,
所述屏蔽元件、所述屏蔽间隔件和所述射频芯片上方的所述天线基板共同构成屏蔽墙。

电子器件

技术领域

[0001] 本申请涉及半导体和天线技术领域,更具体的,涉及一种电子器件。

背景技术

[0002] 参考图1所示,现行常见天线模组中,通常将RFIC(射频集成电路, Radio Frequency Integrated Circuit)芯片10与天线12堆叠设置,以减少封装尺寸,即减少X-Y平面中的尺寸。但在封装薄化(减小方向Z上的尺寸)的需求下,如图2A所示,现有做法是将RFIC芯片20设置在天线22耦合的空腔25中。然而,将RFIC芯片20配置在空腔25中会干扰天线22耦合,即使在RFIC芯片20上设置芯片屏障(scale shielding)层29,仍会影响天线22的性能。

[0003] 结合图2A和图2B所示,在天线22与RFIC芯片20的布局设计中,RFIC芯片20设置于多个天线22中间,RFIC芯片20的这种配置也会干扰四周天线22,使得天线22性能较差。

[0004] 此外,根据天线设计要求,各天线22与RFIC芯片20之间、及各个天线22之间需要在X-Y平面中保持大于1/2电磁波波长的特定距离。这会造成占用较大的尺寸,而无更多的空间以整合其他元件。另一方面,空腔25顶部处的基板28不易维持平行,中间位置的基板28会相对两侧位置的基板28向下塌陷,这将不利地影响天线性能。另一方面,RFIC芯片20的边缘区域处的电连接件24可以接地(GND),以帮助RFIC芯片20散热。但在图2A和图2B所示的结构中,RFIC芯片20的接地区域面积小,散热较差,RFIC芯片20产生的热量会影响RFIC芯片20与各个天线22之间的射频走线32的传输特性。

实用新型内容

[0005] 针对现有技术中的上述问题,本申请提出一种电子器件,至少能够减少来自射频芯片的干扰,从而提升天线效能。

[0006] 根据本申请的一个方面,提供了一种电子器件,该电子器件包括:天线基板,具有腔体,其中腔体具有天线耦合共振腔;射频芯片,设置于腔体内并在天线耦合共振腔之外;屏蔽间隔件,设置于腔体内,并且屏蔽间隔件区隔射频芯片与腔体内的天线耦合共振腔。

[0007] 在一些实施例中,屏蔽间隔件从天线基板的第一侧延伸至与第一侧相对的第二侧。

[0008] 在一些实施例中,天线基板上设置有天线,屏蔽间隔件包括在屏蔽间隔件的延伸方向上间隔设置的屏蔽元件,以减少射频芯片与天线之间的电磁波干扰。

[0009] 在一些实施例中,天线基板具有第一区和相邻于第一区的第二区,天线设置于第一区,射频芯片设置于第二区下方,其中,第二区与屏蔽间隔件共同构成屏蔽墙,以阻隔至少两个方向的电磁波传递。

[0010] 在一些实施例中,电子器件还包括射频基板,射频基板用于支撑射频芯片、屏蔽间隔件和天线基板;其中,天线基板上设置有天线,射频基板包含射频走线,射频走线延伸经过屏蔽间隔件下方以电连接射频芯片与天线。

[0011] 在一些实施例中,射频基板还包含与天线基板的天线对齐且用于与天线电耦合的馈电元件。

[0012] 在一些实施例中,天线基板与屏蔽间隔件为一体结构。

[0013] 在一些实施例中,射频基板包括位于射频芯片下方的散热区域。

[0014] 在一些实施例中,电子器件还包括支撑件,支撑件设置于腔体的相对侧并用于支撑天线基板,支撑件包括用于减少射频芯片的电磁波干扰的屏蔽元件。

[0015] 在一些实施例中,屏蔽元件、屏蔽间隔件和射频芯片上方的天线基板共同构成屏蔽墙。

[0016] 本申请的上述技术方案,通过利用屏蔽间隔件将射频芯片与天线耦合共振腔区隔开,至少可以避免射频芯片对天线耦合共振腔的干扰。

附图说明

[0017] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1是现行的一种天线模组的截面示意图。

[0019] 图2A和图2B分别是现行的另一种天线模组的截面示意图和俯视示意图。

[0020] 图3是根据本申请的实施例的电子器件的截面示意图。

[0021] 图4是图3所示电子器件中的射频芯片与多个天线单元连接的俯视示意图。

[0022] 图5A和图5B分别是根据本申请的不同实施例的图3中电子器件的俯视示意图。

[0023] 图6是根据本申请的另一实施例的电子器件的截面示意图。

具体实施方式

[0024] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员所获得的所有其他实施例,都属于本申请保护的范围。

[0025] 图3是根据本申请的实施例的电子器件100的截面示意图。参考图3所示,电子器件100包括天线基板110,天线基板110具有腔体180。腔体180包括天线耦合共振腔182。电子器件100还包括射频芯片120(如RFIC芯片)和屏蔽间隔件150。屏蔽间隔件150设置于腔体180内,并且屏蔽间隔件150区隔射频芯片120与天线耦合共振腔182,使得射频芯片120设置于腔体180内并位于天线耦合共振腔182之外。通过利用屏蔽间隔件150将射频芯片120与天线耦合共振腔182区隔开,可以避免射频芯片120对天线耦合共振腔182的干扰。

[0026] 天线基板110上设置有天线112。天线112和天线耦合共振腔182可以在方向Z上位于天线基板110的相对侧。天线112位于天线耦合共振腔182上方。在该实施例中,天线112利用天线基板110的介电材料来当做天线底材,天线基板110的介电材料一般为低k介电材料,这可以保证天线112的效能良好。

[0027] 电子器件100还包括射频基板130,射频基板130用于支撑射频芯片120、屏蔽间隔

件150和天线基板110。屏蔽间隔件150从天线基板110在方向Z上延伸至与射频基板130连接。射频基板130包含天线132,天线132与天线基板110上的对应天线112对齐并且与天线112电耦合,射频基板130上的天线132可以用作天线基板110上的天线112的馈电元件,以与天线112电耦合。因此,天线132也可以称为馈电元件。在一些实施例中,各个天线112、132是毫米波天线。在一些实施例中,天线基板110上的天线112和射频基板130上的天线132的位置可以具有不同的配置。例如,天线基板110上的天线112可以配置为突出于天线基板110的表面,而射频基板130上的天线132可以配置为嵌入在射频基板130中。

[0028] 天线112与天线132可以一一对应地在方向Z上对齐设置。多个天线112和多个天线132共享一个天线耦合共振腔182,利用天线耦合共振腔182耦合共振而发出电磁波。一个天线112与对应的一个天线132可以形成一个天线单元,每个天线单元可以用作发射端(Tx)或接收端(Rx)中的任意一种。例如在图3中示出了天线112和对应的天线132分别是用作接收端的天线单元Rx1和Rx2。

[0029] 图4示出了图3所示电子器件100中的射频芯片120与多个天线单元Rx1-Rx3、Tx1连接的俯视示意图。应理解,为了清楚示出射频芯片120与多个天线单元Rx1-Rx3、Tx1的连接,图4未示出射频芯片120与多个天线单元Rx1-Rx3、Tx1之间的屏蔽间隔件150。结合图3和图4所示,示意性地示出了总共四个天线单元Rx1-Rx3、Tx1,其中天线单元Rx1-Rx3用作接收端,天线单元Tx1用作发射端。

[0030] 与现行将RFIC芯片20设置在多个天线22中间的配置相比(如图2B所示),本申请将多个天线单元Rx1-Rx3、Tx1设置在射频芯片120的同一侧。结合参考图3和图4所示,利用屏蔽间隔件150将射频芯片120与多个天线单元Rx1-Rx3、Tx1(即多个天线112、132)区隔开,屏蔽间隔件150可以减少射频芯片120与各个天线112、132之间的干扰,例如电磁(EM, Electromagnetic)干扰,从而可以提升天线效能。并且,由于屏蔽间隔件150将射频芯片120与多个天线单元Rx1-Rx3、Tx1区隔开,可以减小射频芯片120与多个天线单元Rx1-Rx3、Tx1之间的干扰,故不需要利用在射频芯片120与邻近的天线单元(如图4中的天线单元Rx1和Rx3)之间保持较大距离来减小干扰,因此可以减小射频芯片120与邻近的天线单元(如图4中的天线单元Rx1和Rx3)之间的距离,从而减小了电子器件100在X-Y平面中的尺寸,节省的空间可以例如用于整合其他元件。各个天线112、132的距离特性(各个天线之间的距离大于1/2电磁波波长)也可以更好。此外,由于天线基板110的腔体180中设置了屏蔽间隔件150,屏蔽间隔件150可以用于支撑腔体180上的天线基板110,使得腔体180上方的天线基板110可以维持平行,因此能够进一步提升天线效能。

[0031] 继续参考图3和图4所示,射频基板130包含射频走线135。射频走线135延伸经过屏蔽间隔件150下方以电连接射频芯片120与对应的天线112、132。具体的,射频走线135经过屏蔽间隔件150下方,并直接电连接射频芯片120与射频基板130上的天线132,天线132用作馈电元件,再与天线基板110上的天线112耦合,故射频走线135能够电连接射频芯片120与天线基板110上的天线112。

[0032] 参考图3所示,在一些实施例中,天线基板110与屏蔽间隔件150可以是一体结构。具体的,屏蔽间隔件150可以包括介电材料层151。介电材料层151的材料与天线基板110的介电材料相同,介电材料层151与天线基板110是一体结构。在这样的实施例中,可以通过去除原始天线基板110的一部分来获得屏蔽间隔件150和腔体180,这样的制程可以减少高度

误差。

[0033] 屏蔽间隔件150还包括屏蔽元件153,介电材料层151包封每个屏蔽元件153。屏蔽元件153可以是由金属材料形成。屏蔽元件153可以更利于减少射频芯片120与各个天线112、132之间的干扰。

[0034] 图5A和图5B分别示出了根据本申请的不同实施例的图3中电子器件100的俯视示意图,其中图5A和图5B分别示出了不同的屏蔽间隔件150。

[0035] 在图5A所示的实施例中,在射频芯片120与多个天线单元Rx1-Rx3、Tx1(即图3中的多个天线112、132)之间,屏蔽间隔件150从天线基板110的第一侧118延伸至与第一侧118相对的第二侧119,使得屏蔽间隔件150将射频芯片120与多个天线单元Rx1-Rx3、Tx1区隔开。屏蔽间隔件150的屏蔽元件153是在介电材料层151中连续延伸的,以减少射频芯片120与多个天线单元Rx1-Rx3、Tx1之间的电磁波干扰。在一些实施例中,屏蔽元件153在俯视图中与每个射频走线135交叉。

[0036] 在图5B所示的实施例中,屏蔽间隔件150从天线基板110的第一侧118延伸至第二侧119。在从第一侧118到第二侧119的方向上,屏蔽间隔件150包括间隔设置的多个屏蔽元件153。多个屏蔽元件153之间通过介电材料层151间隔开。多个屏蔽元件153可以是在介电材料层151中间隔设置的通孔。间隔设置的多个屏蔽元件153也可以减少射频芯片120与多个天线单元Rx1-Rx3、Tx1之间的电磁波干扰。可以根据需求调整多个屏蔽元件153之间的间隔距离。间隔距离越小,减少电磁波干扰的效果会更好。

[0037] 返回参考图3,电子器件100还包括设置在腔体180的相对侧的支撑件160,支撑件160可以用于支撑天线基板110。支撑件160包括介电材料层161。在一些实施例中,介电材料层161的材料与天线基板110的介电材料相同,并且介电材料层161与天线基板110是一体结构。在这样的实施例中,可以通过去除原始天线基板110的一部分来获得屏蔽间隔件150、腔体180以及支撑件160,这样的制程可以减少高度误差。支撑件160还可以包括由介电材料层161包封的屏蔽元件163。屏蔽元件163可以是由金属材料形成的。支撑件160中的屏蔽元件163可以减少射频芯片120的电磁波干扰。

[0038] 在一些实施例中,屏蔽间隔件150中的屏蔽元件153和支撑件160中的屏蔽元件163可以分别通过焊料连接件134连接至射频基板130。在一些实施例中,屏蔽间隔件150中的屏蔽元件163和支撑件160中的屏蔽元件153可以在射频基板130中接地(GND)。

[0039] 根据一些实施例,射频基板130还包括位于射频芯片120下方的散热区域170。具体的,射频芯片120通过多个电连接件124接合多个焊料连接件134,而电连接至射频基板130。其中,多个电连接件124中更靠近天线112、132的电连接件124与对应的射频走线135连接,以连接至对应的天线132。射频芯片120下方的其他区域可以作为散热区域170,散热区域170用于射频芯片120的散热。射频芯片120与射频基板130形成有底部填充物190,底部填充物190可以包覆各个电连接件124和焊料连接件134。

[0040] 在一些实施例中,射频芯片120通过散热区域170上方的电连接件124和焊料连接件134在射频基板130中接地。散热区域170可以邻近射频芯片120的远离屏蔽间隔件150的边缘129。散热区域170可以从射频芯片120下方,经过边缘129,并延伸到边缘129的外侧。在一些实施例中,散热区域170大于射频走线135所占用的射频芯片120下方的区域。通过将多个天线112、132设置在射频芯片120的一侧并且在X-Y平面中与射频芯片120并排(side by

side)配置,可以在射频芯片120下方提供较大的散热区域170和接地面积,提升了射频芯片120产生热量时的散热性能,减小了射频芯片120产生的热量对射频走线135和天线112、132的影响。

[0041] 图6是根据本申请的另一实施例的电子器件200的截面示意图。在图6所示的实施例中,支撑件160、屏蔽间隔件150和射频芯片120上方的天线基板110共同构成屏蔽墙。具体的,天线基板110包括第一区110a,和相邻于第一区110a的第二区110b。第一区110a和第二区110b在屏蔽间隔件150的相对两侧。多个天线112设置在第一区110a上,射频芯片120设置在第二区110b下方。

[0042] 在本实施例中,第二区110b中设置有屏蔽元件157,屏蔽元件157从连接支撑件160中的屏蔽元件163的顶部延伸至屏蔽间隔件150中的屏蔽元件153的顶部,而构成屏蔽墙159。屏蔽墙159可以阻隔至少两个方向的电磁波传递。例如,屏蔽墙159的两侧的屏蔽元件163、153可以阻隔侧向方向上的电磁波传递,第二区110b中的屏蔽元件157可以阻隔从射频芯片120到天线基板110上方的方向上的电磁波传递。屏蔽墙159可以避免射频芯片120的对外EM干扰和/或避免射频芯片120受到EM干扰。

[0043] 图6所示的电子器件200的其他方面可以与以上参考图3-图4所描述的类似,并且图6所示的电子器件200可以具有以上关于电子器件100所描述的益处,此处不再重复描述。

[0044] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

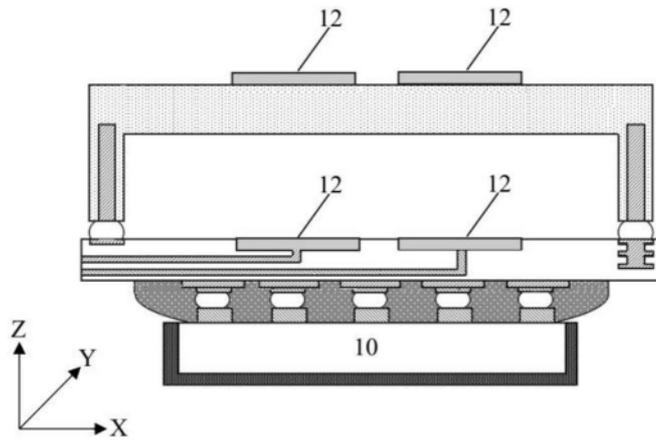


图1

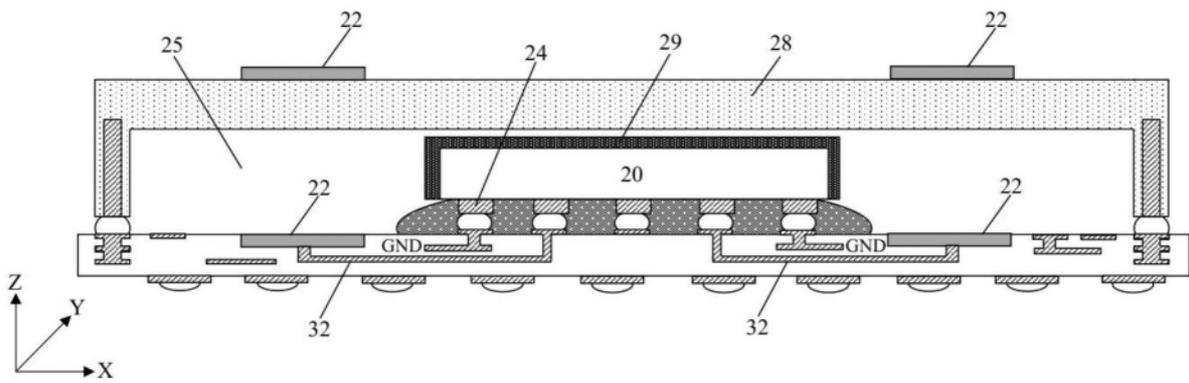


图2A

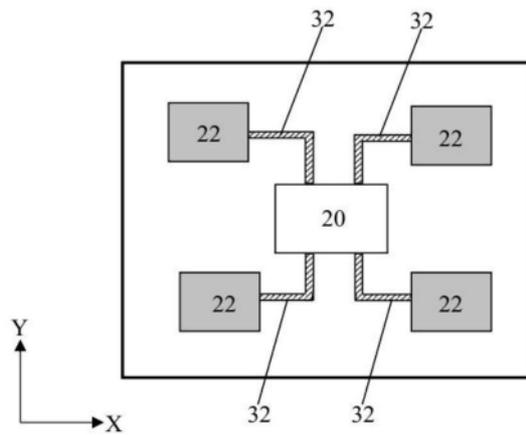


图2B

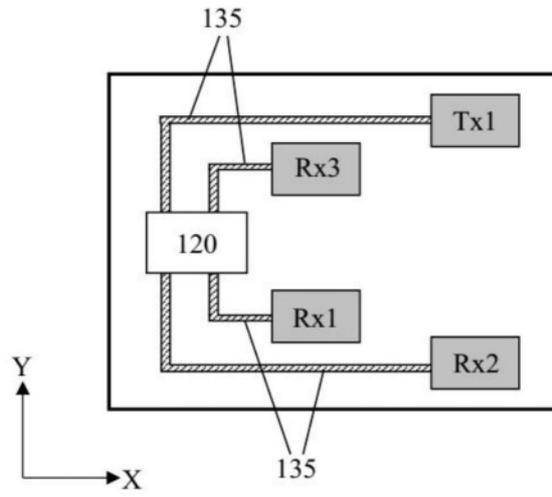


图4

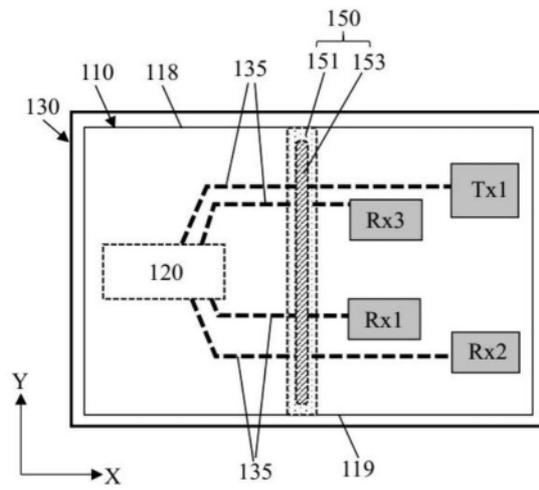


图5A

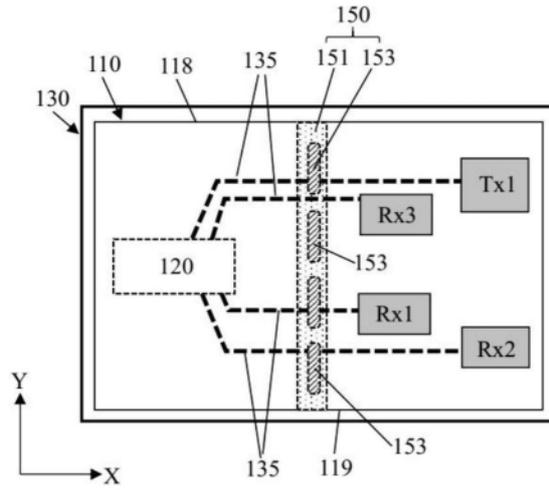


图5B

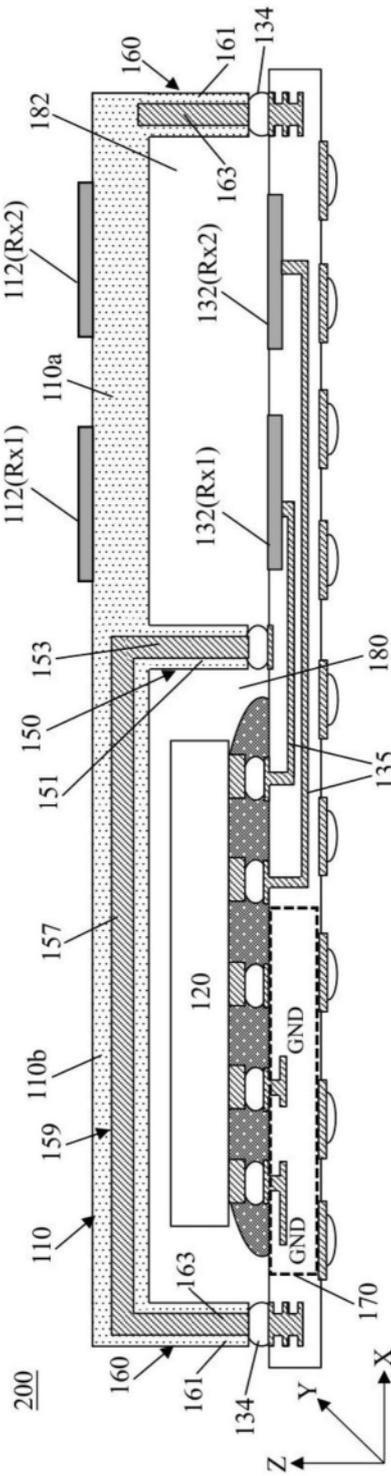


图6