



(12) 发明专利申请

(10) 申请公布号 CN 116956368 A

(43) 申请公布日 2023. 10. 27

(21) 申请号 202310436144.0

(22) 申请日 2023.04.21

(30) 优先权数据

17/730,992 2022.04.27 US

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 A·苏吉特

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 王龙

(51) Int. Cl.

G06F 21/79 (2013.01)

G06F 3/06 (2006.01)

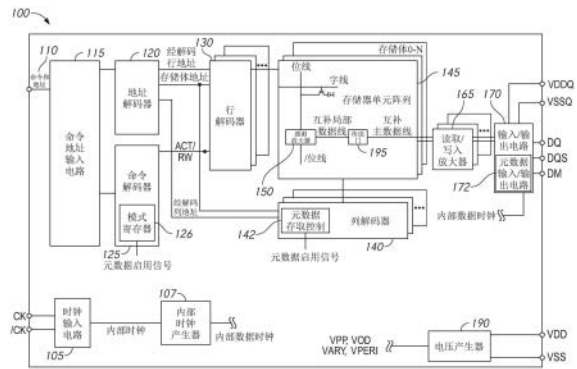
权利要求书2页 说明书8页 附图3页

(54) 发明名称

用于管理元数据安全性和存取的设备、系统和方法

(57) 摘要

用于管理对存储在存储器处的元数据的存取的设备、系统和方法。为了管理对元数据的存取,模式寄存器经配置以接收元数据启用设置,且基于所述元数据启用设置提供元数据启用信号。元数据存取控制电路经配置以接收识别将在存储器阵列内存取的特定列的列地址。所述元数据存取控制电路当所述列地址匹配经指定用于存储元数据的多个特定列地址中的一者且所述元数据启用信号具有第一值时阻止存取对应于所述列地址的列,且当所述列地址不同于经指定用于存储元数据的所述多个特定列地址中的每一者或所述元数据启用信号具有第二值时准许存取对应于所述列地址的列。



1. 一种设备,其包括:
存储器阵列;
模式寄存器,其经配置以提供指示元数据存储特征是否被启用的元数据启用信号;以及
列解码器,其经配置以在存取操作期间接收识别将在所述存储器阵列内存取的特定列的列地址和所述元数据启用信号;其中,当所述元数据启用信号指示所述元数据存储特征被启用时,所述列解码器经配置以在所述列地址匹配经指定用于存储元数据的特定列地址时阻止对对应于所述列地址的列的存取。
2. 根据权利要求1所述的设备,其中所述列解码器经配置以确定经指定用于存储元数据的多个列地址,包含所述特定列地址。
3. 根据权利要求1所述的设备,其中所述列解码器包括元数据存取控制电路,所述元数据存取控制电路经配置以基于所述列地址和所述元数据启用信号而确定是否应阻止对所述列地址的存取。
4. 根据权利要求3所述的设备,其中所述元数据存取控制电路包括比较器,所述比较器经配置以比较所述列地址与所述特定列地址,以检测所述列地址是否匹配特定列地址。
5. 根据权利要求4所述的设备,其中所述元数据存取控制电路包括NAND逻辑门,所述NAND逻辑门经配置以对所述比较器的输出与所述元数据启用信号应用NAND逻辑以阻止对所述列地址的存取。
6. 根据权利要求1所述的设备,其中所述模式寄存器经配置以基于从控制器接收的命令而设置所述元数据启用信号。
7. 根据权利要求1所述的设备,其中所述模式寄存器经配置以基于元数据熔丝设置来设置所述元数据启用信号。
8. 根据权利要求7所述的设备,其进一步包括经配置以指示所述元数据特征是否被启用的熔丝。
9. 根据权利要求1所述的设备,其中所述列解码器经配置以当所述元数据启用信号指示所述元数据存储特征被启用时,当所述列地址匹配经指定用于存储元数据的特定列地址时,防止激活对应于与所述列地址相关联的所述列的列选择信号。
10. 根据权利要求1所述的设备,其中所述列解码器经配置以当所述元数据启用信号指示所述元数据存储特征被停用时或当所述列地址不同于经指定用于存储元数据的每一列地址时对应于所述列地址的所述列与所述列地址相关联时,准许存取所述列。
11. 一种设备,其包括:
模式寄存器,其经配置以接收元数据启用设置,且基于所述元数据启用设置提供元数据启用信号;以及
元数据存取控制电路,其经配置以接收所述元数据启用设置和识别将在存储器阵列内存取的特定列的列地址,其中所述元数据存取控制电路经配置以当所述列地址匹配经指定用于存储元数据的多个特定列地址中的一者且所述元数据启用信号具有第一值时阻止存取对应于所述列地址的列,其中所述元数据存取控制电路经配置以当所述列地址不同于经指定用于存储元数据的所述多个特定列地址中的每一者或所述元数据启用信号具有第二值时准许存取对应于所述列地址的列。

12. 根据权利要求11所述的设备,其进一步包括经配置以确定经指定用于存储元数据的所述多个特定列地址的列解码器。

13. 根据权利要求11所述的设备,其中所述元数据存取控制电路包括比较器,所述比较器经配置以将所述列地址与经指定用于存储元数据的所述多个特定列地址中的每一者进行比较以检测匹配。

14. 根据权利要求11所述的设备,其中所述模式寄存器经配置以从控制器接收所述元数据启用设置。

15. 根据权利要求11所述的设备,其中所述模式寄存器经配置以从元数据启用熔丝设置接收所述元数据启用设置。

16. 一种方法,其包括:

在半导体装置处在存取操作期间接收识别将在所述半导体装置的存储器阵列内存取的特定列的列地址;

从所述半导体装置的模式寄存器接收元数据启用信号;

当所述元数据启用信号指示所述元数据存储特征被启用时,当所述列地址匹配经指定用于存储元数据存储阵列的特定列地址时,阻止对对应于所述列地址的列的存取。

17. 根据权利要求16所述的方法,其进一步包括确定经指定用于存储元数据的多个列地址,包含所述特定列地址。

18. 根据权利要求16所述的方法,其进一步包括经由比较器电路比较所述列地址与所述特定列地址,以检测所述列地址是否匹配特定列地址。

19. 根据权利要求16所述的方法,其进一步包括基于从控制器接收的命令设置所述元数据启用信号。

20. 根据权利要求16所述的方法,其进一步包括基于元数据熔丝设置来设置所述元数据启用信号。

21. 根据权利要求20所述的方法,其进一步包括使经配置以停用所述元数据特征的熔丝熔断。

22. 根据权利要求16所述的方法,其进一步包括,当所述元数据启用信号指示所述元数据存储特征被启用时,当所述列地址匹配经指定用于存储元数据的特定列地址时,防止对应于与所述列地址相关联的所述列的列选择信号的激活。

23. 根据权利要求16所述的方法,其进一步包括当所述元数据启用信号指示所述元数据存储特征被停用时或当所述列地址不同于经指定用于存储元数据的每一列地址时对应于所述列地址的所述列与所述列地址相关联时,准许存取所述列。

用于管理元数据安全性和存取的设备、系统和方法

技术领域

[0001] 本公开大体上涉及半导体装置,例如半导体存储器装置。

背景技术

[0002] 半导体存储器装置可包含经配置以存储数据的存储器阵列。在一些应用中,除数据之外还可能提供元数据。元数据可提供关于基础数据的背景或文献目录类型信息。在一些实例中,元数据可用于数据的处理中。元数据可包含处理和/或用于利用基础数据可能必需的重要和/或敏感信息。因而,必不可少的是,元数据是安全的,且被保护不受未经授权存取。

发明内容

[0003] 本公开的实施例提供一种设备,其包括:存储器阵列;模式寄存器,其经配置以提供指示元数据存储特征是否被启用的元数据启用信号;以及列解码器,其经配置以在存取操作期间接收识别将在所述存储器阵列内存取的特定列的列地址和所述元数据启用信号;其中,当所述元数据启用信号指示所述元数据存储特征被启用时,所述列解码器经配置以在所述列地址匹配经指定用于存储元数据的特定列地址时阻止对对应于所述列地址的列的存取。

[0004] 本公开的另一实施例提供一种设备,其包括:模式寄存器,其经配置以接收元数据启用设置,且基于所述元数据启用设置提供元数据启用信号;以及元数据存取控制电路,其经配置以接收所述元数据启用设置和识别将在存储器阵列内存取的特定列的列地址,其中所述元数据存取控制电路经配置以当所述列地址匹配经指定用于存储元数据的多个特定列地址中的一者且所述元数据启用信号具有第一值时阻止存取对应于所述列地址的列,其中所述元数据存取控制电路经配置以当所述列地址不同于经指定用于存储元数据的所述多个特定列地址中的每一者或所述元数据启用信号具有第二值时准许存取对应于所述列地址的列。

[0005] 本公开的又一实施例提供一种方法,其包括:在半导体装置处在存取操作期间接收识别将在所述半导体装置的存储器阵列内存取的特定列的列地址;从所述半导体装置的模式寄存器接收元数据启用信号;当所述元数据启用信号指示所述元数据存储特征被启用时,当所述列地址匹配经指定用于存储元数据存储器阵列的特定列地址时,阻止对对应于所述列地址的列的存取。

附图说明

[0006] 图1是根据本公开的一些实施例的半导体装置的框图。

[0007] 图2是根据本公开的一些实施例的半导体装置200的框图。

[0008] 图3是根据本公开的一些实施例的控制对指定用于元数据存储的存储器阵列的列的存取的方法的流程图。

具体实施方式

[0009] 以下对某些实施例的描述在本质上仅是示范性的,且决不意图限制本公开的范围或其应用或用途。在对本发明的系统和方法的实施例的以下详细描述中,参考形成本文的一部分的附图,以及借助于说明示出的其中可实践所描述的系统和方法的特定实施例。足够详细地描述这些实施例,以使所属领域的技术人员能够实践当前公开的系统和方法,且应理解,可利用其它实施例,且在不脱离本公开的精神和范围的情况下可进行结构和逻辑改变。此外,为清晰起见,某些特征的详细描述在其对于所属领域的技术人员来说将显而易见时将不予以论述,以免使本公开的实施例的描述混淆不清。因此,以下详细描述不应在限制性意义上理解,且本公开的范围仅由所附权利要求书限定。

[0010] 本公开描述配置有元数据存储特征的存储器装置的实例,所述元数据存储特征允许在存储器阵列处存储元数据以及基础数据。在一些实例中,存储器可在内部确定存储元数据的地方。因此,当控制器发布存取命令时,由控制器提供的对应地址可能有意或无意地包含为元数据存储而保留的存储器列。为了保护元数据不被控制器意外地或有意地存取,可使用模式寄存器设置来控制对元数据的存取。即,模式寄存器设置和元数据存取电路系统可经配置以防止数据被覆写和/或防止对元数据的未经授权存取。在一些实例中,模式寄存器设置可默认地阻止列保留用于元数据存储,且仅经由肯定的模式寄存器设置改变而停用。在一些实例中,用以阻止元数据存取的模式寄存器设置可由指定熔丝支持(例如,除非指定熔丝熔断,否则存取被阻止)。在一些实例中,列解码器可包含元数据存取电路系统,其经配置以检测列地址与指定元数据列地址之间的匹配,且在检测到匹配时防止列被触发。

[0011] 存储器阵列可划分成多个列平面,每一列平面具有共同数目个列。当数据存储存储在存储器阵列处时,其被分裂以使得数据的相应子集存储在每一列平面的相应列处。在存取操作期间,可同时存取列平面中的仅一个列,因此跨越多个列平面分裂数据允许并行地存储所有数据。相同列地址用于识别数据将处于或存储于的每一列平面内的列。举例来说,在写入操作期间,特定列地址可指定将在每一列平面中激活列X以存储数据。

[0012] 然而,为了保留空间以用于元数据,可在每一列平面中留出列的子集以存储元数据。因为元数据(例如,8或16位)为比基础数据(例如,64、128等位)小得多的数据集,所以不需要所有列平面来存储特定数据集的元数据。举例来说,阵列可包含16个列平面,每一列平面具有64个列。特定列平面内的每一列可能能够在一次存取操作期间存储八位数据。因此,如果在16个列平面中的每一者中激活列X,那么可并行地读取或写入总共128位。然而,因为对应元数据是较小数目的位(例如,8或16位),所以并非所有列平面将需要存储元数据。

[0013] 内部元数据地址产生器可经配置以确定指定与存储在特定地址处的数据相关联的元数据所位于的位置的列地址和列平面地址。举例来说,在写入操作期间,可在存储器装置处接收地址及对应写入数据。写入数据可存储在所接收地址处。然而,除写入数据之外,还可在存储器装置处接收对应于写入数据的元数据。元数据可为必须存储在与写入数据分离的位置处的额外数据。内部元数据地址产生器可经配置以将元数据地址映射到与写入数据相关联的地址。元数据可存储在映射到存储写入数据的地址的元数据地址处。以类似方式,在读取操作期间,可接收读取地址。内部元数据地址产生器可经配置以将读取地址映射到元数据地址,所述元数据地址可包含对应于存储在读取地址处的读取数据的元数据。在一些实例中,半导体装置可执行双循环存取操作以存储和检索基础数据以及对应元数据两

者。

[0014] 为了确定哪一列平面用于存储元数据,内部元数据地址产生器可经配置以使用列地址。另外,因为在每一平面内存在比列少的列平面,所以地址产生器可经配置以使用列地址位的子集来指派用于存储对应于列地址的元数据的特定列平面。因此,为了将所接收的读取或写入列地址映射到对应元数据地址,内部元数据地址产生器可处理列地址的位子集以导出映射到元数据的列平面。举例来说,内部元数据地址产生器可对列地址的最低有效位的子集进行解码以确定元数据所存储于的唯一列平面。在一些实例中,内部元数据地址产生器可用于映射到列平面的列地址的位可基于元数据的位的数目和系统架构(例如,x4、x8、x16等)。在硬件复杂性和时间消耗方面,与使用整个列地址相比,使用列地址位的子集来映射阵列内元数据的存储可能更有效。

[0015] 图1是根据本公开的实施例的半导体装置的框图。半导体装置100可为半导体存储器装置,例如集成在单个半导体芯片上的DRAM装置。

[0016] 半导体装置100包含存储器阵列145。存储器阵列145展示为包含多个存储器存储体。在图1的实施例中,存储器阵列145展示为包含八个存储器存储体BANK0到BANK7。更多或更少存储体可包含在其它实施例的存储器阵列145中。每个存储器存储体包含多个字线WL、多个位线BL,以及布置在多个字线WL与多个位线BL的相交处的多个存储器单元MC。字线WL的选择由行解码器130执行,且位线BL的选择由列解码器140执行。在图1的实施例中,行解码器130包含用于每一存储器存储体的相应行解码器,且列解码器140包含用于每一存储器存储体的相应列解码器。位线BL耦合到相应的感测放大器(SAMP)150。来自位线BL的读取数据由感测放大器SAMP放大,且经由互补局部数据线(LIOT/B)、传送门(TG)和互补主数据线(MIOT/B)传送到读取/写入放大器和错误校正码(ECC)控制电路(RWAMP和ECC控制电路)165。相反,从RWAMP和ECC 120输出的写入数据经由互补主数据线MIOT/B、传送门TG 195和互补局部数据线LIOT/B传送到感测放大器SAMP 150,且写入在耦合到位线BL的存储器单元MC中。

[0017] 半导体装置100可使用多个外部端子,包含:耦合到命令和地址总线以接收命令和地址的命令和地址(C/A)端子110;和用以接收时钟CK和/CK的CS信号时钟端子;用以提供数据的数据端子DQ;以及用以接收供电电位VDD、VSS、VDDQ和VSSQ的供电端子。

[0018] 时钟端子被供应提供到时钟输入电路105的外部时钟CK和/CK。外部时钟可为互补的。时钟输入电路105基于CK和/CK时钟产生内部时钟ICLK。ICLK时钟提供到命令解码器140,且提供到内部时钟产生器107。内部时钟产生器107基于ICLK时钟提供各种内部时钟LCLK。LCLK时钟可用于不同内部电路的定时操作。内部数据时钟LCLK提供到输入/输出电路170,以对包含在输入/输出电路170中的电路的操作进行定时,例如提供到数据接收器以对写入数据的接收进行定时。

[0019] C/A端子可供应有存储器地址。供应到C/A端子的存储器地址经由地址/命令输入电路115传送到地址解码器120。地址解码器120接收地址,且将经解码行地址XADD供应到行解码器130并将经解码列地址YADD供应到列解码器140。地址解码器120还可供应经解码存储体地址BADD,其可指示含有经解码行地址XADD和列地址YADD的存储器阵列145的存储体。可为C/A端子供应命令。命令的实例包含用于控制各种操作的时序的时序命令、用于存取存储器的存取命令,例如用于执行读取操作的读取命令和用于执行写入操作的写入命令,以

及其它命令和操作。存取命令可与用以指示待存取的存储器单元的一或多个行地址XADD、列地址YADD和存储体地址BADD相关联。

[0020] 命令可经由命令/地址输入电路115作为内部命令信号提供到命令解码器140。命令解码器140包含解码内部命令信号以产生用于执行操作的各种内部信号和命令的电路。举例来说,命令解码器140可提供用以选择字线的行命令信号和用以选择位线的列命令信号。

[0021] 装置100可接收存取命令。当存取命令为读取命令,且存储体地址、行地址及列地址被及时地供应读取命令时,从存储器阵列145中对应于行地址及列地址的存储器单元读取包含读取数据及读取奇偶校验位的码字。读取命令由命令解码器140接收,所述命令解码器提供内部命令,使得来自存储器阵列145的读取数据被提供到RWAMP和ECC控制电路120。RWAMP和ECC控制电路120可使用码字中的奇偶校验位来确定码字是否包含任何错误,且如果检测到任何错误,那么可校正所述错误以产生经校正码字(例如,通过改变所识别的错误的位的状态)。经校正码字(无奇偶校验位)经由输入/输出电路170从数据端子DQ输出到装置100外部。

[0022] 装置100可接收是写入命令的存取命令。当接收到写入命令,且作为写入操作的部分及时地供应存储体地址、行地址及列地址时,写入数据经由DQ终端供应到RWAMP和ECC控制电路120。供应到数据端子DQ的写入数据被写入到存储器阵列145中对应于行地址和列地址的存储器单元。写入命令由命令解码器140接收,所述命令解码器提供内部命令以使得写入数据由输入/输出电路170中的数据接收器接收。还可将写入时钟提供到外部时钟端子,以用于对输入/输出电路170的数据接收器接收写入数据进行定时。写入数据经由输入/输出电路170供应到RWAMP和ECC控制电路120。RWAMP和ECC控制电路120可基于写入数据产生数个奇偶校验位,且可将写入数据和奇偶校验位作为码字提供到存储器阵列145以待写入到存储器单元MC中。

[0023] 在一些实例中,半导体装置100可经配置以支持促进对对应于特定数据的元数据的处置的元数据特征。通常,为了管理数据存储,存储器阵列145可划分成数个列平面,每一列平面具有共同数目个列。当基础数据存储于存储器阵列145处时,其被分裂以使得数据的相应子集存储于每一列平面的相应列处。在存取操作期间,可同时存取列平面中的仅一个列,因此跨越多个列平面分裂数据允许并行地存储所有基础数据。相同列地址用于识别数据将处于或存储于的每一列平面内的列。举例来说,在写入操作期间,特定列地址可指定将在每一列平面中激活列X以存储写入数据。

[0024] 然而,为了保留空间以用于元数据,半导体装置100可在内部在每一列平面内的留出列子集以存储元数据。因为元数据(例如,8或16位)为比基础数据(例如,64、128等位)小的数据集,所以不需要所有列平面来存储特定数据集的元数据。举例来说,存储器阵列145可包含16个列平面,每一列平面具有64个列。特定列平面内的每一列可能能够在一次存取操作期间存储八位数据。因此,如果在16个列平面中的每一者中激活列X,那么可并行地读取或写入总共128位。然而,因为对应元数据是较小数目的位(例如,8或16位),所以并非所有列平面将需要存储元数据。

[0025] 因为在内部确定元数据列,所以与半导体装置100通信的控制器可能不了解哪些列经配置以存储元数据。因此,命令解码器125的模式寄存器126、列解码器140的元数据存

取控制电路142和输入/输出电路170的元数据输入/输出电路172可经配置以管理元数据存储,包含在启用元数据特征时防止元数据形式被覆写或以其它方式存取。元数据特征可经由存储在模式寄存器126处的模式寄存器设置来启用。模式寄存器126可经配置以提供元数据启用信号MDEN以指示元数据特征是否被启用。在一些实例中,启用元数据特征的模式寄存器126的模式寄存器设置可默认为启用状态。当控制器发布存取命令时,由控制器提供的对应地址可能有意或无意地包含对应于为元数据存储而留出的存储器阵列145的列。

[0026] 为了保护元数据不被控制器意外地或有意地存取,可使用模式寄存器126及元数据存取控制电路142的模式寄存器启用设置来控制对元数据的存取。模式寄存器126可将具有基于元数据特征模式寄存器设置的值的MDEN信号提供到元数据存取控制电路142,且元数据存取控制电路142可防止元数据被覆写和/或防止当MEDN信号指示启用元数据特征时对元数据的未经授权存取。在一些实例中,模式寄存器设置可默认为致使元数据存取控制电路142阻止对为元数据存储而留出的列的存取的值,且仅经由肯定的模式寄存器设置改变而停用。在一些实例中,用以阻止元数据存取的模式寄存器设置可由指定熔丝支持(例如,除非指定熔丝熔断,否则存取被阻止)。

[0027] 在一些实例中,当MDEN信号指示模式寄存器特征被启用时,设置元数据存取电路142的模式寄存器可检测列地址与指定元数据列地址之间的匹配,且当检测到匹配时防止列被触发。如果未检测到匹配,那么元数据存取电路系统142可确定用于与基础读取或写入数据相关联的元数据的元数据地址存储位置。因此,当接收写入数据和对应元数据时,元数据存取电路系统142可经配置以将元数据列平面映射到与写入数据相关联的列地址。以类似方式,在读取操作期间,当请求读取数据和对应元数据时,元数据存取电路系统142可经配置以将读取列地址映射到存储对应元数据的元数据列平面。在一些实例中,半导体装置100可执行双循环存取操作以存储和检索基础数据以及对应元数据两者。在一些实例中,为确定哪一列平面用于存储元数据,元数据地址产生器142可经配置以使用列地址位的子集来指派用于存储对应于列地址的元数据的特定列平面。举例来说,元数据地址产生器142可对列地址的最低有效位的子集进行解码以确定元数据所存储于的唯一列平面。在一些实例中,内部元数据地址产生器可用于映射到列平面的列地址的位可基于元数据的位的数目和系统架构(例如,信道宽度(例如,x4、x8、x16等)和数据大小(例如,4字节、8字节、16字节等))。在一些实例中,元数据地址产生器142可使用列地址位的子集连同其它固定或一或多个其它命令地址位(例如,CA10)来将列地址映射到元数据地址。在硬件复杂性和时间消耗方面,与使用整个列地址相比,使用列地址位的子集来映射阵列内元数据的存储可能更有效。

[0028] 元数据输入/输出电路172可经配置以管理在写入操作期间从DQ端子接收的元数据以供存储在存储器阵列145处,且管理从存储器阵列145接收的元数据以供在读取操作期间发射到DQ端子。在一些实例中,可在基础数据之后接收和/或发射元数据。元数据可包含比基础数据少的位。

[0029] 向供电端子供应供电电位VDD和VSS。供电电位VDD和VSS被供应到电压产生器电路190。电压产生器电路190基于供应到供电端子的供电电位VDD和VSS产生各种内部电位VPP、VOD、VARY、VPERI等。内部电位VPP主要在行解码器130中使用,内部电位VOD和VARY主要在存储器阵列145中包含的感测放大器SAMP中使用,且内部电位VPERI在许多外围电路块中使

用。

[0030] 还向供电端子供应供电电位VDDQ和VSSQ。供电电位VDDQ和VSSQ被供应至输入/输出电路170。在本公开的一些实施例中,被供应至供电端子的供电电位VDDQ和VSSQ可为与被供应至供电端子的供电电位VDD和VSS相同的电位。在本公开的另一实施例中,供应给供电端子的供电电位VDDQ和VSSQ可为与供应给供电端子的供电电位VDD和VSS不同的电位。供应到供电端子的供电电位VDDQ和VSSQ用于输入/输出电路170,以使得由输入/输出电路170产生的供电噪声不会传播到其它电路块。

[0031] 图2是根据本公开的一些实施例的半导体装置200的框图。在一些实例中,半导体装置200可包含模式寄存器226及元数据存取控制电路242,其经配置以支持促进对对应于特定数据的元数据的处置的元数据特征。图1的半导体装置100可实施图2的半导体装置200。

[0032] 模式寄存器226可经配置以接收元数据启用设置。元数据启用设置可从外部控制器接收,或可基于半导体装置200上的熔丝的值。基于元数据启用设置,模式寄存器226可经配置以将元数据启用信号MDEN提供到元数据存取控制电路242。如果元数据启用设置具有第一值(例如,指示元数据特征被启用),那么模式寄存器226可将MDEN信号设置为第一值。如果元数据启用设置具有第二值(例如,指示元数据特征被停用),那么模式寄存器226可将MDEN信号设置为第二值。

[0033] 元数据存取控制电路242可经配置以提供对为元数据存储留出的列的存取的控制。元数据存取控制电路242可包含比较器电路244、NAND门245和解码器电路246。比较器电路244可接收对应于存取操作的列地址YADD,且将所述列地址留出以用于元数据存储(MD列地址)。比较器电路244可比较列地址YADD与MD列地址,且如果检测到匹配,那么比较器电路244可设置匹配信号MATCH。NAND门245可经配置以接收来自比较器电路244的MATCH信号和来自模式寄存器226的MDEN信号,且对MATCH信号和MDEN信号执行NAND运算以提供列存取启用信号。即,如果MDEN信号经设置以指示元数据特征被启用且MATCH信号经设置以指示列地址YADD与MD列地址中的一者之间的匹配,那么NAND门245可清除列存取启用信号以防止对列地址YADD的存取。否则,NAND门245可设置列存取启用信号以启用对列地址YADD的存取(例如,当元数据特征未被启用时或当列地址不匹配MD列地址中的一者时)。

[0034] 解码器电路246可接收列存取启用信号和列地址YADD。当清除列存取启用信号(例如,指示列地址YADD为元数据列地址)时,解码器电路246可防止与列地址YADD相关联的列选择信号被触发。当设置列存取启用信号(例如,指示准许对列地址YADD的存取)时,解码器电路246可对列地址YADD进行解码以触发对应的列选择信号。

[0035] 在操作中,半导体装置200可经配置以支持促进对对应于特定数据的元数据的处置的元数据特征。通常,为了管理数据存储,存储器阵列可划分成数个列平面,每一列平面具有共同数目个列。当基础数据存储存储在存储器阵列处时,其被分裂以使得数据的相应子集存储在每一列平面的相应列处。在存取操作期间,可同时存取列平面中的仅一个列,因此跨越多个列平面分裂数据允许并行地存储所有基础数据。相同列地址用于识别数据将处于或存储于的每一列平面内的列。举例来说,在写入操作期间,特定列地址可指定将在每一列平面中激活列X以存储写入数据。

[0036] 然而,为了保留空间以用于元数据,半导体装置200可在内部在每一列平面内的留

出列子集以存储元数据。因为元数据(例如,8或16位)为比基础数据(例如,64、128等位)小的数据集,所以不需要所有列平面来存储特定数据集的元数据。举例来说,存储器阵列可包含16个列平面,每一列平面具有64个列。特定列平面内的每一列可能能够在在一个存取操作期间存储八位数据。因此,如果在16个列平面中的每一者中激活列X,那么可并行地读取或写入总共128位。然而,因为对应元数据是较小数目的位(例如,8或16位),所以并非所有列平面将需要存储元数据。

[0037] 因为在内部确定元数据列,所以与半导体装置200通信的控制器可能不了解哪些列经配置以存储元数据。因此,模式寄存器226和元数据存取控制电路242可经配置以管理元数据存储,包含在启用元数据特征时防止元数据形式被覆写或以其它方式存取。元数据特征可基于元数据启用设置经由存储在模式寄存器226处的模式寄存器设置来启用。模式寄存器226可经配置以提供MDEN信号以指示元数据特征是否被启用。在一些实例中,启用元数据特征的模式寄存器226的元数据启用设置可默认为启用状态。当控制器发布存取命令时,由控制器提供的对应地址可能有意或无意地包含对应于为元数据存储而留出的存储器阵列的列。

[0038] 为了保护元数据不被控制器意外地或有意地存取,元数据存取控制电路242可用于基于列地址YADD和MDEN信号而控制对元数据的存取。在一些实例中,模式寄存器设置可默认为致使元数据存取控制电路242阻止对为元数据存储而留出的列的存取的值,且仅经由肯定的模式寄存器设置改变而停用。在一些实例中,用以阻止元数据存取的模式寄存器设置可由指定熔丝支持(例如,除非指定熔丝熔断,否则存取被阻止)。

[0039] 在一些实例中,当MDEN信号指示模式寄存器特征被启用时,元数据存取控制电路242可检测列地址YADD与元数据列地址之间的匹配,且当检测到匹配时防止列选择信号被触发。如果未检测到匹配,那么元数据存取控制电路242可确定用于与基础读取或写入数据相关联的元数据的元数据地址存储位置。

[0040] 为了检测匹配,比较器电路244可将对应于存取操作的列地址YADD与MD列地址进行比较。如果检测到匹配,那么比较器电路244可设置匹配信号MATCH。NAND门245可经配置以接收来自比较器电路244的MATCH信号和来自模式寄存器226的MDEN信号,且对MATCH信号和MDEN信号执行NAND运算以提供列存取启用信号。即,如果MDEN信号经设置以指示元数据特征被启用且MATCH信号经设置以指示列地址YADD与MD列地址中的一者之间的匹配,那么NAND门245可清除列存取启用信号以防止对列地址YADD的存取。否则,NAND门245可设置列存取启用信号以启用对列地址YADD的存取(例如,当元数据特征未被启用时或当列地址不匹配MD列地址中的一者时)。

[0041] 解码器电路246可接收列存取启用信号和列地址YADD。当清除列存取启用信号(例如,指示列地址YADD为元数据列地址)时,解码器电路246可防止与列地址YADD相关联的列选择信号被触发。当设置列存取启用信号(例如,指示准许对列地址YADD的存取)时,解码器电路246可对列地址YADD进行解码以触发对应的列选择信号。

[0042] 图3是根据本公开的一些实施例的控制对指定用于元数据存储的存储器阵列的列的存取的方法300的流程图。在一些实施例中,方法300可由图1的半导体装置100和/或图2的半导体装置200实施。

[0043] 方法300包含在310处在半导体装置处在存取操作期间接收识别将在半导体装置

的存储器阵列内存取的特定列的列地址。可在元数据存取控制电路(例如,图1的元数据存取控制电路142或图2的元数据存取控制电路242)处接收列地址。方法300进一步包含在320处从半导体装置的模式寄存器接收元数据启用信号。模式寄存器可包含图1的模式寄存器126或图2的模式寄存器226。在一些实例中,方法300包含基于从控制器接收的命令设置元数据启用信号。在一些实例中,方法300包含基于元数据熔丝设置来设置元数据启用信号。在一些实例中,方法300包含使经配置以停用元数据的熔丝熔断。

[0044] 方法300进一步包括在330处,当元数据启用信号指示元数据存储特征被启用时,当列地址匹配经指定用于存储元数据存储阵列的特定列地址时阻止对对应于列地址的列的存取。在一些实例中,方法300包含经由比较器电路比较列地址与特定列地址,以检测列地址是否匹配特定列地址。在一些实例中,比较器电路可包含图2的比较器电路244。在一些实例中,方法300包含确定经指定用于存储元数据的多个列地址,包含特定列地址。

[0045] 在一些实例中,方法300包含当元数据启用信号指示元数据存储特征被启用时,当列地址匹配经指定用于存储元数据的特定列地址时,防止对应于与所述列地址相关联的列的列选择信号的激活。在一些实例中,方法300可进一步包含当元数据启用信号指示元数据存储特征被停用时或当列地址不同于经指定用于存储元数据的每一列地址时对应于所述列地址的列与所述列地址相关联时,准许存取所述列。

[0046] 当然,应了解,本文中所描述的实例、实施例或过程中的任一个可与一或多个其它实例、实施例和/或过程组合或分离和/或在根据本发明系统、装置和方法的单独装置或装置部分当中执行。

[0047] 最后,上文的论述仅旨在说明本发明系统,且不应解释为将所附权利要求书限于任何特定实施例或实施例群组。因此,虽然已参考示范性实施例详细地描述了本发明系统,但还应了解,在不脱离如在所附权利要求书中所阐述的本发明系统的更广和既定精神和范围的情况下,所属领域的技术人员可设计众多修改和替代实施例。因此,说明书和附图应以说明性方式看待,且并不旨在限制所附权利要求书的范围。

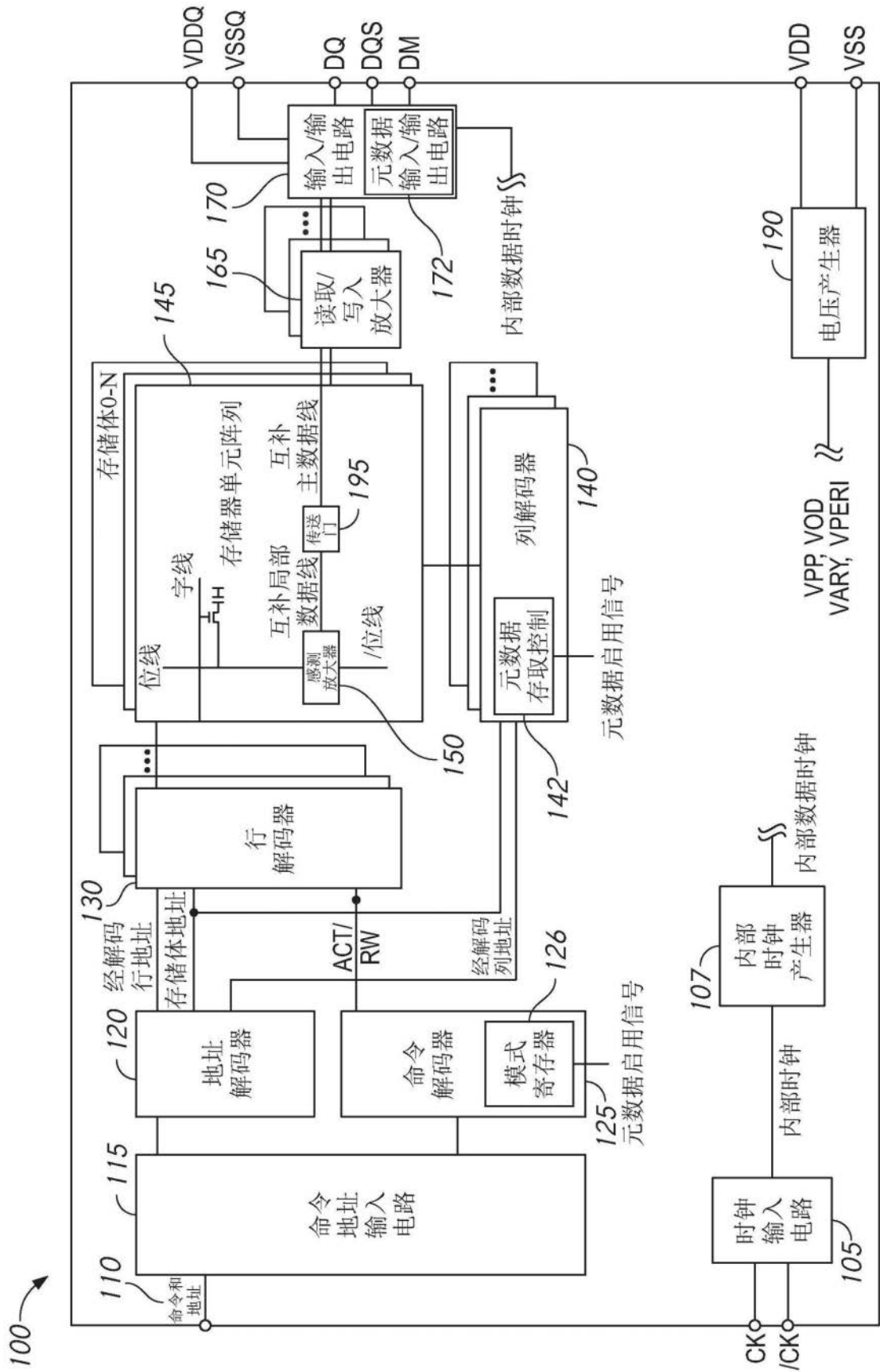


图1

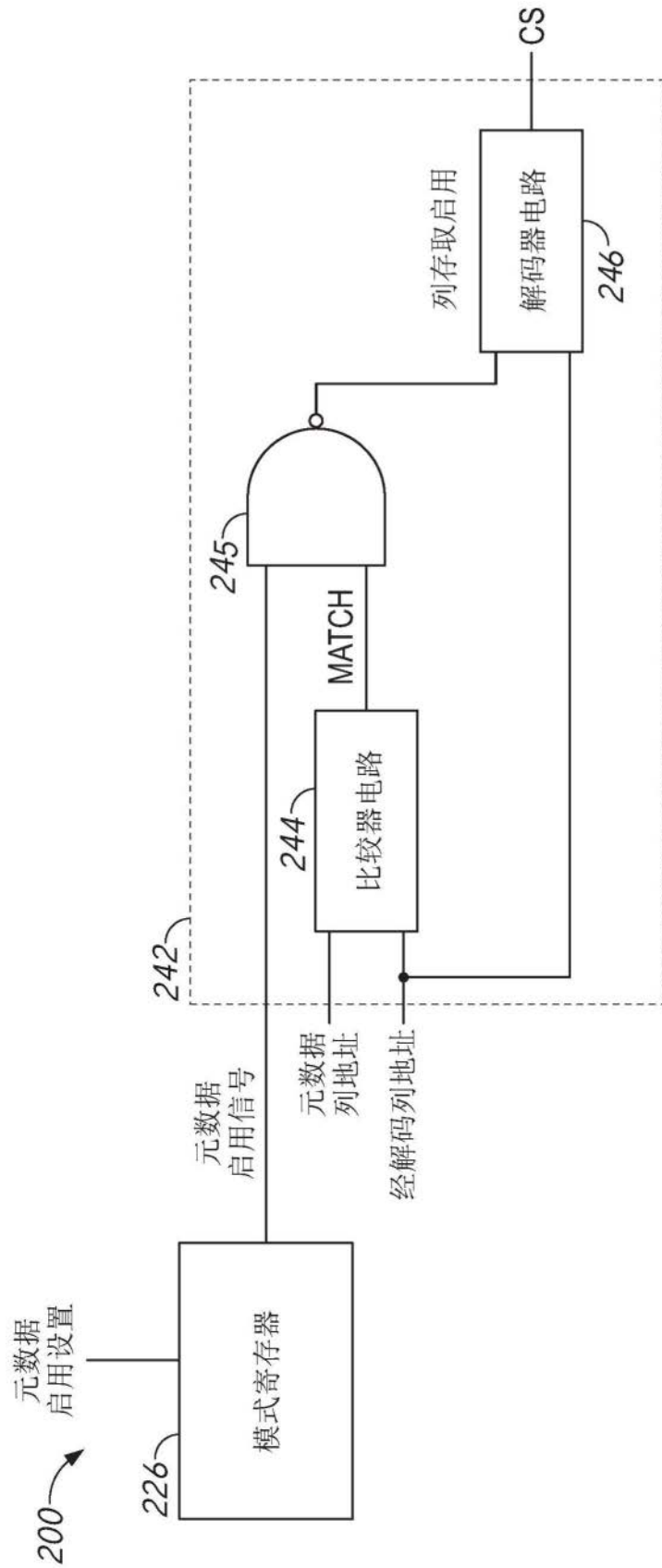


图2

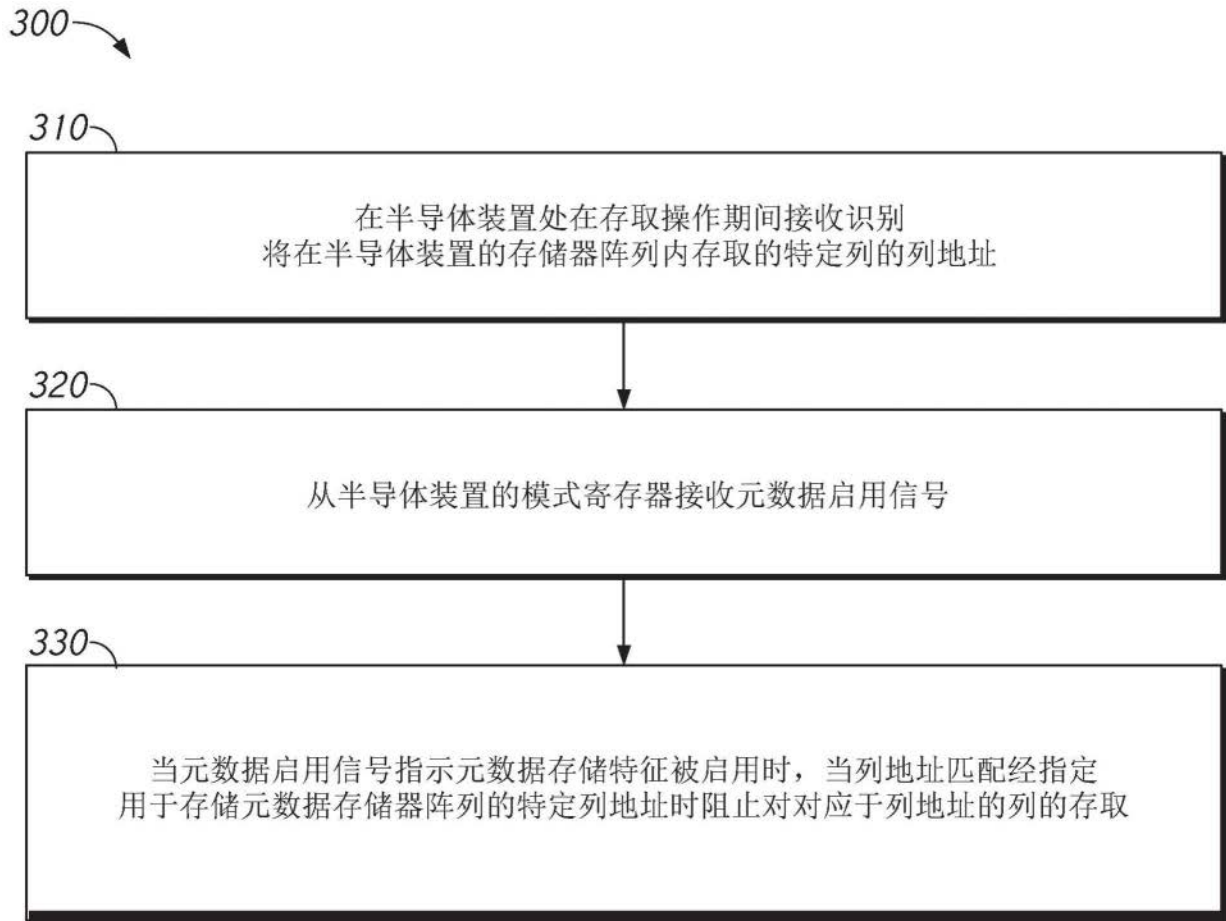


图3