

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-18809

(P2011-18809A)

(43) 公開日 平成23年1月27日(2011.1.27)

(51) Int.Cl. F I テーマコード(参考)
 H O 1 L 29/78 (2006.01) H O 1 L 29/78 3 O 1 J 5 F 1 4 O
 H O 1 L 29/78 3 O 1 D

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願2009-163115 (P2009-163115)
 (22) 出願日 平成21年7月9日(2009.7.9)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 内田 薫
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 (72) 発明者 澤田 和幸
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 (72) 発明者 原田 裕二
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内

最終頁に続く

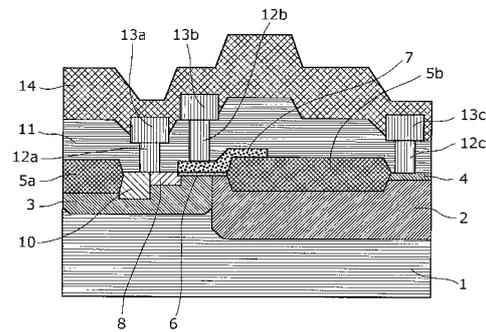
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】低オン抵抗かつ高耐圧で高速スイッチング可能な半導体装置をキャリアのライフタイムコントロールの為の格子欠陥を形成していない半導体基板で実現する。

【解決手段】P型Siからなる基板1の表面部に形成されたN型不純物層であるリサーチ領域2と、P型不純物層であるベース領域3と、高濃度のN型不純物層であるエミッタ/ソース領域8と、リサーチ領域2内に形成された低濃度のP型不純物層であるコレクタ領域4と、コレクタ領域4に隣接して形成され別断面に位置する高濃度のN型不純物層であるドレイン領域と、高濃度のP型不純物層であるベース接続領域10と、ゲート絶縁膜6と、ゲート電極7とからなる横型ハイブリットIGBTにおいて、コレクタ領域4が別断面に位置するドレイン領域よりも浅く形成されている。

【選択図】図2



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板の表面部に形成された第 2 導電型のリサーフ領域と、
前記半導体基板内に前記リサーフ領域と隣り合うように形成された第 1 導電型のベース領域と、

前記ベース領域内に前記リサーフ領域とは離隔して形成された第 2 導電型のエミッタ/ソース領域と、

前記エミッタ/ソース領域に隣接し前記ベース領域内に形成された第 1 導電型のベース接続領域と、

前記エミッタ/ソース領域上から前記ベース領域上を通過して前記リサーフ領域上にかけて形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記リサーフ領域内に前記ベース領域とは離隔して形成された第 2 導電型のドレイン領域と、

前記リサーフ領域内に前記ベース領域とは離隔し、かつ前記ドレイン領域に隣接して形成された第 1 導電型のコレクタ領域と、

前記半導体基板上に形成され、かつ前記コレクタ領域及び前記ドレイン領域の両方に電氣的に接続されたコレクタ/ドレイン電極と、

前記半導体基板上に形成され、かつ前記ベース接続領域及び前記エミッタ/ソース領域の両方に電氣的に接続されたエミッタ/ソース電極を備え、

前記コレクタ領域の深さが前記ドレイン領域の深さよりも浅く形成されていることを特徴とする半導体装置。

【請求項 2】

前記第 1 導電型のコレクタ領域の不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であり、かつ深さが $0.7 \mu\text{m}$ 以下である

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 導電型のリサーフ領域中及び前記第 1 導電型の半導体基板中にキャリアのライフタイムコントロールのための格子欠陥を有していない

ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

第 1 導電型の半導体基板表面の所望の領域に第 2 導電型のリサーフ領域を形成する工程と、

前記半導体基板内に前記リサーフ領域と隣り合うように第 1 導電型のベース領域を形成する工程と、

前記リサーフ領域とベース領域の一部表面上にゲート絶縁膜及びゲート電極を積層して形成する工程と、

前記ベース領域内の前記ゲート電極に隣接した部分に第 2 導電型のエミッタ/ソース領域を形成する工程と、

前記ベース領域内の前記エミッタ/ソース領域に隣接した部分に第 1 導電型のベース接続領域を形成する工程と、

前記リサーフ領域内の前記ベース領域とは離隔した部分に、第 2 導電型のドレイン領域を形成する工程と、

熱処理によって前記ドレイン領域を拡散する工程と、

前記リサーフ領域内の、前記ベース領域とは離隔し、かつ前記ドレイン領域に隣接した部分に、第 1 導電型のコレクタ領域を形成する工程と、

前記コレクタ領域及び前記ドレイン領域の両方に電氣的に接続するようにコレクタ/ドレイン電極を形成する工程と、

前記ベース接続領域及び前記エミッタ/ソース領域の両方に電氣的に接続するようにエミッタ/ソース電極を形成する工程と

10

20

30

40

50

を含み、

前記コレクタ領域を前記ドレイン領域よりも浅く形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特にスイッチング電源装置に使用され、かつ主電流を繰り返し開閉する高耐圧半導体スイッチング素子に関するものである。

【背景技術】

【0002】

電力変換機器や電力制御機器などに用いられる電力用半導体装置では、電流のオン・オフを切り換えるための高耐圧MOSトランジスタなどのスイッチング素子が広く用いられている。高出力の用途では電力損失を極力減少させるためにオン時の電圧降下が少ないことが必要となり、伝導度変調作用を有する絶縁ゲートバイポーラトランジスタ（以下IGBTと示す）が適している。

【0003】

以下、従来例として、横型IGBTの構成および動作を説明する（例えば、特許文献1、2を参照）。

【0004】

図16は、半導体基板上に形成された、従来の横型IGBTの断面構成を示している。

【0005】

図16に示すように、P型シリコン（Si）からなる基板201の上には、N型不純物層からなるリサーチ領域202が形成され、基板201の表面層の一部には、P型不純物層からなるベース領域204が形成され、更にベース領域204の表面層の一部には、リサーチ領域202より不純物濃度が高いN型不純物層からなるエミッタ/ソース領域205が形成され、リサーチ領域202とエミッタ/ソース領域205に挟まれた部分のベース領域204の表面にゲート絶縁膜206を介してポリシリコンからなるゲート電極207が形成され、ベース領域204の表面層にベース領域204より不純物濃度が濃いP型不純物層からなるコンタクト領域208が形成され、リサーチ領域202の表面層の一部にP型不純物層からなるコレクタ領域211が形成されている。

【0006】

図16に示す横型IGBTでは、基板201にプロトンまたはヘリウムイオンを照射し、その照射損傷による欠陥領域220が形成される。この欠陥領域220によって、キャリアのライフタイムを制御しターンオフ時間の高速化が図られている。

【0007】

図17は、半導体基板上に形成された、従来の横型IGBTの断面構成を示している。

【0008】

図17に示すように、P型シリコン（Si）からなる基板301の上にはN型不純物層からなるリサーチ領域302が形成され、基板301の表面層の一部には、P型不純物層からなるベース領域304が形成され、更にベース領域304の表面層の一部には、リサーチ領域302より不純物濃度が高いN型不純物層からなるエミッタ/ソース領域305が形成され、リサーチ領域302とエミッタ/ソース領域305に挟まれた部分のベース領域304の表面にゲート絶縁膜306を介してポリシリコンからなるゲート電極307が形成され、リサーチ領域302の表面層の一部にP型不純物層からなるコレクタ領域311が形成されている。

【0009】

図17に示す横型IGBTでは、リサーチ領域302内に前記ベース・エミッタ間を短絡するために付加されたP型の絶縁ゲート型トランジスタを備えている。このP型絶縁ゲート型トランジスタは、リサーチ領域302の上層部に選択的に形成されたコレクタ領域311と、コレクタ領域311間のリサーチ領域302上にゲート絶縁膜を介して形成さ

10

20

30

40

50

れたゲート電極とにより構成され、横型 IGBT のターンオフ時にこの P 型絶縁ゲート型トランジスタをオンさせることによって、ターンオフ時間の高速化が図られている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平8-340101号公報

【特許文献2】特開2005-109394号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、図16に示す従来例の場合は、基板の照射損傷により半導体基板表面に存在するベース領域とゲート絶縁膜の界面に欠陥が生成され、ベース領域とゲート絶縁膜の界面の欠陥に起因するリーク電流の発生の原因となる。また、基板に照射を行うためには特殊な製造設備や工法が必要となる。

【0012】

図17に示す従来例の場合は、IGBTのベース・エミッタ間を短絡するために付加されたP型の絶縁ゲート型トランジスタを備えるため、チップ面積の拡大を招き、製造コストの増加に繋がる。

【0013】

上記課題に鑑み、本発明は、電力用半導体装置において、リーク電流の増加をもたらすベース領域とゲート絶縁膜の界面の欠陥を発生させる製造工程を追加することなく、かつチップ面積の増大に繋がる余分な素子を追加することなく、高耐圧でスイッチング速度を改善することのできる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

前記の目的を達成するため、本発明に係る半導体装置は、第1導電型の半導体基板の表面部に形成された第2導電型のリサーフ領域と、前記半導体基板内に前記リサーフ領域と隣り合うように形成された第1導電型のベース領域と、前記ベース領域内に前記リサーフ領域とは離隔して形成された第2導電型のエミッタ/ソース領域と、前記エミッタ/ソース領域に隣接し前記ベース領域内に形成された第1導電型のベース接続領域と、前記エミッタ/ソース領域上から前記ベース領域上を通過して前記リサーフ領域上にかけて形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記リサーフ領域内に前記ベース領域とは離隔して形成された第2導電型のドレイン領域と、前記リサーフ領域内に前記ベース領域とは離隔し、かつ前記ドレイン領域に隣接して形成された第1導電型のコレクタ領域と、前記半導体基板上に形成され、かつ前記コレクタ領域及び前記ドレイン領域の両方に電気的に接続されたコレクタ/ドレイン電極と、前記半導体基板上に形成され、かつ前記ベース接続領域及び前記エミッタ/ソース領域の両方に電気的に接続されたエミッタ/ソース電極を備え、前記コレクタ領域の深さが前記ドレイン領域の深さよりも浅く形成されている。

【0015】

本発明の半導体装置によると、素子に流れるコレクタ電流が比較的小さい時にはMOSFET動作をさせることができると共に、当該コレクタ電流が大きくなるとIGBT動作をさせることができるので、ひとつの素子でMOSFET及びIGBTの二種類を使い分けることができる。

【0016】

そして、MOSFETは性質上オン/オフ速度が速く、IGBTはMOSFETに比べ立ち下がり速度が遅い性質を持つが、本発明の半導体装置によると、半導体装置をオン状態からオフ状態に切り替えた際に、リサーフ領域内に存在する余剰キャリアをコレクタ領域よりも深く形成されたドレイン領域によって再結合によるキャリアの消滅が促進され、電流の立下り速度を高速化することができる。

10

20

30

40

50

【0017】

本発明の半導体装置において、コレクタ領域の不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であり、かつ深さが $0.7 \mu\text{m}$ 以下であることが好ましい。

【0018】

このようにコレクタ領域はオン状態のキャリアの注入源となるため、コレクタ領域を低濃度、浅くすることによって余剰キャリアの生成を抑制し、より電流の立下り速度の高速化が図られる。

【0019】

本発明の半導体装置において、リサーフ領域中及び半導体基板中にキャリアのライフタイムコントロールのための格子欠陥を有していないことが好ましい。

10

【0020】

この場合、照射損傷による前記ベース領域とゲート絶縁膜の界面の欠陥に起因するリーク電流の発生を極めて小さくすることができる。これはリサーフ領域内のコレクタ領域を低濃度、かつドレイン領域よりも浅く形成することで、リサーフ領域内の再結合によるキャリアの消滅を促進し、電流の立下り時間の高速化が図られているため、このキャリアのライフタイムコントロールのための格子欠陥がなくても同等の立下り速度を得ることができるからである。

【0021】

本発明の半導体装置の製造方法は、第1導電型の半導体基板表面の所望の領域に第2導電型のリサーフ領域を形成する工程と、前記半導体基板内に前記リサーフ領域と隣り合うように第1導電型のベース領域を形成する工程と、前記リサーフ領域とベース領域の一部表面上にゲート絶縁膜及びゲート電極を積層して形成する工程と、前記ベース領域内の前記ゲート電極に隣接した部分に第2導電型のエミッタ/ソース領域を形成する工程と、前記ベース領域内の前記エミッタ/ソース領域に隣接した部分に第1導電型のベース接続領域を形成する工程と、前記リサーフ領域内の前記ベース領域とは離隔した部分に、第2導電型のドレイン領域を形成する工程と、熱処理によって前記ドレイン領域を拡散する工程と、前記リサーフ領域内の、前記ベース領域とは離隔し、かつ前記ドレイン領域に隣接した部分に、第1導電型のコレクタ領域を形成する工程と、前記コレクタ領域及び前記ドレイン領域の両方に電氣的に接続するようにコレクタ/ドレイン電極を形成する工程と、前記ベース接続領域及び前記エミッタ/ソース領域の両方に電氣的に接続するようにエミッタ/ソース電極を形成する工程とを含み、前記コレクタ領域を前記ドレイン領域よりも浅く形成している。

20

30

【0022】

本発明の半導体装置の製造方法によると、コレクタ領域を浅く形成することによって、半導体装置がオン状態での余剰キャリアの生成を抑制し、オフ状態に切替った際にコレクタ領域より深く形成されたドレイン領域によって再結合によるキャリアの消滅が促進され、電流の立下り速度を高速化することができ、高速にスイッチングする半導体装置を実現することができる。

【発明の効果】

【0023】

本発明によると、低オン抵抗かつ高耐圧で高速スイッチング可能な半導体装置をキャリアのライフタイムコントロールの為に格子欠陥を形成していない半導体基板で実現することができる。

40

【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施形態に係る半導体装置の一例を示す構造平面図

【図2】図1のA-A'断面を示す構造断面図

【図3】図1のB-B'断面を示す構造断面図

【図4】本発明の第1の実施形態に係る半導体装置のI-V特性を示すグラフ

【図5】コレクタ領域の形成深さ及び濃度の違いによるIGBTの立下り時間の違いを示

50

すグラフ

- 【図6】本発明の第1の実施形態に係る半導体装置の他の例を示す構造断面図
- 【図7】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図8】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図9】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図10】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図11】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図12】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図13】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図14】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図15】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図
- 【図16】従来の半導体装置の構造断面図
- 【図17】従来の半導体装置の構造断面図
- 【発明を実施するための形態】

10

【0025】

(第1の実施形態)

本発明に係る半導体装置の第1の実施形態について、図1～図3を参照しながら説明する。

【0026】

図1は、第1の実施形態に係る半導体装置の平面図であり、図2は、図1のA-A'断面の構造を示す断面図であり、図3は、図1のB-B'断面の構造を示す断面図である。図1～図3では、低濃度のリサーチ領域を有し、横型MOSFETと横型IGBTの特性を併せ持つパワーランジスタの一例を示す。

20

【0027】

第1の実施形態に係る半導体装置は、 $1E14\text{ cm}^{-3}$ 程度の濃度で $200\text{ }\mu\text{m} \sim 400\text{ }\mu\text{m}$ の厚さのP型Siからなる基板1と、基板1の表面から $3 \sim 5\text{ }\mu\text{m}$ 程度の厚さに形成された $1 \sim 5E16\text{ cm}^{-3}$ 程度の濃度のN型不純物層であるリサーチ領域2と、基板1中のリサーチ領域2以外の表面近傍に形成された $1E17\text{ cm}^{-3}$ 程度の濃度のP型不純物層であるベース領域3と、リサーチ領域2の表面から $0.4 \sim 0.7\text{ }\mu\text{m}$ 程度の深さに形成された $2E16 \sim 1E17\text{ cm}^{-3}$ 程度の低濃度のP型不純物層であるコレクタ領域4(図2)と、リサーチ領域2上からベース領域3上にかけて形成された SiO_2 からなるゲート絶縁膜6と、ゲート絶縁膜6上に形成されたPoly Si膜であるゲート電極7と、基板1上に形成されたランジスタを分離する SiO_2 からなる絶縁膜5a、5bと、ベース領域3内に形成された $1E18 \sim 1E20\text{ cm}^{-3}$ 程度の濃度のN型不純物層であるエミッタ/ソース領域8と、リサーチ領域2の表面から $0.8\text{ }\mu\text{m}$ 程度の深さに形成された $1E18 \sim 1E20\text{ cm}^{-3}$ 程度の高濃度のN型不純物層であるドレイン領域9(図3)と、ベース領域3内でエミッタ/ソース領域8に隣接して形成された $1E18 \sim 1E19\text{ cm}^{-3}$ 程度の濃度のP型不純物層であるベース接続領域10と、ゲート電極7とエミッタ/ソース領域8に繋がる電極13aとを分離するための、 SiO_2 膜とBPSG(Boron Phosphor Silicate Glass)膜の積層膜からなる層間絶縁膜11と、エミッタ/ソース領域8とベース接続領域10との境界領域、ゲート電極7、コレクタ領域4、及びドレイン領域9上の層間絶縁膜11にそれぞれ形成されたコンタクトホール12a、12b、12c、12dと、アルミ合金からなる電極13a、13b、13cと、SiNからなる保護膜14とから構成されている。電極13aは、コンタクトホール12aを介してエミッタ/ソース領域8とベース接続領域10との境界領域に接続され、電極13bは、コンタクトホール12bを介してゲート電極7に接続され、電極13cは、コンタクトホール12c、12dを介してコレクタ領域4及びドレイン領域9の両方に接続されている。

30

40

【0028】

図2に示されるA-A'断面は横型のIGBT構造で、図3に示されるB-B'断面は

50

横型のMOSFET構造となっている。

【0029】

図4にこの素子のI-V特性例を示すように、約2.2Vより低電圧側ではMOSトランジスタの動作をし電圧は高速に立ち上り、約2.2Vより高電圧側ではIGBTの動作をすることによって高電流が得られる。

【0030】

ここで、低濃度のP型不純物層であるコレクタ領域4は、高濃度のN型不純物層であるドレイン領域9の深さ0.8μmよりも浅い0.4~0.7μm程度の深さで $1E17\text{ cm}^{-3}$ 程度以下の低濃度に形成されている。このことによって半導体装置がオン状態での余剰キャリアの生成を抑制するとともに、オフ状態に切替った際にコレクタ領域4より深く形成された、ドレイン領域9によって再結合によるキャリアの消滅が促進されるので、図5に立下り時間(t_f)-オン抵抗(R_{on})特性例を示すように、電子線照射により欠陥を形成したIGBTと同等な電流の立下り速度の高速化が図られる。

10

【0031】

このようにコレクタ領域4を $1E17\text{ cm}^{-3}$ 程度以下の低濃度にし、更にドレイン領域9よりも浅く形成することで電流の立下り速度の高速化が図られるため、ライフコントロールのために電子線照射等により形成される格子欠陥は不要となる。

【0032】

なお、図1~図3では単純なリサーフ構造を有する実施例を示したが、図6に示すように、リサーフ領域2内に $2E16\sim 1E17\text{ cm}^{-3}$ 程度の低濃度で形成されたP型不純物層15を含んでいてもよい。この場合は、リサーフ領域2の上下をP型不純物層で挟んでいることによってリサーフ領域を空乏化しやすくなるので、図1~図3の単純構造と同じ耐圧を得るためのリサーフ領域2におけるN型不純物の濃度を、図1~図3の場合より濃くできる。そのため、IGBTをオフした際のリサーフ領域2内での正孔の消失時間を短くでき、更に立下り速度を高速化することができる。

20

【0033】

(第2の実施形態)

図7~図15は本発明による半導体装置の製造方法を示す工程断面図であり、低濃度のリサーフ領域を有する横型IGBT構造のパワートランジスタの製造工程を示す。

【0034】

まず、図7に示すように、500~650μm程度の厚みを有し $1E14\text{ cm}^{-3}$ 程度の濃度のP型Siからなる基板101上にSiO₂膜を形成した後、所望の領域にレジストパターン(図示せず)を形成してこれをマスクにSiO₂膜をエッチングしてレジストを除去することによってSiO₂膜102を所望の形状にパターンニングする。そしてパターンニングされたSiO₂膜102をマスクにしてPイオンを $1E12\sim 1E13\text{ cm}^{-2}$ 程度のドーズ量で図7中の破線の深さまで注入する。

30

【0035】

次に、1200程度の窒素雰囲気中で3時間~6時間程度熱処理を行い、図8に示すように、 $1\sim 5E16\text{ cm}^{-3}$ 程度の濃度を有し5μm程度の厚さのN型不純物層103をリサーフ領域として形成する。

40

【0036】

次に、SiO₂膜104とSi₃N₄膜105を形成した後、所望の領域に形成したレジストパターン(図示せず)をマスクにしてSiO₂膜104とSi₃N₄膜105をエッチングし、図9に示すように、SiO₂膜104とSi₃N₄膜105とをパターンニングする。そしてレジストパターン106を形成しこれをマスクにしてBイオンを $2\sim 5E12\text{ cm}^{-2}$ 程度のドーズ量で図9中の破線の深さまでSiO₂膜104とSi₃N₄膜105とを貫通するように注入する。

【0037】

そして、レジストパターン106を除去した後、図10に示すように、Si₃N₄膜105をマスクにして熱酸化して素子分離用絶縁膜となるSiO₂膜107a、107bを形

50

成して、 Si_3N_4 膜105と SiO_2 膜104を除去する。この熱酸化工程で、図9の工程で注入したBが拡散され、ベース領域となるP型不純物層108が形成される。

【0038】

次に、図11に示すように、 SiO_2 膜109とPoly Si膜110を形成し、レジストパターン(図示せず)をマスクにしてPoly Si膜110をエッチングし、Poly Si膜110をIGBTのゲート電極の形状にパターンニングする。

【0039】

次に、レジストパターン(図示せず)をマスクにして $1 \sim 5 \text{ E } 15 \text{ cm}^{-2}$ 程度のドーズ量でBイオン注入しレジストパターンを除去して、図12に示すように、ベース接続領域となる $1 \text{ E } 18 \text{ cm}^{-3} \sim 1 \text{ E } 20 \text{ cm}^{-3}$ 程度の高濃度のP型不純物層111を形成する。

10

【0040】

次に、Poly Si膜パターン110とレジストパターン(図示せず)をマスクにして $1 \sim 8 \text{ E } 15 \text{ cm}^{-2}$ 程度のドーズ量でAsイオン注入しレジストパターンを除去して、 1000 程度の窒素雰囲気中で1時間~2時間程度熱処理を行い、図13に示すように、高濃度のN型不純物層112、113を、 $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$ 程度の濃度で深さ $0.8 \mu\text{m}$ 程度に形成する。高濃度のN型不純物層112、113は、それぞれエミッタ/ソース領域、ドレイン領域となる。

【0041】

次にレジストパターン(図示せず)をマスクにして $0.5 \sim 2 \text{ E } 13 \text{ cm}^{-2}$ 程度のドーズ量で BF_2 イオン注入しレジストパターンを除去して、図15に示すように、コレクタ領域となる $1 \text{ E } 17 \text{ cm}^{-3}$ 程度の低濃度のP型不純物層114を形成する。

20

【0042】

しかる後に、層間絶縁膜となる SiO_2 膜とBPSG膜の積層膜115を堆積後 900 程度の温度で熱処理して表面を平坦化する。この時点でコレクタ領域としての低濃度のP型不純物層114が拡散して $0.4 \sim 0.7 \mu\text{m}$ 程度の深さになるが、ドレイン領域としての高濃度のN型不純物層113が $0.8 \mu\text{m}$ 程度で形成されているため、コレクタ領域の方が浅く形成される。

【0043】

そしてレジストパターン(図示せず)をマスクにして所望の領域の層間絶縁膜115をエッチングして、コンタクトホール116a、116b、116cを形成する。

30

【0044】

次に、スパッタリング装置においてAlSiCuのようなAlを主成分とする合金膜を形成し、レジストパターン(図示せず)をマスクにしてエッチングし、レジストを除去する工程を経て、図15に示すように、電極としてのAl合金膜パターン117a、117b、117cを形成し、引続き保護膜となるSiN膜118をプラズマCVD法で形成する。

【0045】

このような工程を経て、リサーチ領域としての低濃度のN型不純物層103とその中に形成されたコレクタ領域としての低濃度のP型不純物層114とドレイン領域としての高濃度のN型不純物層113を有する横型ハイブリットIGBT構造のパワートランジスタが得られる。

40

【0046】

ここで、低濃度のN型不純物層103(リサーチ領域)内に形成された低濃度のP型不純物層114(コレクタ領域)が高濃度のN型不純物層113(ドレイン領域)よりも浅く形成されているので、先の第1の実施形態で述べたようにIGBTの立下り速度を高速化することができる。

【産業上の利用可能性】

【0047】

本発明は、スイッチング素子、特に横型IGBTにおいて低オン抵抗でスイッチング速度の向上を実現することができるという効果を有し、電力用半導体装置等に有用である。

50

【符号の説明】

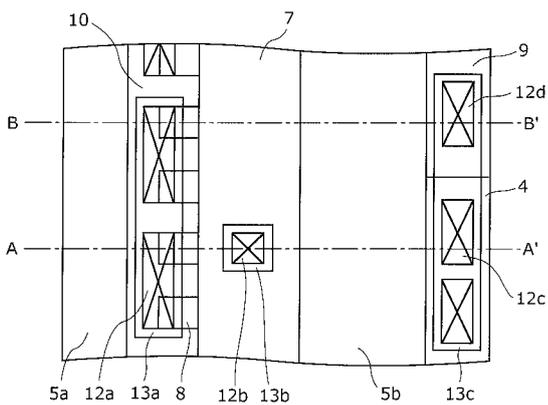
【0048】

- 1、101、201、301 基板
- 2、103、202、302 リサーフ領域 (N型不純物層)
- 3、108、204、304 ベース領域 (P型不純物層)
- 4、114、211、311 コレクタ領域 (低濃度のP型不純物層)
- 5a、5b、107a、107b 絶縁膜 (SiO₂膜)
- 6、109、206、306 ゲート絶縁膜 (SiO₂膜)
- 7、110、207、307 ゲート電極 (Poly Si膜)
- 8、112、205、305 エミッタ/ソース領域 (高濃度のN型不純物層)
- 9、113 ドレイン領域 (高濃度のN型不純物層)
- 10、111 ベース接続領域 (高濃度のP型不純物層)
- 11、115 層間絶縁膜 (SiO₂膜とBPSG膜の積層膜)
- 12a~12d、116a~116c コンタクトホール
- 13a~13c、117a~117c 電極 (Al合金膜パターン)
- 14、118 保護膜 (SiN膜)
- 15 低濃度のP型不純物層
- 102、104 SiO₂膜
- 105 Si₃N₄膜
- 106 レジスト膜パターン
- 220 欠陥領域

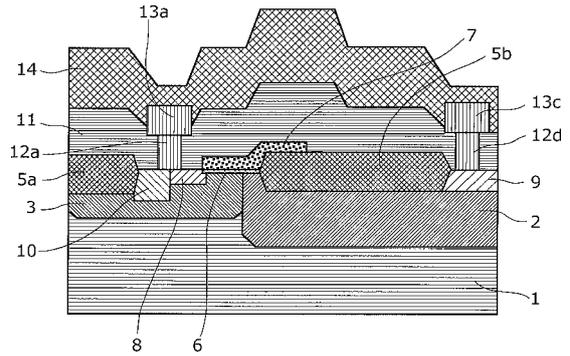
10

20

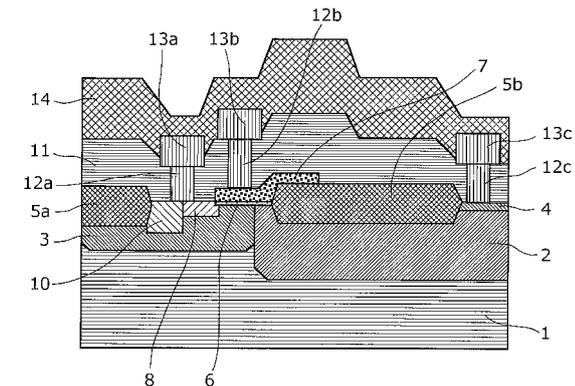
【図1】



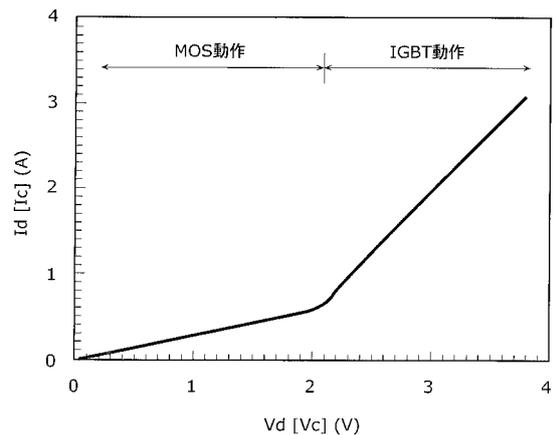
【図3】



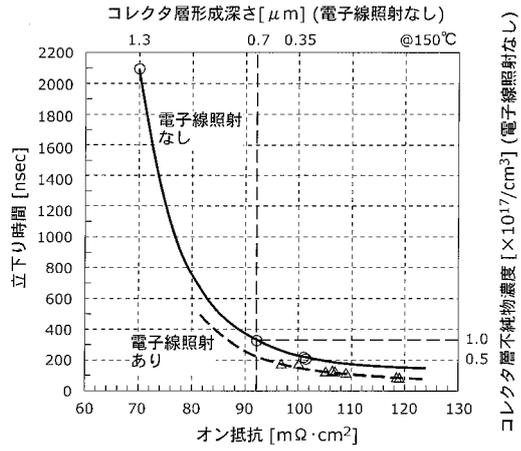
【図2】



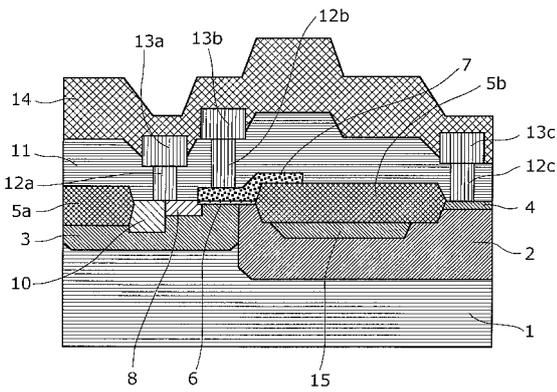
【図4】



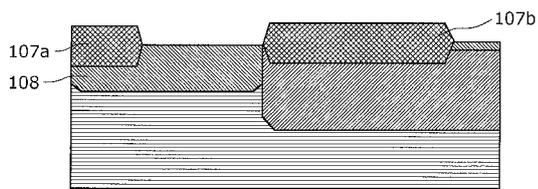
【 図 5 】



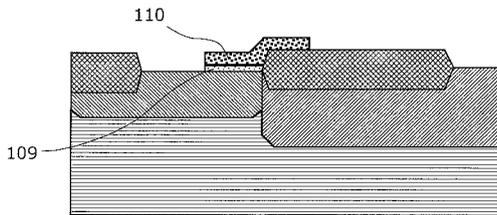
【 図 6 】



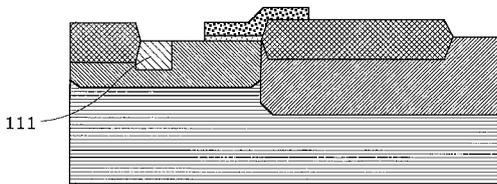
【 図 10 】



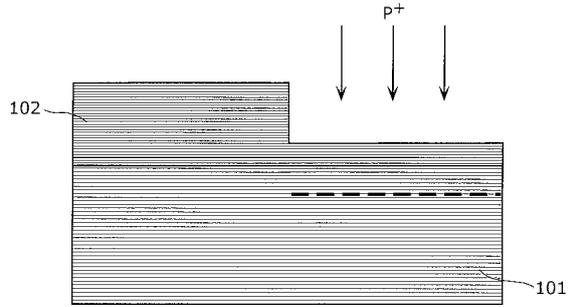
【 図 11 】



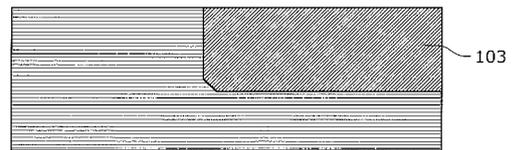
【 図 12 】



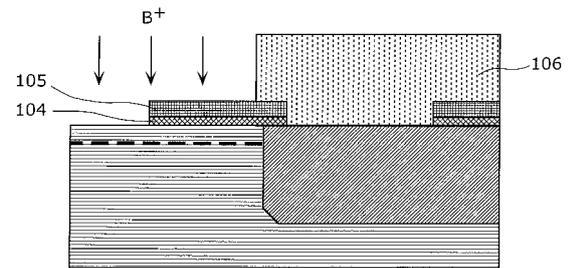
【 図 7 】



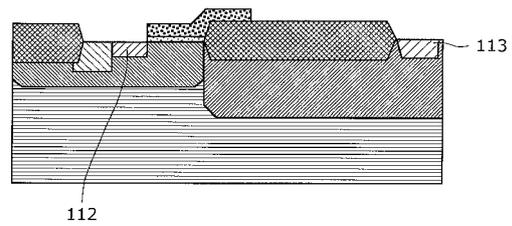
【 図 8 】



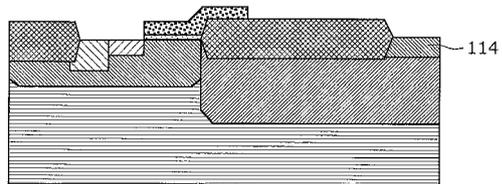
【 図 9 】



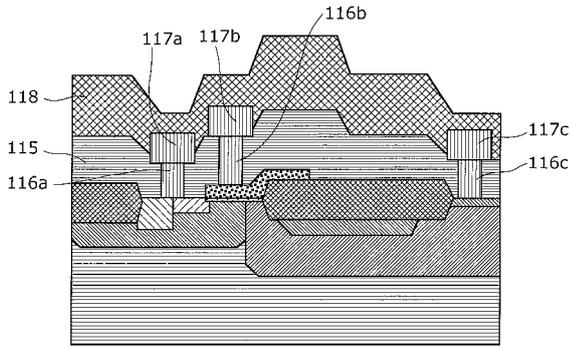
【 図 13 】



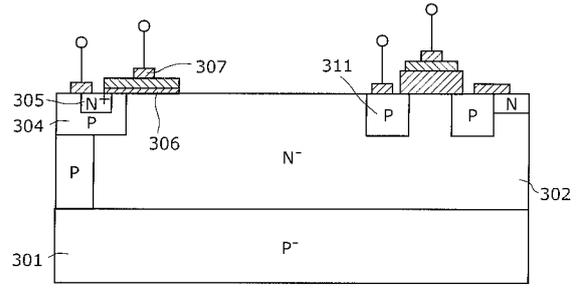
【 図 14 】



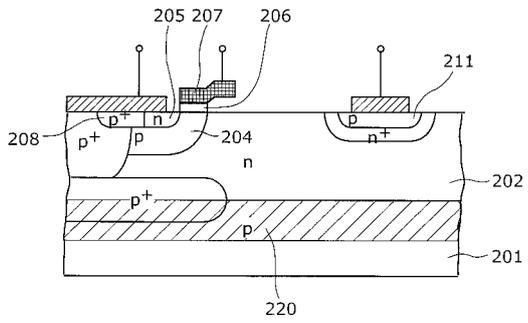
【図 15】



【図 17】



【図 16】



フロントページの続き

Fターム(参考) 5F140 AA24 AA25 AA30 AB04 AC21 AC22 BA01 BC06 BD19 BF01
BF04 BF44 BF60 BH17 BH30 BH41 BH43 BH45 BH47 BH49
BJ27 CA03 CB01 CC01 CC03 CC07 CC20 CD04