



(12) 发明专利申请

(10) 申请公布号 CN 116745898 A

(43) 申请公布日 2023. 09. 12

(21) 申请号 202180062660.0

(22) 申请日 2021.07.13

(30) 优先权数据

63/051113 2020.07.13 US

(85) PCT国际申请进入国家阶段日

2023.03.13

(86) PCT国际申请的申请数据

PCT/EP2021/069512 2021.07.13

(87) PCT国际申请的公布数据

W02022/013246 EN 2022.01.20

(71) 申请人 洛克利光子有限公司

地址 英国柴郡

(72) 发明人 F·皮特斯 M·德奈卡

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 徐阳 陈岚

(51) Int.Cl.

H01L 21/78 (2006.01)

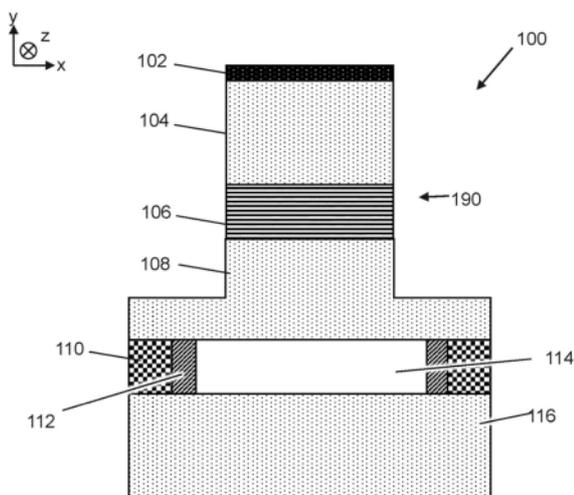
权利要求书2页 说明书7页 附图19页

(54) 发明名称

用于制备用于微转移印刷的器件试样的方法、包括所述器件试样的器件晶片以及由所述器件晶片制造的光电器件

(57) 摘要

一种从位于器件晶片衬底上的多层叠层制备用于微转移印刷工艺的器件试样的方法。所述多层叠层包括多个半导体层。所述方法包括以下步骤：(a) 蚀刻所述多层叠层以形成包括光学部件的多层器件试样；以及(b) 蚀刻所述多层器件试样的半导体层以形成一个或多个拴系件，所述拴系件将所述多层器件试样固定到一个或多个支撑件。



1. 一种从位于器件晶片衬底上的多层叠层制备用于微转移印刷工艺的器件试样的方法,所述多层叠层包括多个半导体层,所述方法包括以下步骤:

(a) 蚀刻所述多层叠层以形成包括光学部件的多层器件试样;以及

(b) 蚀刻所述多层器件试样的半导体层以形成一个或多个拴系件,所述拴系件将所述多层器件试样固定到一个或多个支撑件。

2. 如权利要求1所述的方法,其中经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层与位于所述多层器件试样与所述器件晶片衬底之间的释放层相邻。

3. 如权利要求1所述的方法,其中经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层是夹在所述多层器件试样的第一半导体层与第二半导体层之间的所述多层器件试样的中间半导体层。

4. 如权利要求1所述的方法,其中经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层是所述多层器件试样的最上面的半导体层,所述最上面的半导体层是离所述释放层最远的半导体层。

5. 如任一前述权利要求所述的方法,其中所述拴系件或每个拴系件从所述器件试样延伸到相应支撑件,并且其中所述拴系件或每个拴系件具有位于所述器件试样与所述相应支撑件之间的断裂区域。

6. 如权利要求5所述的方法,其中所述断裂区域比拴系件的相邻区域薄弱。

7. 如权利要求5或权利要求6所述的方法,其中所述断裂区域具有比所述拴系件的相邻区域窄的宽度。

8. 如任一前述权利要求所述的方法,所述方法还包括在步骤(b)之后的执行释放蚀刻的步骤,其中所述器件试样与所述器件晶片衬底之间的释放层被蚀刻掉。

9. 如权利要求8所述的方法,所述方法还包括在执行所述释放蚀刻之后的用光刻胶覆盖所述器件试样、所述拴系件和/或所述支撑件的至少一部分的步骤。

10. 如任一前述权利要求所述的方法,其中所述方法包括在所述支撑件或每个支撑件周围提供保护层的步骤。

11. 如权利要求10所述的方法,其中在执行所述释放蚀刻之前执行所述在所述支撑件或每个支撑件周围提供保护层的步骤。

12. 如任一前述权利要求所述的方法,所述方法还包括在步骤(b)之后执行的在所述器件试样的一个或多个横向侧周围布置抗反射涂层的步骤。

13. 如任一前述权利要求所述的方法,其中所述蚀刻所述多层器件试样的所述半导体层以形成一个或多个拴系件的步骤还包括形成所述一个或多个支撑件,所述一个或多个支撑件附接到所述器件晶片衬底。

14. 如从属于权利要求8或9中任一项的权利要求13所述的方法,其中在所述释放蚀刻之后,所述器件试样仅通过所述拴系件和所述支撑件附接到所述器件晶片衬底。

15. 一种适用于微转移印刷工艺的器件晶片,所述器件晶片包括:

多层器件试样,所述多层器件试样包括光学部件;

一个或多个支撑件,所述一个或多个支撑件连接到器件晶片衬底;以及

一个或多个半导体拴系件,所述一个或多个半导体拴系件将所述器件试样固定到相应

支撑件；

其中所述半导体拴系件是所述多层器件试样的半导体层。

16. 如权利要求15所述的器件晶片,其中所述半导体拴系件是所述多层器件试样的最靠近所述器件衬底的半导体层。

17. 如权利要求15所述的器件晶片,其中所述半导体拴系件是夹在所述多层器件试样的第一半导体层与第二半导体层之间的所述多层器件试样的半导体层。

18. 如权利要求15所述的器件晶片,其中所述半导体拴系件是所述多层器件试样的离所述器件衬底最远的半导体层。

19. 如权利要求15到18中任一项所述的器件晶片,其中所述半导体拴系件或每条半导体拴系件从所述器件试样延伸到相应支撑件,并且其中所述半导体拴系件或每条半导体拴系件具有位于所述器件试样与所述相应支撑件之间的断裂区域。

20. 如权利要求19所述的器件晶片,其中所述断裂区域比所述拴系件的相邻区域薄弱。

21. 如权利要求19或20所述的器件晶片,其中所述断裂区域具有比所述拴系件的相邻区域窄的宽度。

22. 如权利要求19到21中任一项所述的器件晶片,其中所述断裂区域至少部分地由所述拴系件的两个蚀刻区域限定,所述蚀刻区域具有基本上三角形的形状。

23. 如权利要求22所述的器件晶片,其中所述两个三角形蚀刻区域在从所述器件试样到所述相应支撑件的方向上彼此偏移。

24. 如权利要求15到23中任一项所述的器件晶片,其中所述器件试样与所述器件晶片衬底之间存在间隙,使得所述器件试样仅通过所述拴系件和所述支撑件附接到所述器件晶片衬底。

25. 如权利要求15到24中任一项所述的器件晶片,所述器件晶片还包括在所述支撑件或每个支撑件周围的保护层。

26. 如权利要求15到25中任一项所述的器件晶片,所述器件晶片还包括在所述器件试样的一个或多个横向侧周围的抗反射涂层。

27. 一种使用如权利要求15到27中任一项所述的器件晶片来制造光电器件的方法,所述方法包括以下步骤:

(a) 从所述器件晶片释放所述器件试样;以及

(b) 将所述器件试样接合到主衬底上。

28. 一种光电器件,所述光电器件是使用如权利要求27所述的方法制造的。

29. 一种光电器件,所述光电器件包括接合到主衬底的器件试样,所述器件试样由一个或多个III-V族半导体层形成,并且所述主衬底由硅形成,其中所述器件试样包括拴系件的一个或多个片段,并且拴系件的所述片段由III-V族半导体形成。

30. 一种器件试样,所述器件试样是使用如权利要求1到14中任一项所述的方法制备的。

用于制备用于微转移印刷的器件试样的方法、包括所述器件试样的器件晶片以及由所述器件晶片制造的光电器件

[0001] 本申请要求2020年7月13日提交的US 63/051,113的优先权,所述美国专利的内容和要素出于所有目的以引用方式并入本文中。

技术领域

[0002] 本发明涉及方法、器件晶片、光电器件以及器件试样。

背景技术

[0003] 基于III-V族半导体的光电器件(例如,调制器)与绝缘体上硅(SOI)平台的混合集成赋予结合两种材料系统的最佳部分的优势。

[0004] 然而,传统的芯片接合工艺通常使用倒装芯片接合,其中基于III-V族半导体的器件被倒置并接合到SOI平台上的空腔中。使用这些方法制造的器件通常遭受基于III-V族半导体的器件中的波导与SOI中的波导之间的高光耦合损耗。此外,由于难以准确地控制各个波导的对准,因此制造过程具有相对低的成品率和相对低的可靠性。

[0005] 因此,正在研究微转移印刷(MTP)作为将基于III-V族半导体的器件集成到SOI晶片内的替代方法。在这些方法中,呈现器件试样或转移管芯形式的基于III-V族半导体的器件可以通过使用与制造器件相同方向的印模而印刷到SOI上的空腔中,并且基于III-V族半导体的器件与SOI波导之间的对准预先确定在垂直方向(Z方向)上。因此,对准要求可以从三个维度减少到两个维度,这可以更容易地制造。

[0006] MTP工艺的核心是提供拴系件,所述拴系件在处理期间将器件试样保持在晶片上并在MTP工艺期间断裂以允许根据MTP印模来选择MTP试样。这些拴系件会不可靠或不可重现,这在大量处理期间具有负面影响。

[0007] 本发明已经根据上述考虑进行设计。

发明内容

[0008] 因此,在第一方面,本发明的实施方案提供一种从位于器件晶片衬底上的多层叠层制备用于微转移印刷工艺的器件试样的方法,所述多层叠层包括多个半导体层,所述方法包括以下步骤:

[0009] (a) 蚀刻所述多层叠层以形成包括光学部件的多层器件试样;以及

[0010] (b) 蚀刻所述多层器件试样的半导体层以形成一个或多个拴系件,所述拴系件将所述多层器件试样固定到一个或多个支撑件。

[0011] 这种方法产生更可靠的拴系件,可以提高后续微转移印刷工艺的成品率和体积。举例来说,传统的拴系件是使用光刻胶制成的,光刻胶(就其性质而言)在晶片上并不均匀,因为光刻胶的厚度可能取决于周围的拓扑结构以及与晶片边缘的接近程度。此外,光刻胶拴系件断裂产生的碎屑可能导致其他问题,例如卡在MPT工艺期间使用的印模上或进入试样下方并阻止试样正确印刷或降低。然而,当从现有半导体层形成所述拴系件或每个拴系

件时,可以使这些拴系件在晶片上非常均匀,这可以提高器件的成品率。此外,半导体层的均匀性意味着半导体拴系件可以针对精确的剪切强度进行优化。

[0012] 所述方法可以具有以下任选特征中的任何一个,或者就其可兼容的方面来说,可以具有以下任选特征的任何组合。

[0013] 经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层可以与位于所述多层器件试样与所述器件晶片衬底之间的释放层相邻。

[0014] 经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层可以是夹在所述多层器件试样的第一半导体层与第二半导体层之间的所述多层器件试样的中间半导体层。

[0015] 经过蚀刻以形成所述一个或多个拴系件的所述多层器件试样的所述半导体层可以是所述多层器件试样的最上面的半导体层,所述最上面的半导体层是离所述释放层最远的半导体层。

[0016] 所述拴系件或每个拴系件可以从所述器件试样延伸到相应支撑件,并且所述拴系件或每个拴系件可以具有位于所述器件试样与所述相应支撑件之间的断裂区域。所述断裂区域可以比所述拴系件的相邻区域薄弱。所述断裂区域可以具有比所述拴系件的相邻区域窄的宽度。

[0017] 所述方法还可以包括在步骤(b)之后的执行释放蚀刻的步骤,其中所述器件试样与所述器件晶片衬底之间的释放层被蚀刻掉。所述方法还可以包括在所述释放蚀刻之后执行的用光刻胶覆盖所述器件试样、所述拴系件和/或所述支撑件的至少一部分的步骤。

[0018] 所述方法可以包括在所述支撑件或每个支撑件周围提供保护层的步骤。所述在所述支撑件或每个支撑件周围提供保护层的步骤可以在执行所述释放蚀刻之前执行。

[0019] 所述方法还可以包括在步骤(b)之后执行的在所述器件试样的一个或多个横向侧周围布置抗反射涂层的步骤。

[0020] 所述蚀刻所述多层器件试样的所述半导体层以形成一个或多个拴系件的步骤还可以包括形成所述一个或多个支撑件,所述一个或多个支撑件附接到所述器件晶片衬底。在所述释放蚀刻之后,所述器件试样可以仅通过所述拴系件和所述支撑件附接到所述器件晶片衬底。

[0021] 在第二方面,本发明的实施方案提供一种适用于微转移印刷工艺的器件晶片,所述器件晶片包括:

[0022] 多层器件试样,所述多层器件试样包括光学部件;

[0023] 一个或多个支撑件,所述一个或多个支撑件连接到器件晶片衬底;以及

[0024] 一个或多个半导体拴系件,所述一个或多个半导体拴系件将所述器件试样固定到相应支撑件;

[0025] 其中所述半导体拴系件是所述多层器件试样的半导体层。

[0026] 所述器件晶片可以具有以下任选特征中的任何一个,或者就其可兼容的方面来说,可以具有以下任选特征的任何组合。

[0027] 所述半导体拴系件可以是所述多层器件试样的最靠近所述器件衬底的半导体层。

[0028] 所述半导体拴系件可以是夹在所述多层器件试样的第一半导体层与第二半导体层之间的所述多层器件试样的半导体层。

[0029] 所述半导体控系件可以是所述多层器件试样的离所述器件衬底最远的半导体层。
[0030] 所述半导体控系件或每个半导体控系件可以从所述器件试样延伸到相应支撑件，并且所述半导体控系件或每个半导体控系件可以具有位于所述器件试样与所述相应支撑件之间的断裂区域。所述断裂区域可以比所述控系件的相邻区域薄弱。所述断裂区域可以具有比所述控系件的相邻区域窄的宽度。所述断裂区域可以至少部分地由所述控系件的两个蚀刻区域限定，所述蚀刻区域具有基本上三角形的形状。所述两个三角形蚀刻区域可以在从所述器件试样到所述相应支撑件的方向上彼此偏移。

[0031] 所述器件试样与所述器件晶片衬底之间可以存在间隙，使得所述器件试样仅通过所述控系件和所述支撑件附接到所述器件晶片衬底。

[0032] 所述器件晶片还可以包括在所述支撑件或每个支撑件周围的保护层。

[0033] 所述器件晶片还可以包括在所述器件试样的一个或多个横向侧周围的抗反射涂层。

[0034] 在第三方面，本发明的实施方案提供一种使用第二方面的器件晶片来制造光电子器件的方法（并且包括任何方法或任何组合，只要所述方法与参考其阐述的任选特征兼容），所述方法包括以下步骤：

[0035] (a) 从所述器件晶片释放所述器件试样；以及

[0036] (b) 将所述器件试样接合到主衬底。

[0037] 可以通过微转移印刷将所述器件试样接合到所述主衬底上。

[0038] 在第四方面，本发明的实施方案提供一种使用第三方面的方法制造的光电器件（并且包括任何光电器件或任何组合，只要所述光电器件与参考其阐述的任选特征兼容）。

[0039] 在第四方面，本发明的实施方案提供一种光电器件，所述光电器件包括接合到主衬底的器件试样，所述器件试样由一个或多个III-V族半导体层形成，并且所述主衬底由硅形成，其中所述器件试样包括控系件的一个或多个片段，并且控系件的所述片段由III-V族半导体形成。

[0040] 在第五方面，本发明的实施方案提供一种使用第一方面的方法制造的器件试样（并且包括任何器件试样或任何组合，只要所述器件试样与参考其阐述的任选特征兼容）。

[0041] 本发明的另外方面提供：一种包括代码的计算机程序，所述代码在计算机上运行时使得所述计算机执行第一方面或第三方面的方法；一种计算机可读介质，所述计算机可读介质存储包括代码的计算机程序，所述代码在计算机上运行时使得所述计算机执行第一方面或第三方面的方法；以及一种计算机系统，所述计算机系统被编程为执行第一方面或第三方面的方法。

[0042] 本发明包括所描述的方面和优选特征的组合，除了这种组合是明显不允许的或明确避免的情况以外。

附图说明

[0043] 现在将参考附图来讨论说明本发明的原理的实施方案和实验，在附图中：

[0044] 图1A和图1B分别是器件晶片的横截面图和自上而下视图；

[0045] 图2A和图2B分别是变体器件晶片的横截面图和自上而下视图；

[0046] 图3A和图3B示出了微转移印刷工艺的两个步骤；

- [0047] 图4A和图4B分别示出了用于器件晶片中的变体拴系件结构；
- [0048] 图5示出了制备前的初始器件晶片的横截面图；并且
- [0049] 图6A到图18示出了制备器件试样的方法的各个步骤。

具体实施方式

[0050] 现在将参考附图讨论本发明的方面和实施方案。本领域技术人员将了解另外的方面和实施方案。

[0051] 图1A和图1B分别是器件晶片100的横截面图和自上而下视图。器件晶片100包括多层器件试样190,其包括光学部件,例如波导、调制器、光电二极管等。在这个实例中,多层器件试样包括一个或多个接触层102(例如可用于最终器件上的电触点的接触层)、第一半导体层104、第二半导体层106以及第三半导体层108。在这个实例中,第一半导体层和第三半导体层是p掺杂的磷化铟(p-InP)。在这个实例中,第二半导体层106是四元有源层。器件试样190通过气隙114与主晶片衬底116分开并通过支撑柱110附接到衬底。气隙114在器件试样的最下表面与衬底116的最上表面之间延伸。支撑柱由介电层112保护。在自上而下视图(图1B)中,可以看到拴系件118a到118d的结构。拴系件由半导体层108形成,因为(如下所述)提供半导体层,然后蚀刻半导体层以限定一个或多个拴系件118a到118d。拴系件延伸到器件晶片100的层116并由所述层的延伸部分形成。

[0052] 图2A和图2B分别是变体器件晶片200的横截面图和自上而下视图。器件晶片200包括多层器件试样190,如上所述,其包括光学部件。在这个实例中,多层器件试样包括一个或多个接触层20、第一半导体层206/208、第二半导体层210以及第三半导体层212/222。在这个实例中,第一半导体层和第三半导体层是p掺杂的磷化铟(p-InP)。在这个实例中,第二半导体层210是四元有源层。器件试样290通过气隙218与主晶片衬底216分开。在这种情况下,因为第二半导体层210是提供拴系件220a到220d的层(参见图2B),所以气隙不仅在器件试样下方(即在器件试样的最下表面与衬底216的最上表面之间)延伸,而且沿着器件试样290的一个或多个横向侧。这个变体晶片需要使用选择性蚀刻来去除第一半导体层和第三半导体层的部分,但保留第二半导体层的用于形成拴系件的部分。如前所述,在支撑柱214周围提供介电保护层204。在未示出的另一实施方案中,形成拴系件的半导体层可以是叠层中的最上面的半导体层,例如层104、206/208。

[0053] 图3A和图3B示出了微转移印刷工艺的两个步骤。图3A中的器件试样300已经被释放并从器件晶片提起。可以看出,当拴系件在远离试样的点处断裂时,半导体拴系件的片段302a到302b保持附接到器件试样。然后将器件试样印刷到平台晶片320(例如绝缘体上硅平台)的空腔306中。空腔306在晶片的器件层304中形成,并且在这个实例中向下延伸到晶片的衬底。值得注意的是,一旦器件已经印刷,半导体拴系件的片段会保留下来,因此可以通过例如光学或电子显微镜观察到。

[0054] 图4A和图4B分别示出了用于器件晶片中的变体拴系件结构。如图4A所示,第一拴系件结构包括第一区域402和第二区域404。举例来说,第一区域可以从器件晶片延伸,而第二区域可以从器件试样延伸。在第一区域与第二区域之间是断裂区域或断裂点,其形状将针对MTP工艺进行优化,例如比相邻部分窄以便在结构上更薄弱(尽管可以修改其他参数,例如拴系件在那个点与相邻点相比的厚度)。在这个实例中,可以执行在垂直于从第一区域

到第二区域的方向的方向上优先的蚀刻。在这个实例中,这产生两个三角形蚀刻区域406a和406b。在这个实例中,蚀刻区域彼此相对地定位。图4B示出了第二拴系件结构,其具有与第一拴系件结构共有的特征(由相同的参考数字指示)。在此,已执行了在与拴系件的延伸部分成45°的方向上优先的蚀刻。这产生两个三角形蚀刻区域408a和408b,所述蚀刻区域在从第一区域到第二区域的方向上彼此偏移。

[0055] 图5示出了制备前的初始器件晶片的横截面图。初始器件晶片包括:一个或多个接触层502、第一半导体层504(例如p-InP)、第二半导体层506(例如四元有源层)、第三半导体层(例如p-InP)、底切蚀刻层510(也被称为牺牲层或释放层)以及主晶片512。

[0056] 图6A到图18示出了制备器件试样的方法的各个步骤。在结果在图6A中示出的步骤中,器件试样600被限定(例如被蚀刻,提供任何电子部件,例如触点或电极),然后在器件试样的一个横向侧上刻蚀小平面的。图6B从自上而下视图示出了器件试样600,其中可以看到氧化物层602(所述氧化物层从先前步骤留下来以限定器件试样)。器件试样被第三半导体层604的平板区域包围(在此情况下)。图6C示出了穿过蚀刻小平面的横截面,其中可以看到第一半导体层606、第二半导体层608以及第三半导体层604。在第三半导体层之下,即在第三半导体层与衬底612之间的是释放层610。

[0057] 接下来,在图7A(自上而下视图)和图7B(穿过小平面的横截面)所示的步骤中,在整个器件和试样上沉积薄的氧化物层702以保护小平面。这个氧化物层还用作抗反射涂层的第一层。图8A(自上而下视图)和图8B(穿过小平面的横截面)示出了下一个步骤的结果,其中沉积氮化物层802作为硬掩模。氮化物可以是例如氮化硅。然后将抗蚀剂904旋涂到晶片上并图案化以限定在蚀刻后将形成的拴系件和柱。除小平面边缘外,器件试样的所有拐角上都有一个台阶。抗蚀剂掩模是有意偏移的,这暴露了小平面。这在图9A(自上而下视图)和图9B(穿过小平面的横截面)中示出。接下来,在图10A(透视图)和图10B(穿过小平面的横截面)所示的步骤中,执行第一电蚀刻,然后执行半导体蚀刻,使得释放层暴露。然后执行等离子灰化工艺(例如灰化工艺)以去除氮化物硬掩模并因此清除小平面以用于另外的抗反射涂层。这个处理的结果在图11A(自上而下视图)和图11B(穿过小平面的横截面)中示出。接下来,为小平面提供另外的抗反射1202涂层,所述涂层也保护InP拴系件侧壁。然后沉积氮化物层以为光刻步骤(形成光栅并蚀刻衬底)提供硬掩模。然后提供抗蚀剂1206,其用于图案化氮化物硬掩模以便限定光栅(例如如图12B所示的抗蚀剂的周期性形状)。这些步骤的结果在图12A(穿过小平面的横截面)和图12B(自上而下视图)中示出。然后对衬底执行蚀刻以创建光栅,并且去除抗蚀剂,如图13(自上而下视图)所示。

[0058] 一旦已经向下执行蚀刻到衬底,然后通过例如灰化工艺对暴露的氮化物层进行蚀刻以清洁小平面和光栅的顶部。这在图14A(透视图)、图14B(自上而下视图)以及图14C(穿过小平面的横截面)中示出。初始InP拴系件厚度为约1.4 μm 。如果蚀刻500nm释放层,然后停止蚀刻,则拴系件厚度将为约900nm。如果决定拴系件应该更薄,则可以对衬底进行更长的蚀刻。如果确定拴系件应该比900nm厚,则调整初始蚀刻(试样在其中限定)。

[0059] 在这个阶段,试样的拐角可能会暴露(如图15所示),并且拴系件的顶部可能会暴露以释放蚀刻剂。然而,根据本公开提供额外的光刻胶保护层确保即使拐角暴露,拴系件也不会暴露于释放蚀刻剂。因此,可以在不关心泄漏的情况下提供无台阶工艺。

[0060] 如图16A(透视图)和图16B(自上而下视图)所示,然后用抗蚀剂1602覆盖试样、拴

系统以及支撑柱。试样现在可以发布并用于微转移印刷工艺中。在释放后,可以用异丙醇(IPA)或丙酮、然后用去离子水(DI)清洁试样以去除抗蚀剂。图17A和图17B示出了图16A和图16B的替代方案,其中仅施加抗蚀剂1702以覆盖小平面和支撑件。图18是示出释放后的底切的透视图。可以看出,试样和拴系件下方的底切1804是全底切,因此器件试样和拴系件不直接接触晶片。相反,剩余晶片上的底切1802只是部分底切,因此释放层610仍然存在。

[0061] 在前述描述中或随附权利要求书中或附图中公开、以特定形式或鉴于用于执行所公开功能的装置或用于获得所公开结果的方法或过程表达的特征在适当情况下可单独地或以此类特征的任何组合用于以多种形成实现本发明。

[0062] 虽然已经结合上文描述的示例性实施方案描述了本发明,但当给出本公开时,本领域技术人员将了解许多等效的修改和变型。因此,上述本发明的示例性实施方案被认为是说明性的而非限制性的。在不背离本发明的精神和范围的情况下,可以对所描述的实施方案作出各种改变。

[0063] 为避免任何疑问,本文提供的任何理论解释都是为了提高读者的理解而提高。本发明人不希望受到这些理论解释中的任一种束缚。

[0064] 本文所用的任何小节标题仅出于组织性目的且不被解读为限制所描述的主题。

[0065] 在包括所附权利要求书的整个说明书中,除非上下文另外要求,否则词语“包括(comprise)”和“包括(include)”及变型(例如“包括(comprises/comprising)”和“包括(including)”)将被理解为暗示包括规定的整数或步骤或者整数或步骤的组,但不排除任何其他整数或步骤或者整数或步骤的组。

[0066] 必须注意,除非上下文另有明确指明,否则如在本说明书和所附权利要求书中所用,单数形式“一(a/an)”和“所述”包括复数个提及物。范围在本文中可表达为从“约”一个特定值和/或到“约”另一个特定值。当表示这类范围时,另一个实施方案包括从一个特定值和/或到另一个特定值。类似地,当通过使用先行词“约”将值表述为近似值时,将理解,特定值形成另一个实施方案。与数值相关的术语“约”是任选的并且意指例如 $\pm 10\%$ 。

[0067] 特征列表

[0068] 100,200 器件晶片

[0069] 102,202,502 接触层

[0070] 104,206,208,504 p-InP

[0071] 106,210,506 四元有源层

[0072] 108,212,508 p-InP

[0073] 110,214 支撑柱

[0074] 112,204 介电保护层

[0075] 114,218 气隙

[0076] 116,216,512 衬底

[0077] 118a,118b,118c,118d,220a,220b,220c,220d 拴系件

[0078] 190,290 器件试样

[0079] 300 释放器件试样

[0080] 302a,302b,302c,302d 拴系件片段

[0081] 304 器件层

- [0082] 306 空腔
- [0083] 320 主衬底
- [0084] 402 拴系件的第一端
- [0085] 404 拴系件的第二端
- [0086] 406a,406b,408a,408b 三角形蚀刻区域
- [0087] 510 底切蚀刻层
- [0088] 600 器件试样
- [0089] 602 氧化物层
- [0090] 604 下部半导体层
- [0091] 606 上部半导体层
- [0092] 608 有源层
- [0093] 610 释放层
- [0094] 612 衬底
- [0095] 702 保护氧化物层
- [0096] 802 氮化物硬掩模
- [0097] 904 抗蚀剂
- [0098] 1202 抗反射涂层
- [0099] 1204 氮化物硬掩模
- [0100] 1206 抗蚀剂
- [0101] 1602 抗蚀剂
- [0102] 1702 抗蚀剂
- [0103] 1802 部分底切释放层
- [0104] 1804 释放层的全底切

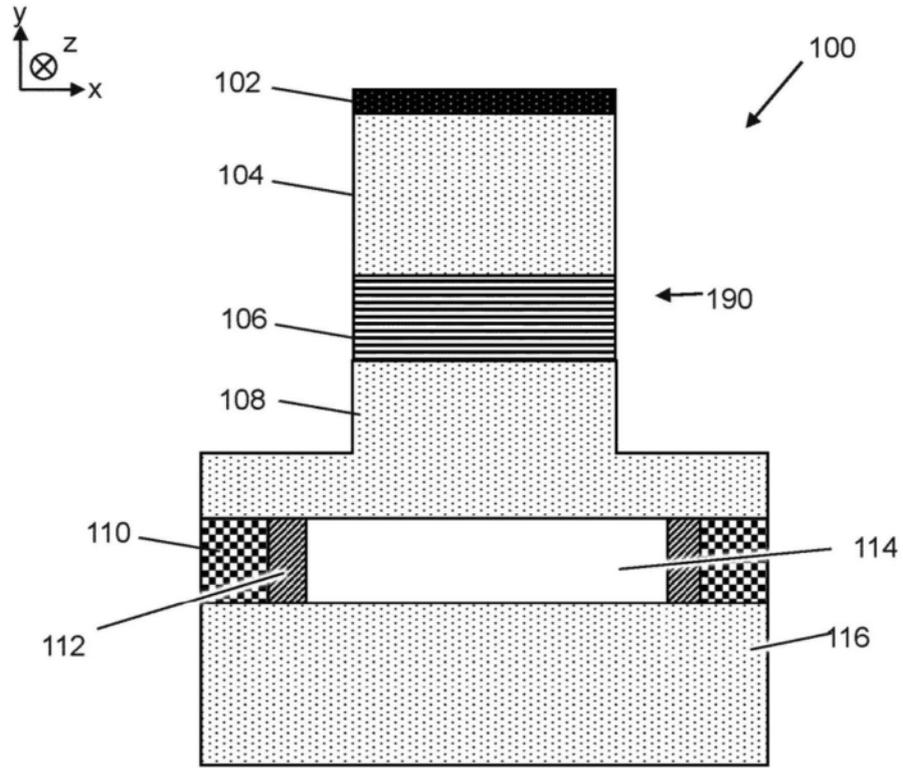


图1A

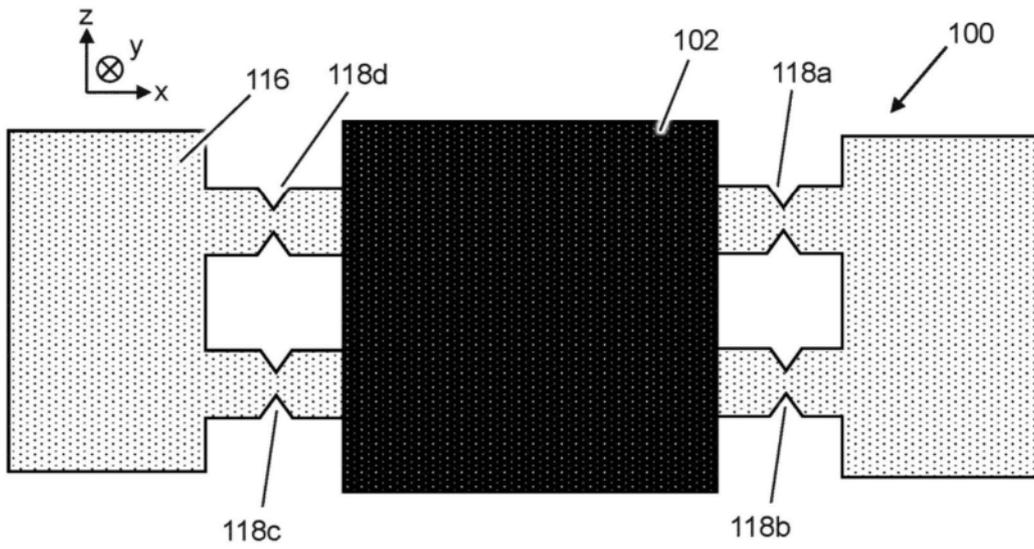


图1B

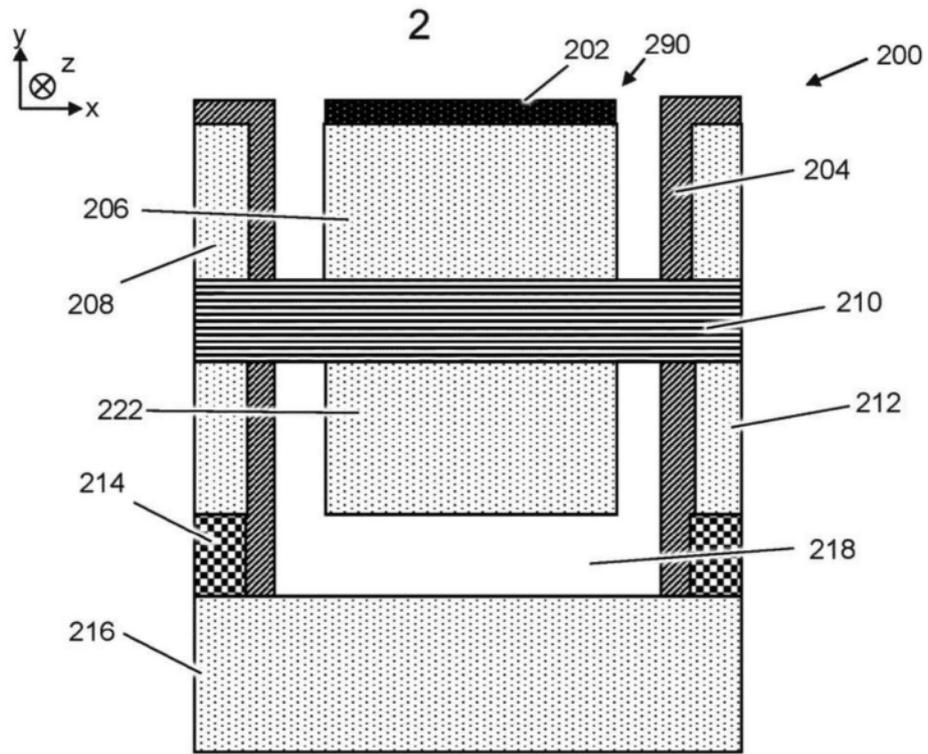


图2A

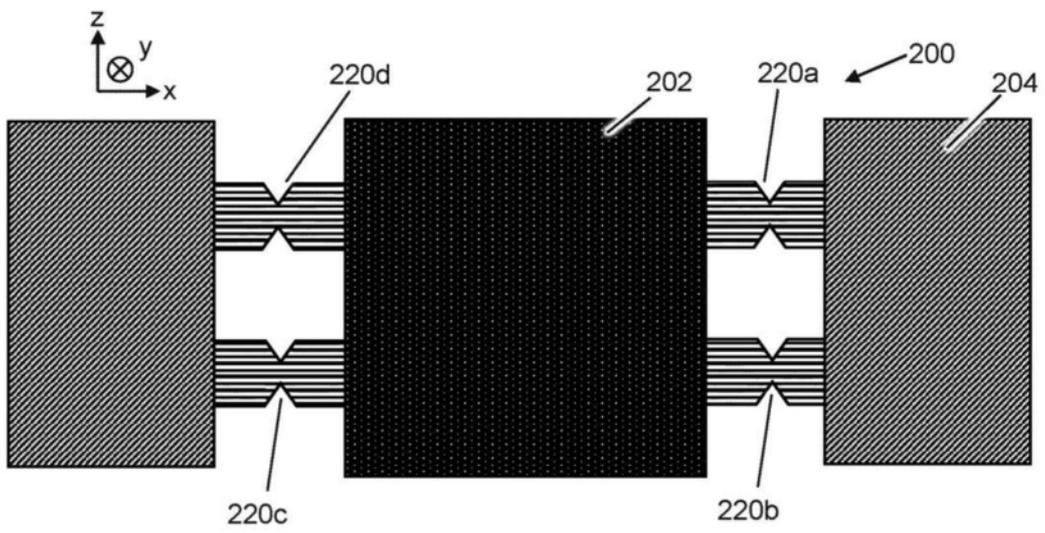


图2B

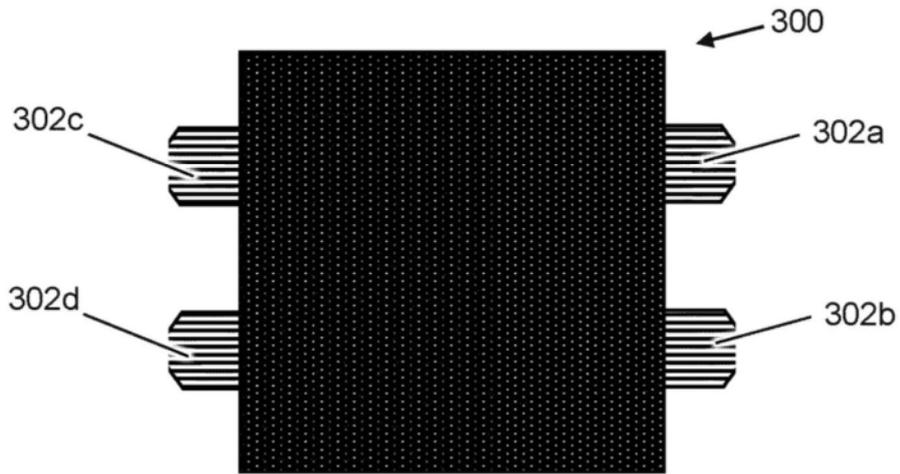


图3A

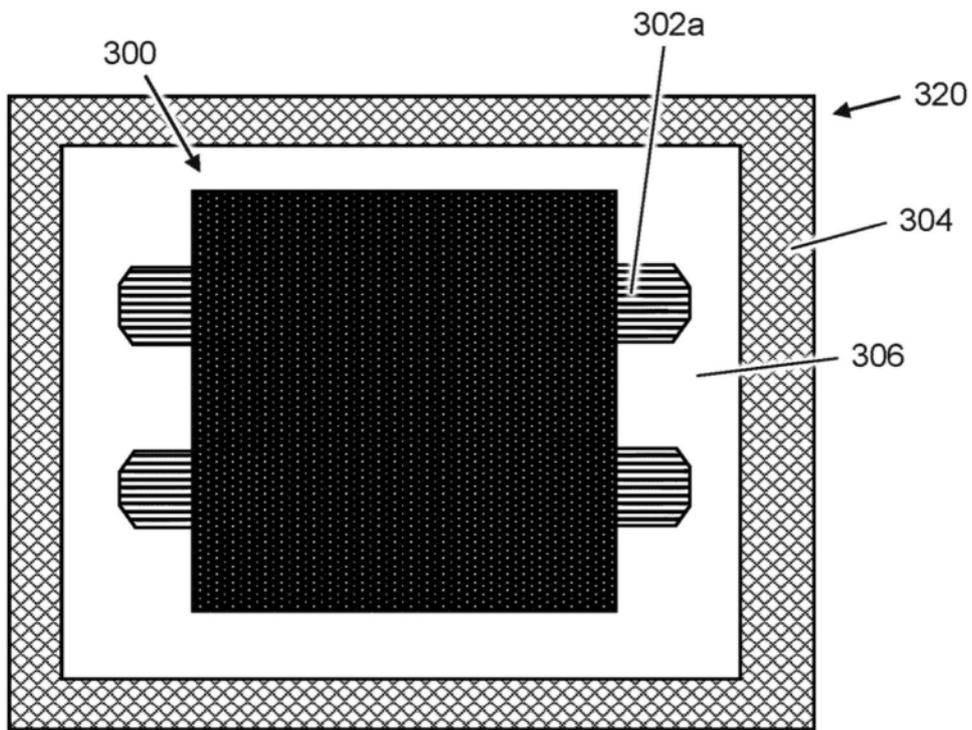


图3B

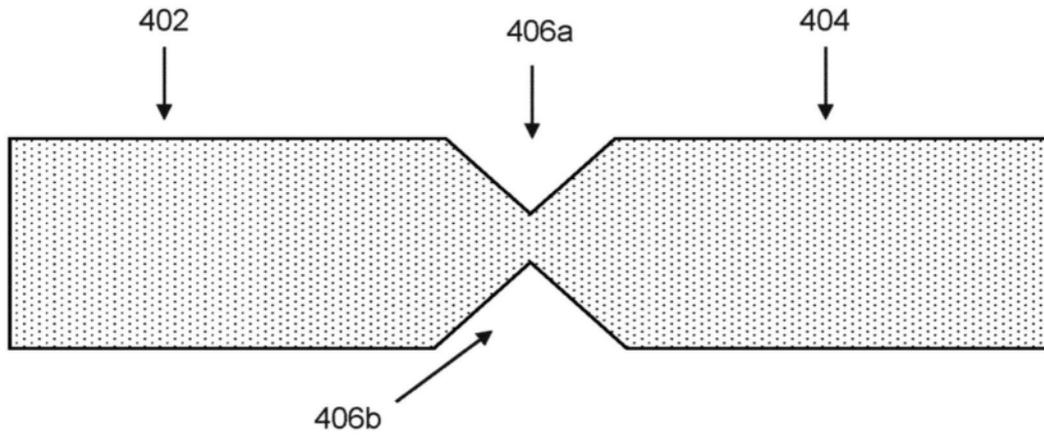


图4A

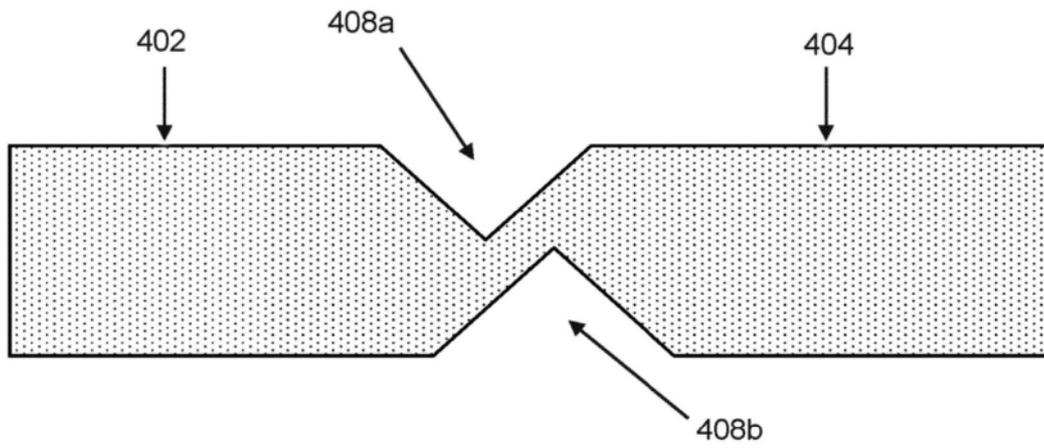


图4B

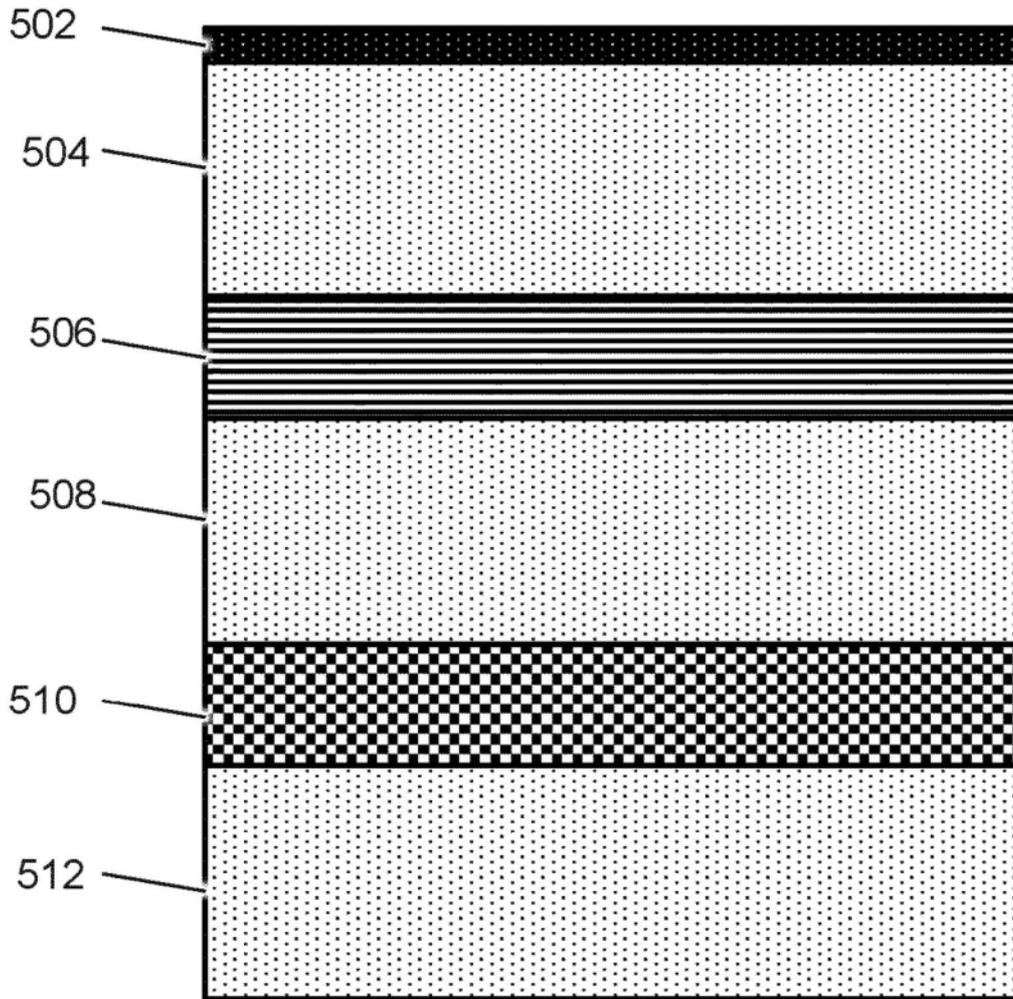


图5

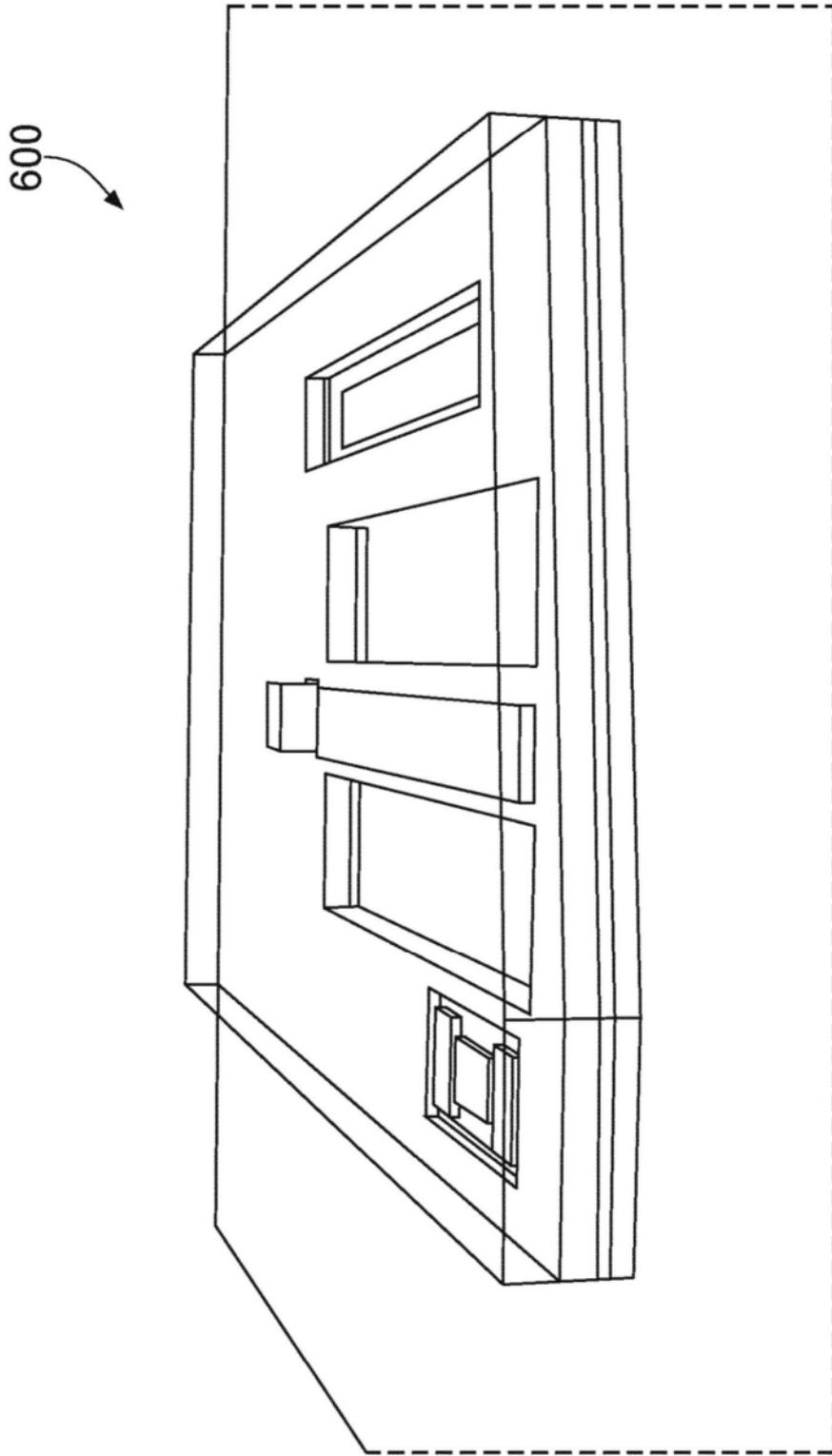


图6A

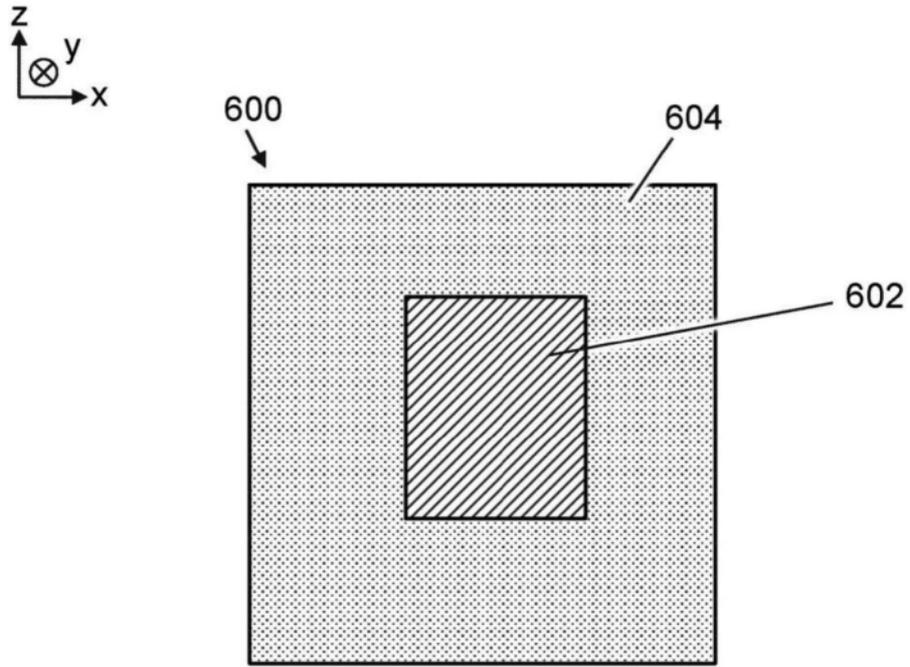


图6B

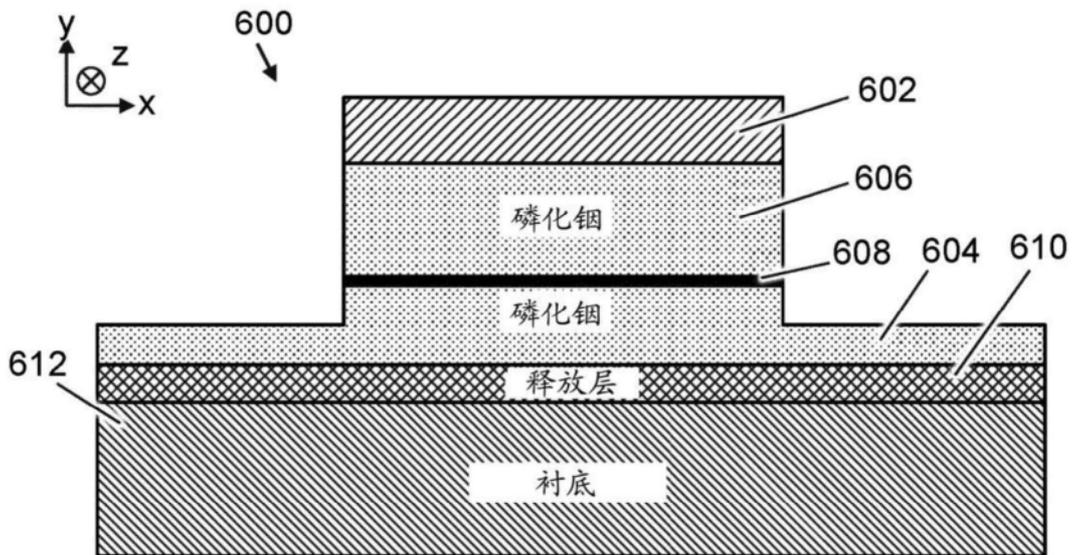


图6C

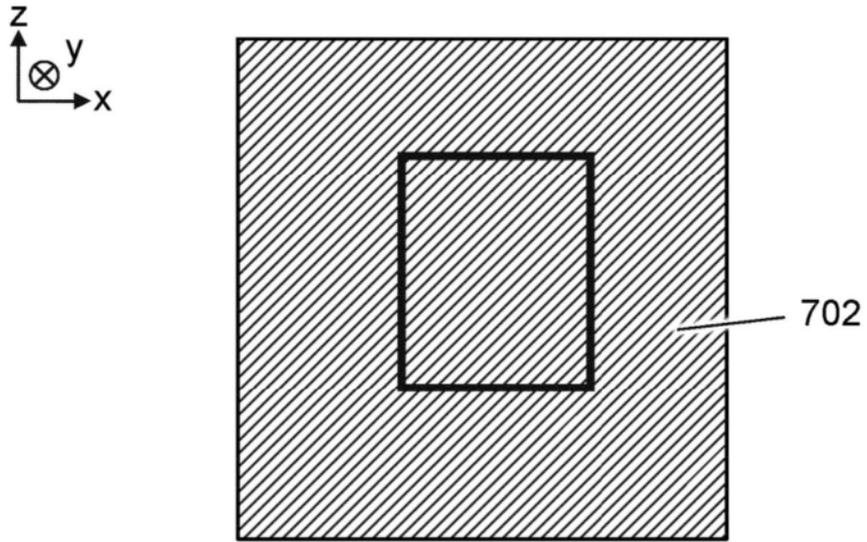


图7A

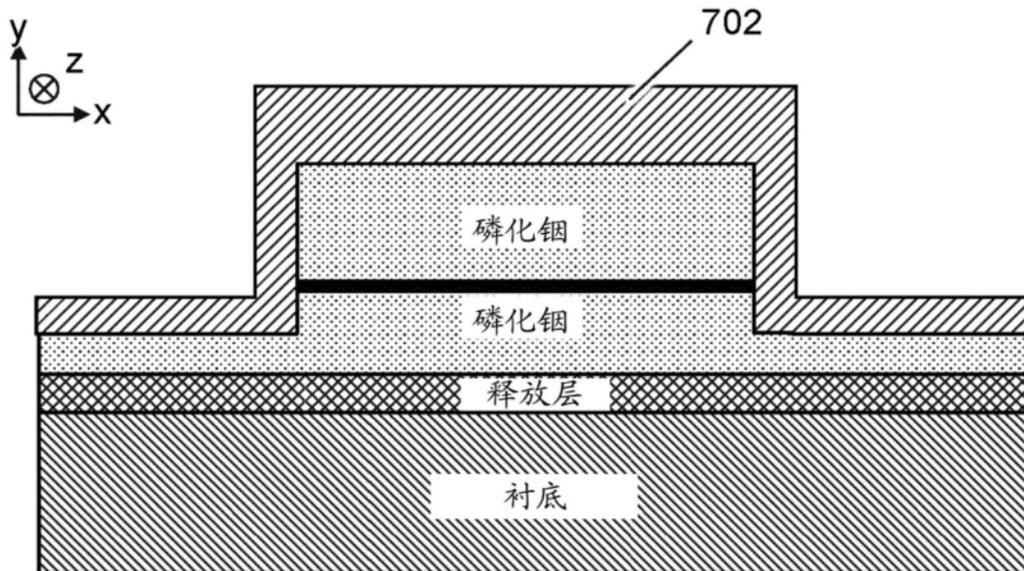


图7B

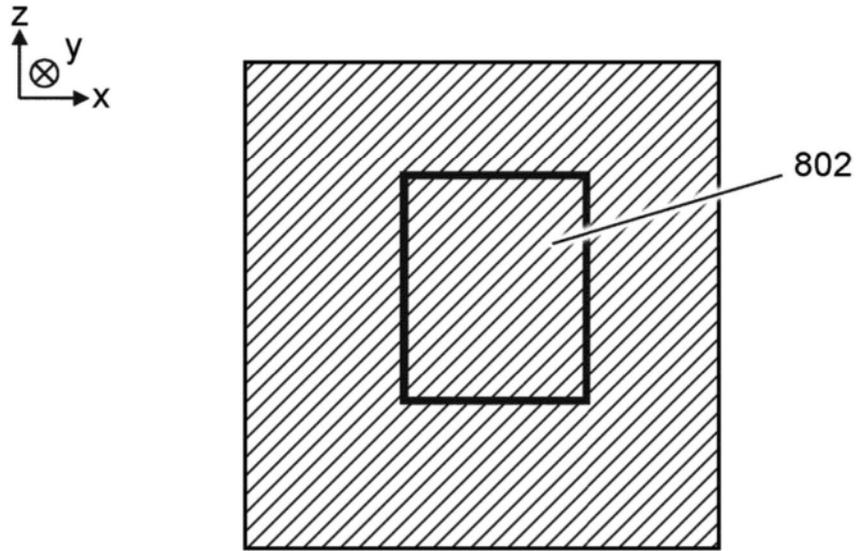


图8A

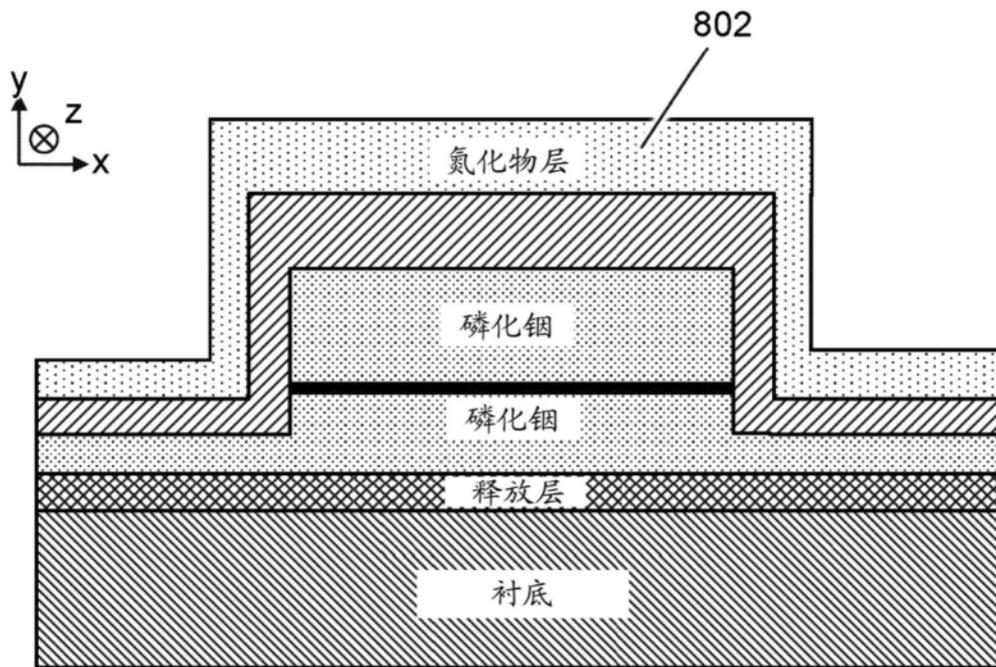


图8B

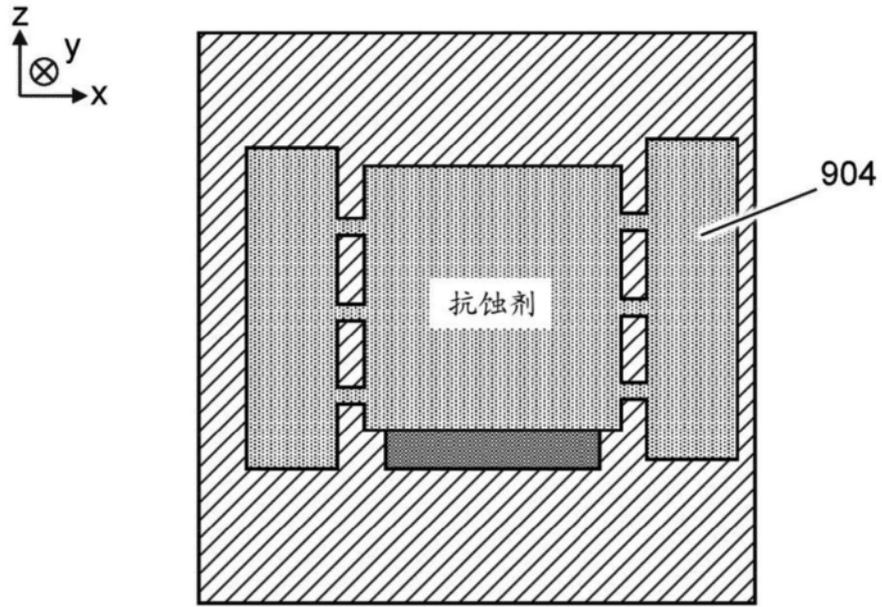


图9A

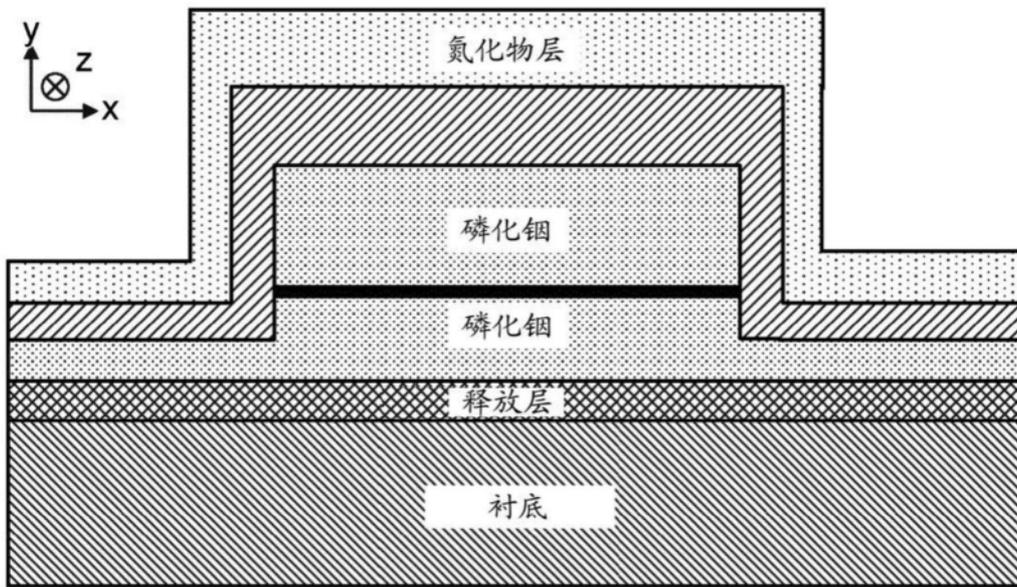


图9B

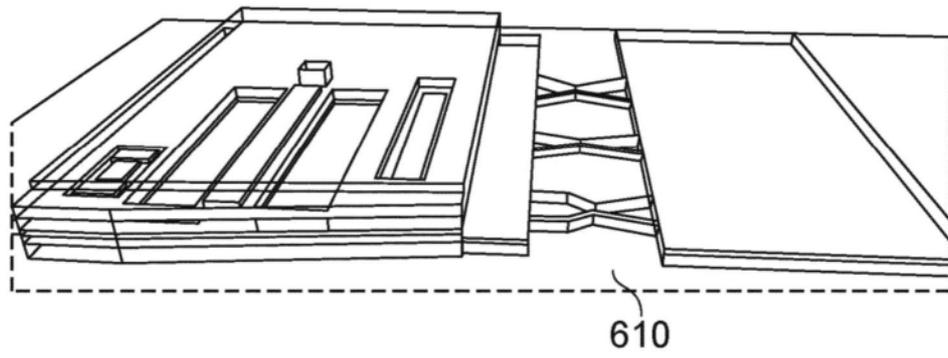


图10A

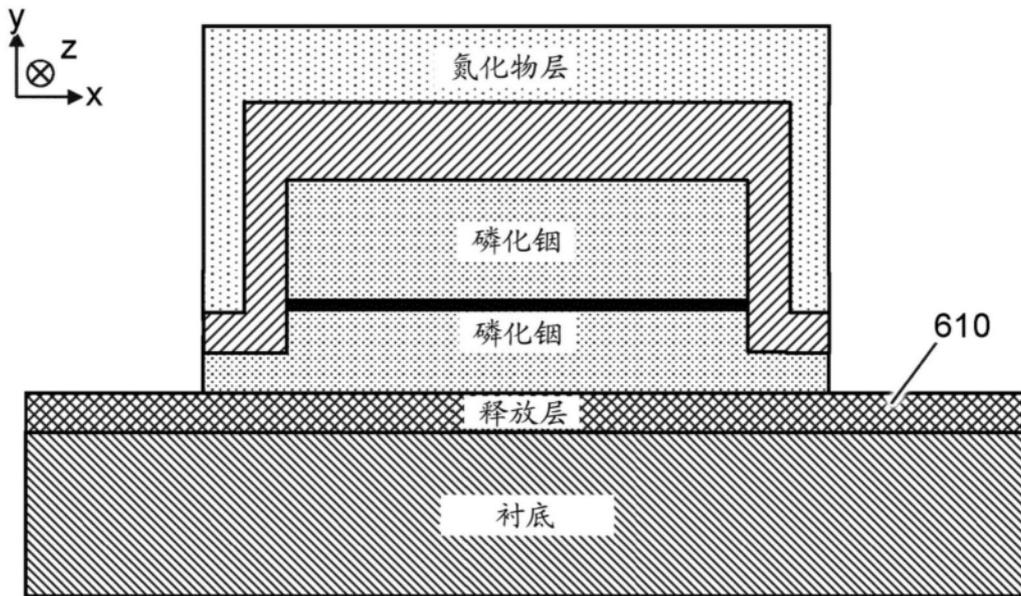


图10B

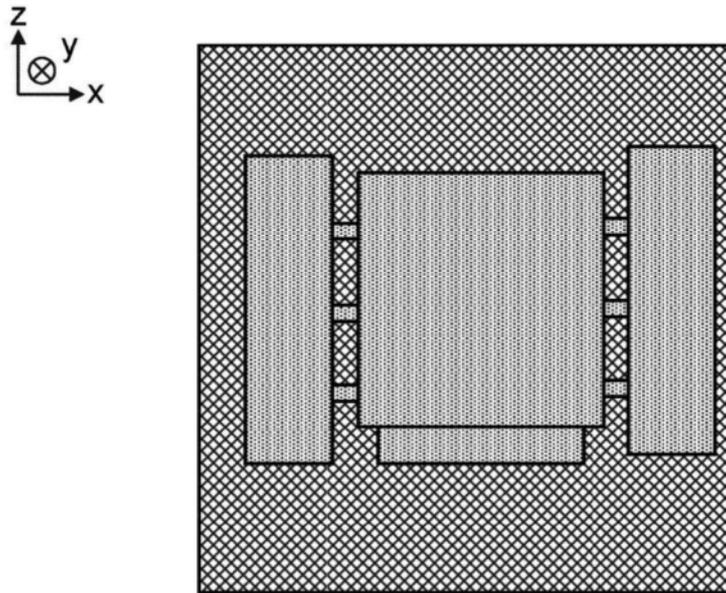


图11A

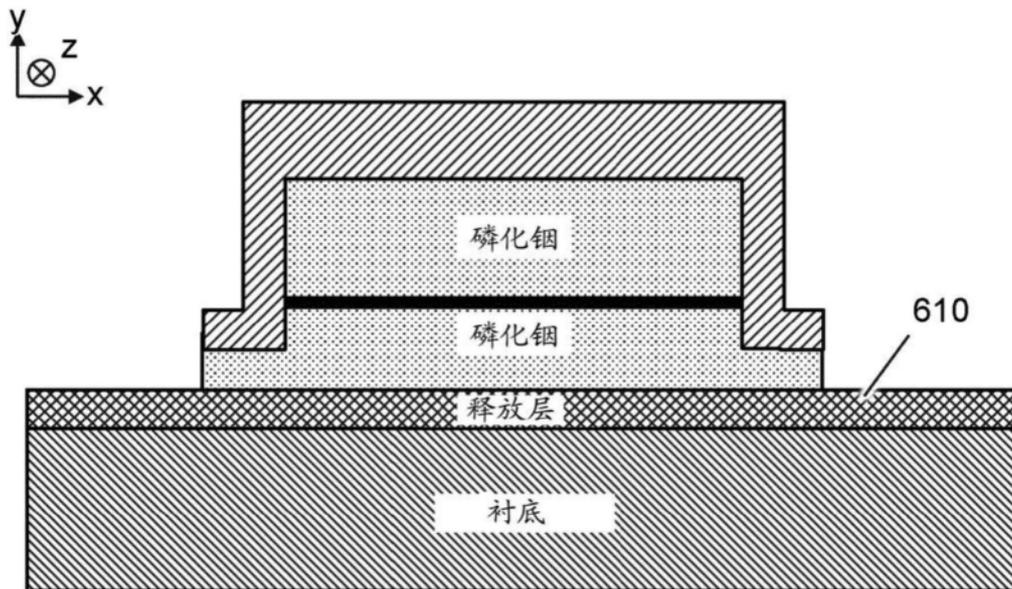


图11B

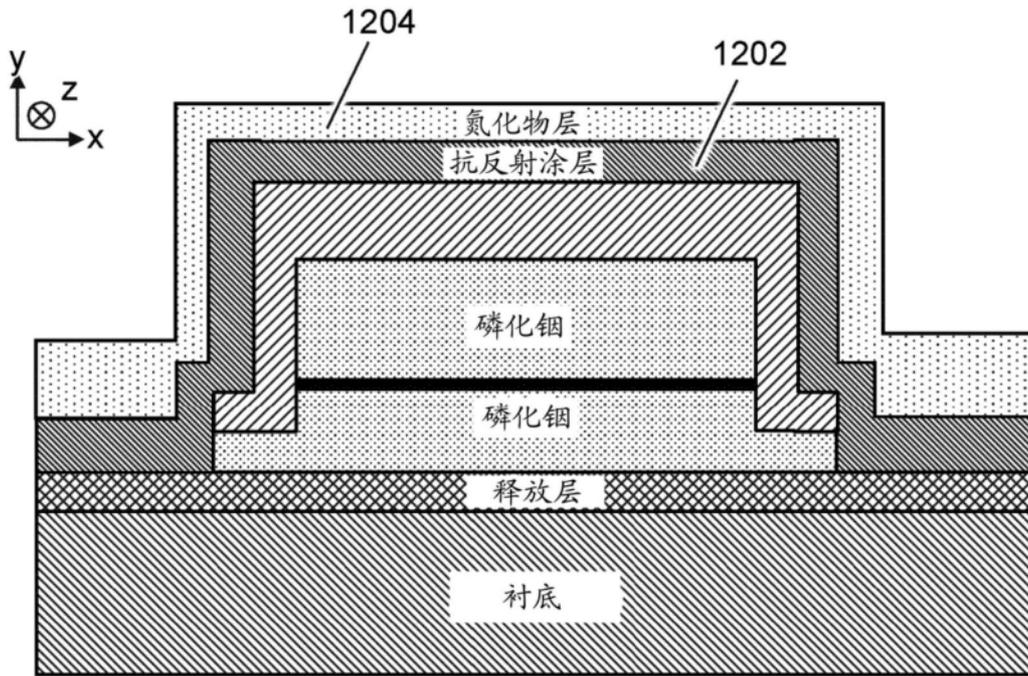


图12A

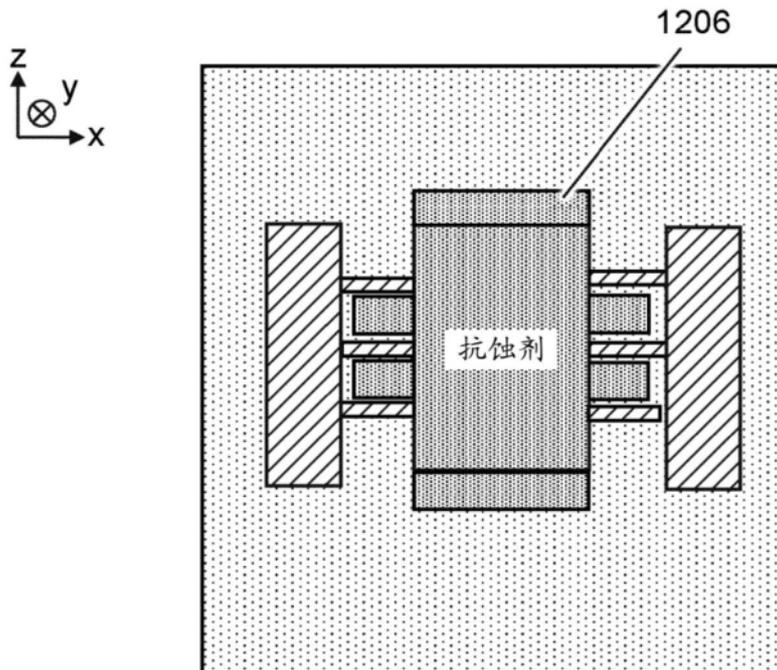


图12B

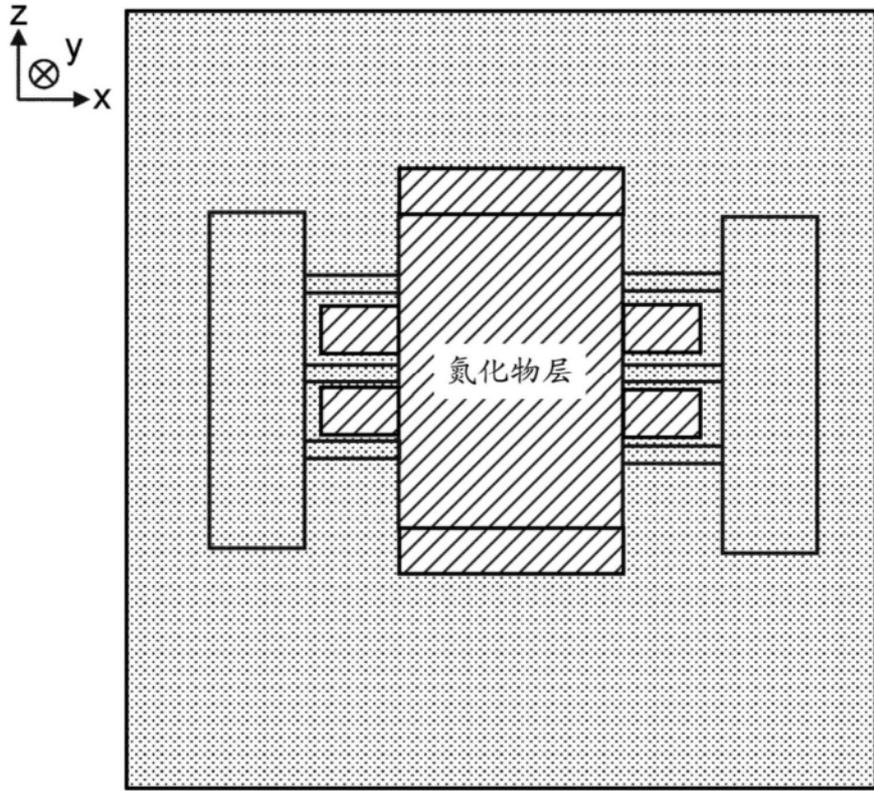


图13

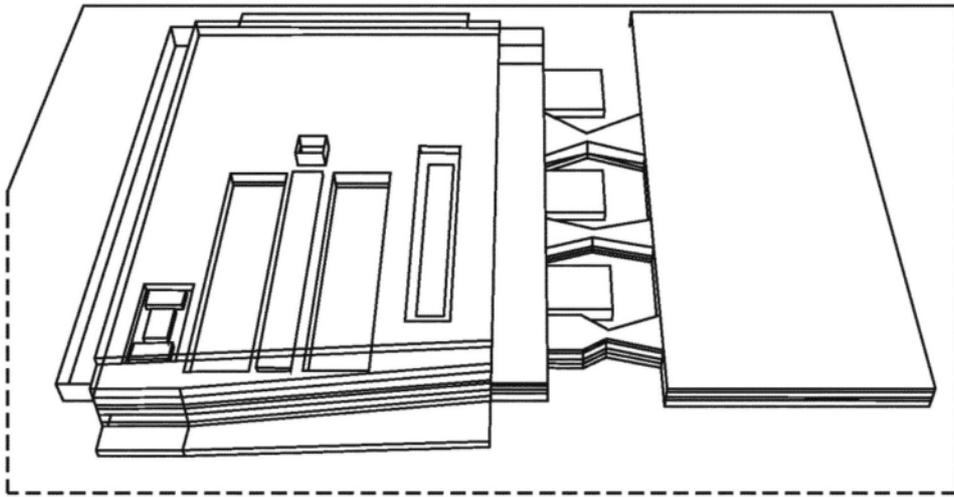


图14A

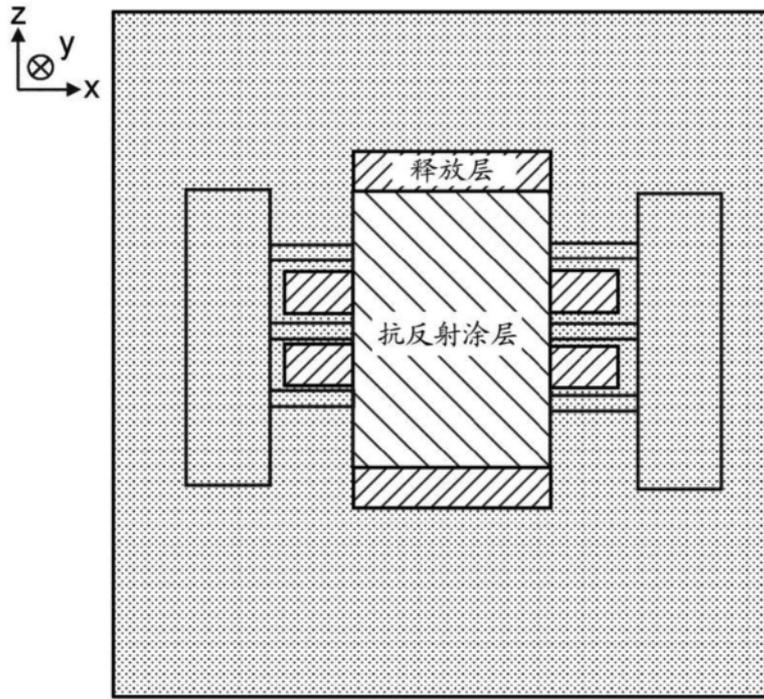


图14B

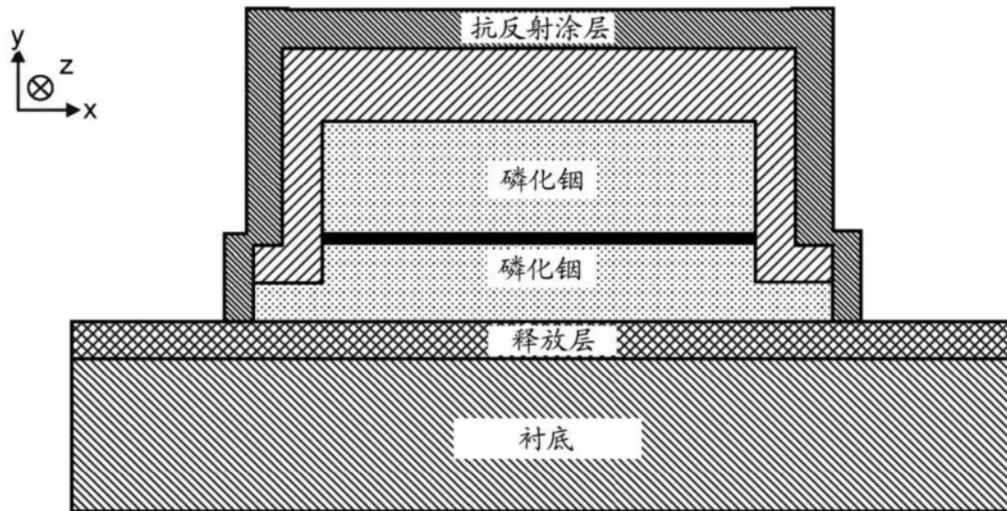


图14C

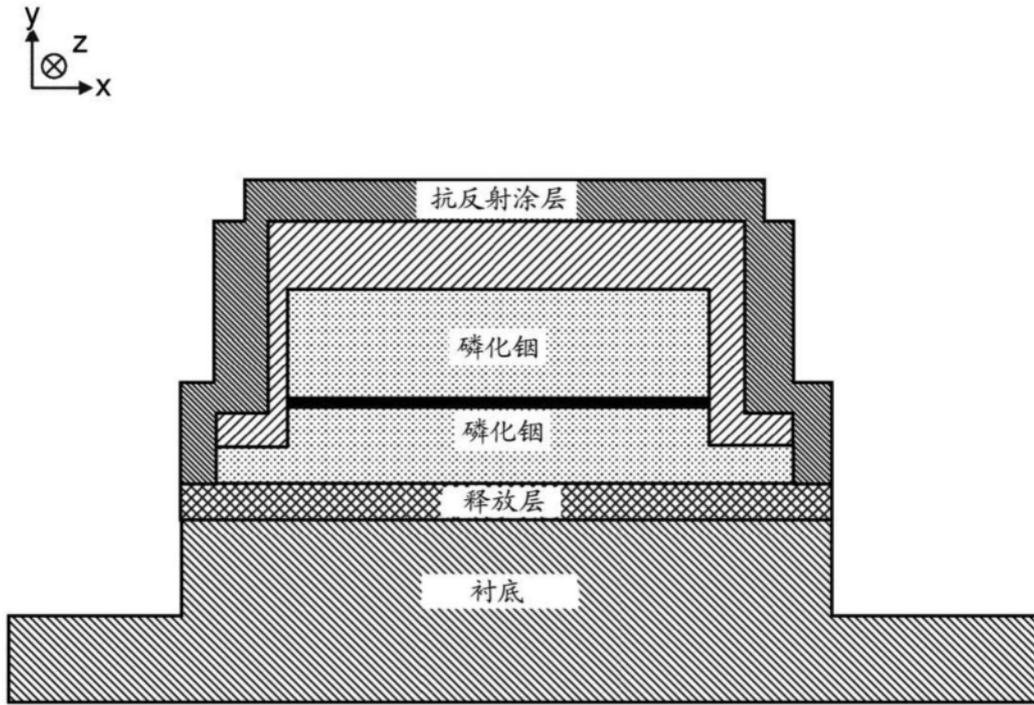


图15

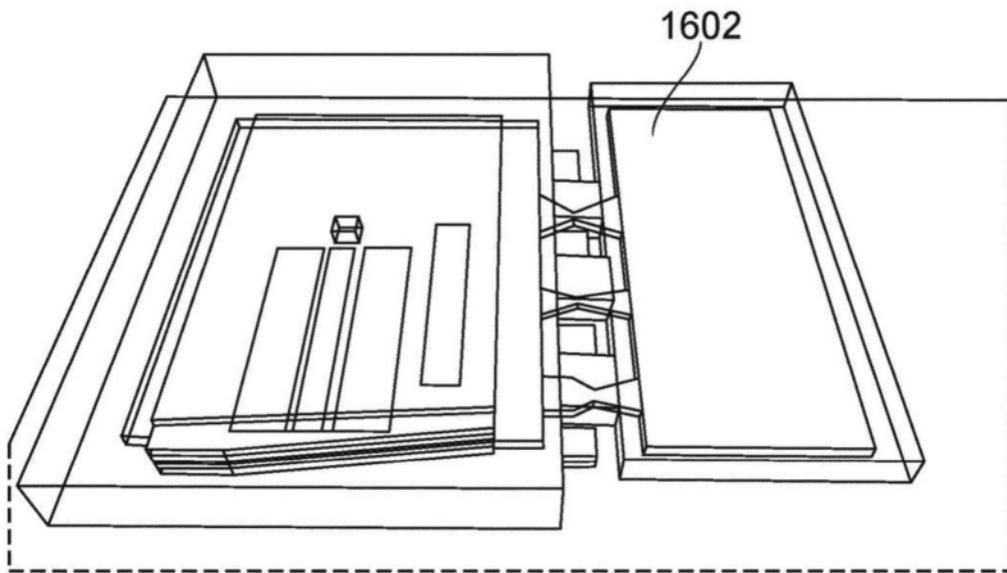


图16A

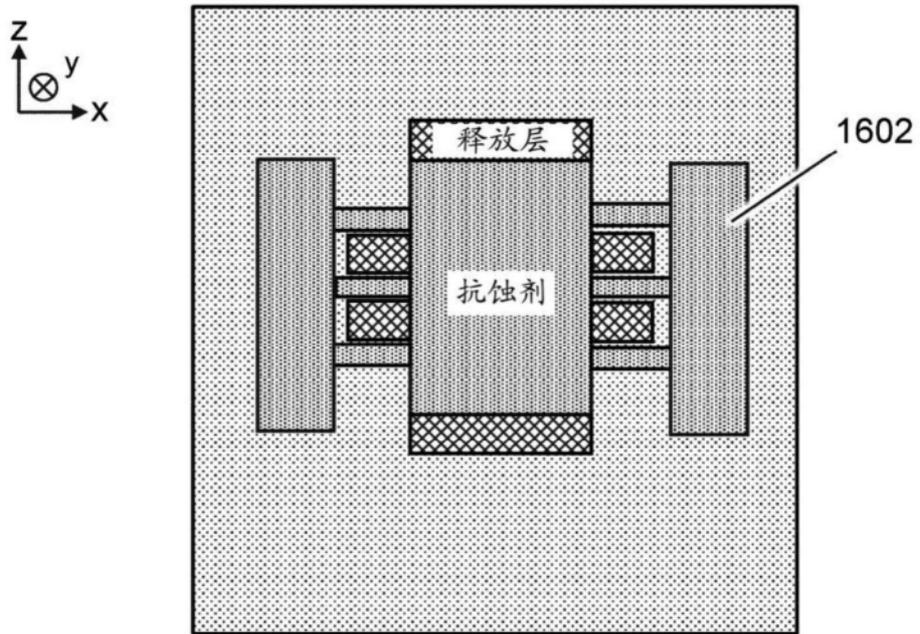


图16B

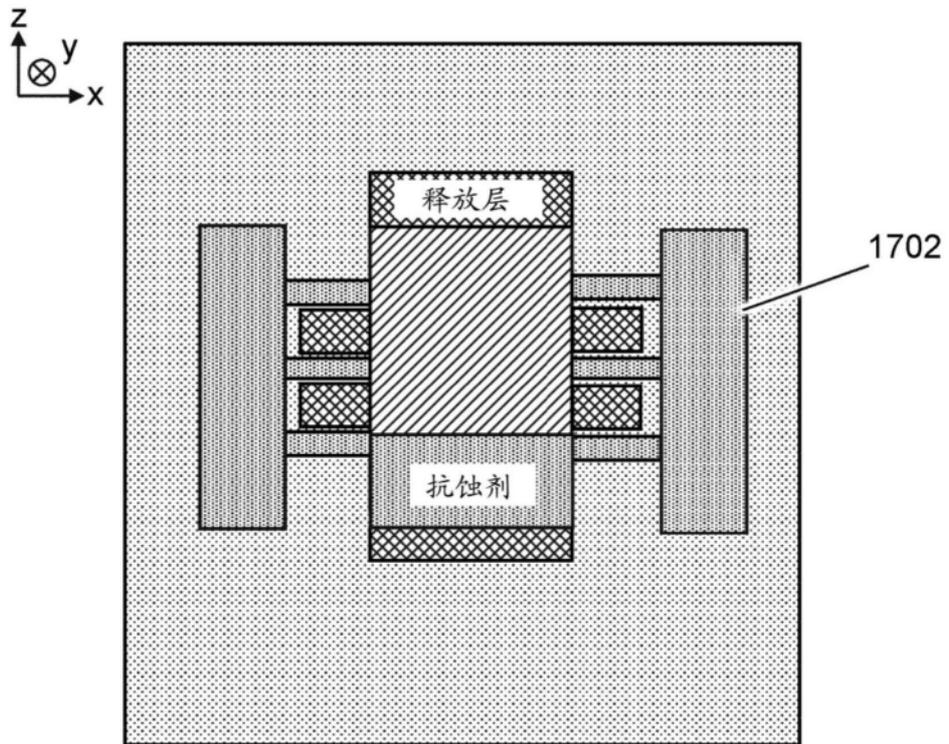


图17A

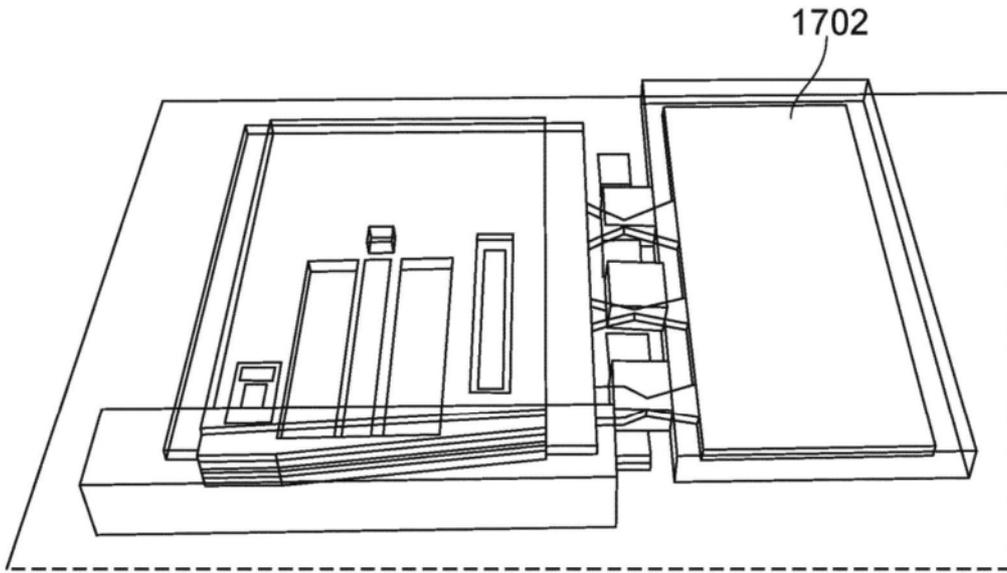


图17B

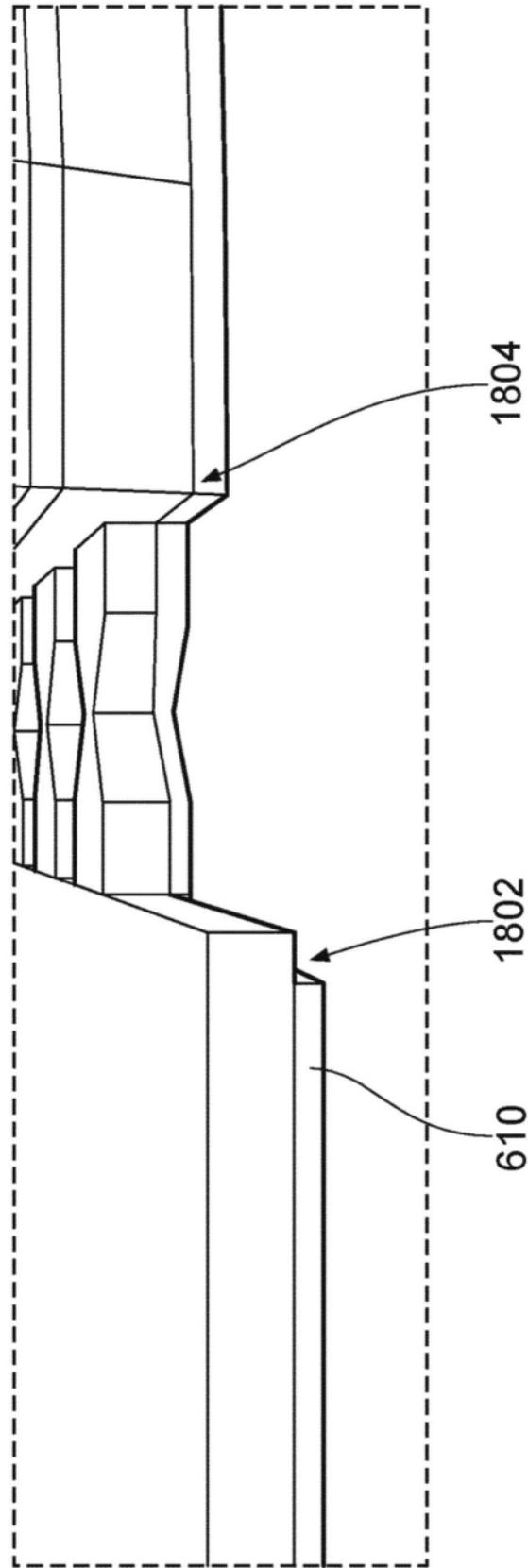


图18