



(21) 申請案號：102138247

(22) 申請日：中華民國 96 (2007) 年 10 月 08 日

(51) Int. Cl. : G09G3/36 (2006.01)

(30) 優先權：2006/10/17 日本

2006-282931

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72) 發明人：三宅博之 MIYAKE, HIROYUKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

US 6813332B2

US 2002/0167026A1

US 2003/0128180A1

US 2006/0071923A1

審查人員：陳恩筓

申請專利範圍項數：23 項 圖式數：15 共 74 頁

(54) 名稱

脈衝輸出電路、移位暫存器及顯示裝置

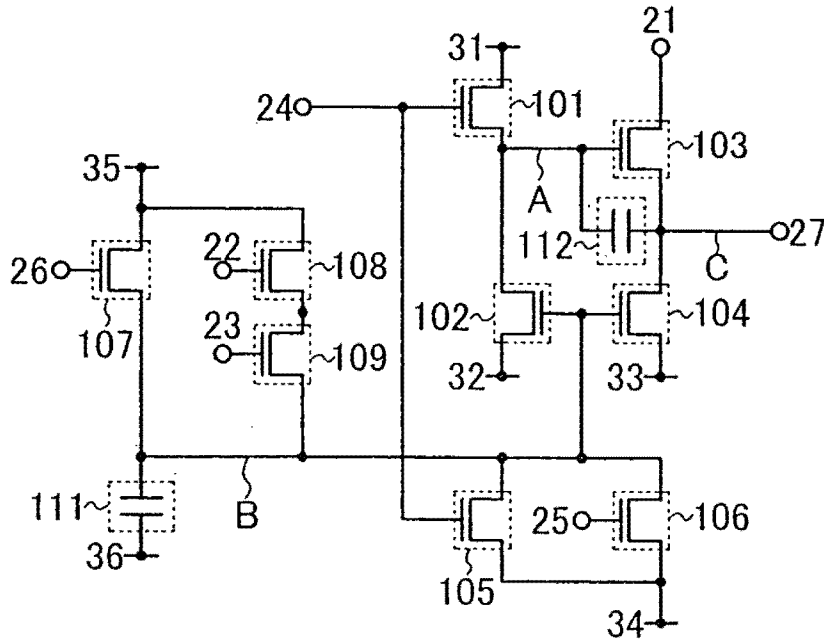
PULSE OUTPUT CIRCUIT, SHIFT REGISTER, AND DISPLAY DEVICE

(57) 摘要

本發明的目的係抑制移位暫存器中電晶體的閾值電壓的變動，以防止電晶體在非選擇期間錯誤工作。設置在移位暫存器中的脈衝輸出電路規律地供應電位給處於浮動狀態的電晶體的閘極電極，以致於當脈衝未被輸出時，閘極電極在非選擇期間中被開啟。此外，藉由規律地使其它電晶體開啟或關閉，來對電晶體的閘極電極供給電位。

An object is to suppress change of a threshold voltage of a transistor in a shift register and to prevent the transistor from malfunctioning during a non-selection period. A pulse output circuit provided in the shift register regularly supplies a potential to a gate electrode of a transistor which is in a floating state so that the gate electrode is turned on during a non-selection period when a pulse is not outputted. In addition, supply of a potential to the gate electrode of the transistor is performed by turning on or off another transistor regularly.

圖 1C



- 21 . . . 第一輸入端子
- 22 . . . 第二輸入端子
- 23 . . . 第三輸入端子
- 24 . . . 第四輸入端子
- 25 . . . 第五輸入端子
- 26 . . . 第六輸入端子
- 27 . . . 第一輸出端子
- 31 . . . 第一電源線
- 32 . . . 第二電源線
- 33 . . . 第三電源線
- 34 . . . 第四電源線
- 35 . . . 第五電源線
- 36 . . . 第六電源線
- 101 . . . 第一電晶體
- 102 . . . 第二電晶體
- 103 . . . 第三電晶體
- 104 . . . 第四電晶體
- 105 . . . 第五電晶體
- 106 . . . 第六電晶體
- 107 . . . 第七電晶體
- 108 . . . 第八電晶體
- 109 . . . 第九電晶體
- 111 . . . 第一電容
- 112 . . . 第二電容
- A、B、C . . . 節點

發明摘要

※申請案號：102138247 (由96137706分割)

※申請日：96.10.8 ※IPC分類：G09G 3/36 (2006.01)

【發明名稱】(中文/英文)

脈衝輸出電路、移位暫存器及顯示裝置

Pulse output circuit, shift register, and display device

【中文】

本發明的目的係抑制移位暫存器中電晶體的閾值電壓的變動，以防止電晶體在非選擇期間錯誤工作。設置在移位暫存器中的脈衝輸出電路規律地供應電位給處於浮動狀態的電晶體的閘極電極，以致於當脈衝未被輸出時，閘極電極在非選擇期間中被開啓。此外，藉由規律地使其它電晶體開啓或關閉，來對電晶體的閘極電極供給電位。

【英文】

An object is to suppress change of a threshold voltage of a transistor in a shift register and to prevent the transistor from malfunctioning during a non-selection period. A pulse output circuit provided in the shift register regularly supplies a potential to a gate electrode of a transistor which is in a floating state so that the gate electrode is turned on during a non-selection period when a pulse is not outputted. In addition, supply of a potential to the gate electrode of the transistor is performed by turning on or off another transistor regularly.

【代表圖】

【本案指定代表圖】：第(1C)圖。

【本代表圖之符號簡單說明】：

21：第一輸入端子；22：第二輸入端子；

23：第三輸入端子；24：第四輸入端子；

25：第五輸入端子；26：第六輸入端子；

27：第一輸出端子；31：第一電源線；

32：第二電源線；33：第三電源線；

34：第四電源線；35：第五電源線；

36：第六電源線；101：第一電晶體；

102：第二電晶體；103：第三電晶體；

104：第四電晶體；105：第五電晶體；

106：第六電晶體；107：第七電晶體；

108：第八電晶體；109：第九電晶體；

111：第一電容；112：第二電容；

A、B、C：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

脈衝輸出電路、移位暫存器及顯示裝置

Pulse output circuit, shift register, and display device

【技術領域】

本發明關於脈衝輸出電路、移位暫存器和具有該移位暫存器的顯示裝置、半導體裝置以及電子設備。本發明特別關於由單一導電型薄膜電晶體(TFT)構成的脈衝輸出電路、移位暫存器和顯示裝置、半導體裝置以及電子設備。

【先前技術】

近年來，對使用由在絕緣體上，特別是在玻璃、塑膠基底上的半導體薄膜而形成的薄膜電晶體(以下，也稱為TFT)來形成電路的顯示裝置，特別是對主動矩陣型顯示裝置的研究開發正在加步進行。使用TFT而形成的主動矩陣型顯示裝置具有數十萬至數百萬個配置為矩陣狀的像素，並且利用配置在每個像素中的TFT控制每個像素的電荷，來顯示圖像。

而且，最近的技術已經發展到在形成構成像素部的像素TFT的同時，在像素部的週邊也使用TFT形成驅動電路的方式。這些技術大大促進了裝置的輕量化、薄型化、

小型化和低耗電量化。因而，對近年其應用領域顯著擴大的攜帶型資訊終端的顯示部等來說，TFT 已經必不可少。

一般地，使用組合 N 型 TFT 和 P 型 TFT 而形成的 CMOS 電路作為構成顯示裝置的驅動電路的電路。關於 CMOS 電路的特徵，可以舉出如下兩點：由於只當邏輯變化（從 H（High（高））水平到 L（Low（低））水平，或者從 L 水平到 H 水平）時電流才流過，並且當某種邏輯被保持時，理想的是電流不流過（實際上有微小的漏電流），所以可以使整體上電路的耗電量非常低；由於具有不同極性的 TFT 互補性地工作，所以可以進行高速工作。

然而，當考慮到製造步驟時，由於 CMOS 電路的離子摻雜步驟等很複雜，因此其繁多的步驟數量直接影響到製造成本。於是，提出了如下的電路：通過使用具有 N 型和 P 型中的任一個的單極性的 TFT 來構成現有的由 CMOS 電路構成的電路，並且實現與 CMOS 電路相同程度的高速工作（例如，參照專利文件 1）。

在專利文件 1 所記載的電路中，如圖 7A 至 7C 所示，可以通過使電連接到輸出端子的 TFT2050 的閘極電極成為暫時的浮動狀態，來利用 TFT2050 的閘極和源極之間的電容耦合，而使其閘極電極的電位高於電源電位。結果，不產生 TFT2050 的閾值所引起的電壓下降，而可以得到沒有振幅衰減的輸出。符號 2010、2020、2030、2040、以及 2060 表示 TFT，符號 2070 表示電容，符號

2100 表示第一振幅補償電路，符號 2200 表示第二振幅補償電路。

這種在 TFT2050 中的工作稱為靴帶式操作（bootstrap operation）。通過利用這種工作，不產生 TFT 的閾值所引起的電壓下降，而可以得到輸出脈衝。

此外，圖 7A 至 7C 所記載的電路由於在沒有脈衝的輸入/輸出的期間中使 TFT2050、2060 的閘極電極都成為浮動狀態，而使在節點 α 中產生如噪音那樣的電位的變動。為了解決該問題，提出了如下電路：通過在沒有脈衝的輸入/輸出的期間中使 TFT1020、1060 在接通的狀態下成為浮動狀態，來減少產生在節點 α 中的噪音（參照圖 8A 至 8C）（例如，參照專利文件 2）。符號 1010、1030、1040、以及 1050 表示 TFT，符號 1070 表示電容，符號 1100 表示第一振幅補償電路，符號 1200 表示第二振幅補償電路。

[專利文件 1] 專利公開 2002-335153 號公報

[專利文件 2] 專利公開 2004-226429 號公報

【發明內容】

在圖 8A 至 8C 中，對 SROut1 來說，在輸出脈衝後，CK1 馬上從 H 水平變化到 L 水平。跟著，SROut1 的電位也開始下降。另一方面，在 CK2 成為 H 水平的同時，也在第二階段中執行與上述類似的工作，而脈衝被輸出到 SROut2。該脈衝在第一階段中被輸入到輸入端子 3，而使

TFT1030 接通。由此，TFT1020、1060 的閘極電極的電位上升而接通。相應地，TFT1050 的閘極電極的電位以及 SROut1 的電位下降。然後，當 SROut2 的輸出從 H 水平變化到 L 水平時，TFT1030 截止。由此，此時 TFT1020、1060 的閘極電極成爲浮動狀態。以後，在第一階段中這種狀態繼續到下一個脈衝被輸入。

如此，在圖 8A 和 8B 的電路中，節點 β 在沒有脈衝的輸入/輸出的期間中處於浮動狀態。例如，當圖 8A 和 8B 的電路用作掃描驅動器（scan driver）時，在大約一個幀中，需要保持節點 β 的電位。TFT1040 和 TFT1060 的通道寬度比較大，所以 TFT1040 和 TFT1060 的截止電流也成爲高。此時，有可能由於 TFT1040 和 TFT1060 的截止電流，節點 β 的電位降低，而使 TFT1060 截止。結果，電路有可能由於與時鐘信號電容耦合而錯誤工作。

此外，當從 TFT1050 輸出脈衝時，節點 β 處於浮動狀態。因此，當節點 γ 的電位從 L 水平上升到 H 水平時，有可能由於電容耦合，節點 β 的電位增加。其結果，有可能 TFT1020 接通而進行錯誤的工作。該電位的變動與正常的脈衝振幅相比非常小，所以只要電位的變動小於 TFT1020 的閾值，就沒有問題。但是，當電位的變動大於 TFT1020 的閾值時，節點 α 的電位降低，而有可能發生錯誤的工作。特別是，當將非晶矽使用於 TFT 時，大多使用氮化膜作爲閘極絕緣膜，所以有可能發生閾值的變動。結果，脈衝輸出電路進行錯誤工作的可能性高了。

此外，當將非晶矽使用於 TFT 時，因為與使用多晶矽的 TFT 相比其電氣特性差，所以難以得到足夠的驅動能力，並且由於電壓條件，而使閾值移動。因此，通過利用使用了非晶矽的 TFT 來形成驅動像素的驅動電路的電路技術是一個問題。

本說明書所公開的發明的目的在於通過解決一個或多個上述問題，來提供減少電路內的錯誤工作且保證更正確的工作的脈衝輸出電路、移位暫存器和顯示裝置。

本發明的脈衝輸出電路規律地應電位給處於浮動狀態的電晶體的閘極電極，以致於當不輸出脈衝時在非選擇期間開啓閘極電極。此外，藉由使其他電晶體規律地開啓或關閉，來對電晶體的閘極電極供給電位。

此外，驅動本發明的移位暫存器，並使從第 m 脈衝輸出電路輸出的脈衝和從第 $(m+1)$ 脈衝輸出電路輸出的脈衝一半（ $1/2$ 周期）重疊。以下說明本發明的移位暫存器及脈衝輸出電路的具體結構。

本發明的移位暫存器包括：多個脈衝輸出電路，至少包含第 $(m-2)$ 脈衝輸出電路、第 $(m-1)$ 脈衝輸出電路、第 m 脈衝輸出電路、第 $(m+1)$ 脈衝輸出電路以及第 $(m+2)$ 脈衝輸出電路（ $m \geq 3$ ）；輸出時鐘信號的第一信號線至第四信號線，其中，各脈衝輸出電路包括第一輸入端子至第六輸入端子和輸出端子，並且，在第 m 脈衝輸出電路中，第一輸入端子至第三輸入端子電連接到第一信號線至第四信號線中的任一個，第四輸入端子電連接到第

($m-2$) 脈衝輸出電路的輸出端子，第五輸入端子電連接到第 ($m-1$) 脈衝輸出電路的輸出端子，第六輸入端子電連接到第 ($m+2$) 脈衝輸出電路的輸出端子，輸出端子電連接到第 ($m-2$) 脈衝輸出電路的第六輸出端子、第 ($m+1$) 脈衝輸出電路的第五輸入端子以及第 ($m+2$) 脈衝輸出電路的第四輸入端子。

本發明的脈衝輸出電路包括第一電晶體至第九電晶體，其中，在第一電晶體中，第一電極電連接到第一電源線，第二電極電連接到第三電晶體的閘極電極，閘極電極電連接到第四輸入端子；在第二電晶體中，第一電極電連接到第二電源線，第二電極電連接到第三電晶體的閘極電極，閘極電極電連接到第四電晶體的閘極電極；在第三電晶體中，第一電極電連接到第一輸入端子，第二電極電連接到輸出端子；在第四電晶體中，第一電極電連接到第三電源線，第二電極電連接到輸出端子；在第五電晶體中，第一電極電連接到第四電源線，第二電極電連接到第二電晶體的閘極電極以及第四電晶體的閘極電極，閘極電極電連接到第四輸入端子；在第六電晶體中，第一電極電連接到第四電源線，第二電極電連接到第二電晶體的閘極電極以及第四電晶體的閘極電極，閘極電極電連接到第五輸入端子；在第七電晶體中，第一電極電連接到第五電源線，第二電極電連接到第二電晶體的閘極電極以及第四電晶體的閘極電極，閘極電極電連接到第六輸入端子；在第八電晶體中，第一電極電連接到第五電源線，第二電極電連接

到第九電晶體的第二電極，閘極電極電連接到第二輸入端子；在第九電晶體中，第一電極電連接到第二電晶體的閘極電極以及第四電晶體的閘極電極，閘極電極電連接到第三輸入端子。

本發明的顯示裝置包括：像素；驅動像素的移位暫存器，其中，移位暫存器包括：多個脈衝輸出電路，至少包含第 $(m-2)$ 脈衝輸出電路、第 $(m-1)$ 脈衝輸出電路、第 m 脈衝輸出電路、第 $(m+1)$ 脈衝輸出電路以及第 $(m+2)$ 脈衝輸出電路 $(m \geq 3)$ ；輸出時鐘信號的第一信號線至第四信號線，並且，各脈衝輸出電路包括第一輸入端子至第六輸入端子和輸出端子，並且，在第 m 脈衝輸出電路中，第一輸入端子至第三輸入端子電連接到第一信號線至第四信號線中的任一個，第四輸入端子電連接到第 $(m-2)$ 脈衝輸出電路的輸出端子，第五輸入端子電連接到第 $(m-1)$ 脈衝輸出電路的輸出端子，第六輸入端子電連接到第 $(m+2)$ 脈衝輸出電路的輸出端子，輸出端子電連接到第 $(m-2)$ 脈衝輸出電路的第六輸出端子、第 $(m+1)$ 脈衝輸出電路的第五輸入端子以及第 $(m+2)$ 脈衝輸出電路的第四輸入端子。

本發明可以藉由在不輸入/輸出脈衝的非選擇期間對處於浮動狀態的電晶體的閘極電極規律地供給電位，來抑制脈衝輸出電路的錯誤工作。

此外，可以藉由使用使從第 m 脈衝輸出電路輸出的脈衝和從第 $(m+1)$ 脈衝輸出電路輸出的脈衝一半 $(1/2)$

周期) 重疊的驅動方法，來提供能承受很大負荷並以高頻率工作的脈衝輸出電路。

【圖式簡單說明】

圖 1A 顯示本發明的移位暫存器的實施例，圖 1B 及 1C 均顯示本發明的脈衝輸出電路。

圖 2 是顯示本發明的脈衝輸出電路的操作實施例。

圖 3A 至 3D 均顯示本發明的脈衝輸出電路的操作實施例。

圖 4A 至 4D 均顯示本發明的脈衝輸出電路的操作實施例。

圖 5A 顯示本發明的脈衝輸出電路的操作，圖 5B 顯示傳統的脈衝輸出電路的操作，二者相比較。

圖 6A 顯示本發明的移位暫存器的實施例，圖 6B 及 6C 均顯示本發明的脈衝輸出電路。

圖 7A 顯示傳統的移位暫存器的實施例，圖 7B 顯示傳統的脈衝輸出電路的實施例，以及圖 7C 顯示傳統的衝輸出電路的操作實施例。

圖 8A 顯示傳統的移位暫存器的實施例，圖 8B 顯示傳統的脈衝輸出電路的實施例，以及圖 8C 顯示傳統的衝輸出電路的操作實施例。

圖 9A 至 9C 是顯示設置有本發明的移位暫存器的顯示裝置的實施例。

圖 10A 和 10B 是顯示設置有本發明的移位暫存器的

顯示裝置的實施例。

圖 11A 和 11B 是顯示設置有本發明的移位暫存器的顯示裝置的實施例。

圖 12A 至 12C 是顯示設置有本發明的移位暫存器的顯示裝置的實施例。

圖 13 是顯示設置有本發明的移位暫存器的顯示裝置的實施例。

圖 14A 至 14H 是顯示設置有本發明的移位暫存器的電子設備的實施例。

圖 15A 和 15B 是顯示設置有本發明的移位暫存器的顯示裝置的顯示元件的實施例。

【實施方式】

下述，關於本發明的實施方式參照附圖而說明。但是，本發明可以以多個不同方式來實施，所屬技術領域的普通人員可以很容易地理解一個事實，就是其方式及詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施方式所記載的內容中。注意，在以下說明的本發明的結構中，在不同附圖中共同使用表示相同部分的符號。

實施方式 1

在本實施方式中，參照附圖而說明本發明的脈衝輸出電路、包括該脈衝輸出電路的移位暫存器的一個例子。

本實施方式所表示的移位暫存器包括第一至第 n 脈衝輸出電路 10_{-1} 至 10_{-n} ($n \geq 3$)、以及輸出時鐘信號的第一信號線 11 至第四信號線 14 (參照圖 1A)。第一信號線 11 輸出第一時鐘信號 (CK1)，第二信號線 12 輸出第二時鐘信號 (CK2)，第三信號線 13 輸出第三時鐘信號 (CK3)，第四信號線 14 輸出第四時鐘信號 (CK4)。

時鐘信號 (CK) 是以一定間隔反復 H (High) 信號和 L (Low) 信號的信號，在此，第一時鐘信號 (CK1) 至第四時鐘信號 (CK4) 依次延遲了 $1/2$ 周期。在本實施方式中，藉由利用第一時鐘信號 (CK1) 至第四時鐘信號 (CK4)，來進行脈衝輸出電路的驅動的控制等。

第一脈衝輸出電路 10_{-1} 至第 n 脈衝輸出電路 10_{-n} 中的每一者均包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第六輸入端子 26、輸出端子 27 (參照圖 1B)。

第一輸入端子 21、第二輸入端子 22 以及第三輸入端子 23 分別電連接到第一信號線 11 至第四信號線 14 中的任一個。例如，在圖 1A 至 1C 中，在第一脈衝輸出電路 10_{-1} 中，第一輸入端子 21 電連接到第一信號線 11，並第二輸入端子 22 電連接到第二信號線 12，且第三輸入端子 23 電連接到第三信號線 13。此外，在第二脈衝輸出電路 10_{-2} 中，第一輸入端子 21 電連接到第二信號線 12，並且第二輸入端子 22 電連接到第三信號線 13，且第三輸入端子 23 電連接到第四信號線 14。

此外，在本實施方式所示的移位暫存器的第 m 脈衝輸出電路 ($m \geq 3$) 中，第四輸入端子 24 電連接到第 ($m-2$) 脈衝輸出電路的輸出端子 27 以及第 ($m-1$) 脈衝輸出電路的第五輸入端子 25，第五輸入端子 25 電連接到第 ($m-1$) 脈衝輸出電路的輸出端子 27 以及第 ($m+1$) 脈衝輸出電路的第四輸入端子 24，第六輸入端子 26 電連接到第 ($m+2$) 脈衝輸出電路的輸出端子 27，輸出端子 27 電連接到第 ($m-2$) 脈衝輸出電路的第六輸入端子 26、第 ($m+1$) 脈衝輸出電路的第五輸入端子 25 以及第 ($m+2$) 脈衝輸出電路的第四輸入端子 24 且將信號輸出到 $OUT(m)$ 。

舉例而言，在第三脈衝輸出電路 10_3 中，第四輸入端子 24 電連接到第一脈衝輸出電路 10_1 的輸出端子以及第二脈衝輸出電路 10_2 的第五輸入端子，第五輸入端子 25 電連接到第二脈衝輸出電路 10_2 的輸出端子以及第四脈衝輸出電路 10_4 的第四輸入端子，第六輸入端子 26 電連接到第五脈衝輸出電路 10_5 的輸出端子，輸出端子電連接到第一脈衝輸出電路 10_1 的第六輸入端子、第四脈衝輸出電路 10_4 的第五輸入端子、以及第五脈衝輸出電路 10_5 的第四輸入端子。此外，在第三脈衝輸出電路 10_3 中，從第一脈衝輸出電路 10_1 的輸出端子輸出的信號被輸入到第四輸入端子 24，從第二脈衝輸出電路 10_2 的輸出端子輸出的信號被輸入到第五輸入端子 25，從第五脈衝輸出電路 10_5 的輸出端子輸出的信號被輸入到第

六輸入端子 26，從輸出端子 27 輸出的信號被輸入到第一脈衝輸出電路 10₁ 的第六輸入端子、第四脈衝輸出電路 10₄ 的第五輸入端子以及第五脈衝輸出電路 10₅ 的第四輸入端子。

此外，在第一脈衝輸出電路中，第一起始脈衝 (SP1) 被輸入到第四輸入端子 24，並且第二起始脈衝 (SP2) 被輸入到第五輸入端子 25。

下面，將說明第一脈衝輸出電路 10₁ 至第 n 脈衝輸出電路 10_n 的具體結構。

第一脈衝輸出電路 10₁ 至第 n 脈衝輸出電路 10_n 中的每一者均具有第一電晶體 101 至第九電晶體 109、第一電容 111 和第二電容 112 (參照圖 1C)。此外，從第一電源線 31 至第六電源線 36 將信號除了供給於上述第一輸入端子 21 至第六輸入端子 26 以及輸出端子 27 以外，還供給於第一電晶體 101 至第九電晶體 109。

在第一電晶體 101 中，第一電極 (源極電極和汲電極中的一個) 電連接到第一電源線 31，第二電極 (源極電極和汲極電極中的另一個) 電連接到第三電晶體 103 的閘極電極以及第二電容 112 的第二電極，閘極電極電連接到第四輸入端子 24。在第二電晶體 102 中，第一電極電連接到第二電源線 32，第二電極電連接到第三電晶體 103 的閘極電極，閘極電極電連接到第四電晶體 104 的閘極電極。在第三電晶體 103 中，第一電極電連接到第一輸入端子 21，第二電極電連接到輸出端子 27。在第四電晶體

104 中，第一電極電連接到第三電源線 33，第二電極電連接到輸出端子 27。在第五電晶體 105 中，第一電極電連接到第四電源線 34，第二電極電連接到第二電晶體 102 的閘極電極以及第四電晶體 104 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 106 中，第一電極電連接到第四電源線 34，第二電極電連接到第二電晶體 102 的閘極電極以及第四電晶體 104 的閘極電極，閘極電極電連接到第五輸入端子 25。在第七電晶體 107 中，第一電極電連接到第五電源線 35，第二電極電連接到第二電晶體 102 的閘極電極以及第四電晶體 104 的閘極電極，閘極電極電連接到第六輸入端子 26。在第八電晶體 108 中，第一電極電連接到第五電源線 35，第二電極電連接到第九電晶體 109 的第二電極，閘極電極電連接到第二輸入端子 22。在第九電晶體 109 中，第一電極電連接到第二電晶體 102 的閘極電極以及第四電晶體 104 的閘極電極，閘極電極電連接到第三輸入端子 23。在第一電容 111 中，第一電極電連接到第六電源線 36，第二電極電連接到第二電晶體 102 的閘極電極以及第四電晶體 104 的閘極電極。在第二電容 112 中，第一電極電連接到輸出端子 27，第二電極電連接到第一電晶體 101 的第二電極以及第三電晶體 103 的閘極電極。

在圖 1C 中，第一電晶體 101 的第二電極、第二電晶體 102 的第二電極、第三電晶體 103 的閘極電極以及第二電容 112 的第二電極的連接的地方是節點 A。此外，第二

電晶體 102 的閘極電極、第四電晶體 104 的閘極電極、第五電晶體 105 的第二電極、第六電晶體 106 的第二電極、第七電晶體 107 的第二電極、第九電晶體 109 的第一電極以及第一電容 111 的第二電極的連接的地方是節點 B。此外，第三電晶體 103 的第二電極、第四電晶體 104 的第二電極、第二電容 112 的第一電極以及輸出端子 27 的連接的地方是節點 C。

下面，參照圖 2 至圖 4D 說明圖 1 所示的移位暫存器的工作。具體地說，在圖 2 的時序圖中分割為第一期間 51、第二期間 52、第三期間 53、第四期間 54 以及第五期間 55 來說明。注意，在下面的說明中，第一電晶體 101 至第九電晶體 109 是 N 通道型薄膜電晶體，並且當閘極和源極之間的電壓 (V_{gs}) 大於閾值電壓 (V_{th}) 時，成為接通狀態。

此外，在此，對第二脈衝輸出電路 10₂ 的輸出進行說明。在第二脈衝輸出電路 10₂ 中，第一輸入端子 21 電連接到供給第二時鐘信號 (CK2) 的第二信號線 12，第二輸入端子 22 電連接到供給第三時鐘信號 (CK3) 的第三信號線 13，第三輸入端子 23 電連接到供給第四時鐘信號 (CK4) 的第四信號線 14。

注意，V1 的電位 (VDD) 被供給於第一電源線 31 以及第五電源線 35，並且 V2 的電位 (VSS) 被供給於第二電源線 32 至第四電源線 34、第六電源線 36。在此， $V1 > V2$ 。此外，第一時鐘信號 (CK1) 至第四時鐘信號

(CK4) 是以一定間隔反復 H 水平和 L 水平的信號，使當 H 水平時電位為 VDD，並且當 L 水平時電位為 VSS。此外，在此爲了簡化說明，使 VSS=0，但是不局限於此。

在第一期間 51 中，第二起始脈衝 (SP2) 成爲 H 水平來使電連接到第二脈衝輸出電路 10₂ 的第四輸入端子 24 的第一電晶體 101 和第五電晶體 105 接通。因爲第三時鐘信號 (CK3) 以及第四時鐘信號 (CK4) 也是 H 水平，所以第八電晶體 108 和第九電晶體 109 也接通 (參照圖 3A)。

此時，因爲第一電晶體 101 接通，所以節點 A 的電位上升。此外，在第五電源線 35 和第四電源線 34 之間流過直接穿隧電流 (direct tunneling current)，但是藉由調節電晶體的尺寸，來控制節點 B 的電位以使第二電晶體 102 成爲截止狀態。例如，藉由使第五電晶體 105 的通道寬度 (與在源極區和汲極區中載流子流過的方向垂直的方向上的通道寬度) 大於第八電晶體 108 或第九電晶體 109，來實現第二電晶體 102 的截止狀態。

在第二期間 52 中，從第一脈衝輸出電路 10₁ 的輸出端子 27 (OUT (1)) 輸出 H 水平的信號，來使電連接到第二脈衝輸出電路 10₂ 的第五輸入端子 25 的第六電晶體 106 接通。此外，因爲第三時鐘信號 (CK3) 成爲 L 水平來使第八電晶體 108 成爲截止狀態，所以不會有在第一期間 51 中出現的貫通電流 (參照圖 3B)。

此時，第一電晶體 101 的第二電極成爲源電極，而節

點 A 的電位成爲第一電源線 31 的電位減第一電晶體 101 的閾值電壓的值即 $V1-V_{th101}$ (V_{th101} 是第一電晶體 101 的閾值電壓)。於是，第一電晶體 101 截止，而節點 A 在維持 $V1-V_{th101}$ 的狀態下成爲浮動狀態。

在此，在第三電晶體 103 中，閘極電極的電位是 $V1-V_{th101}$ 。在第三電晶體 103 的柵和源之間的電壓大於第三電晶體 103 的閾值即 $V1-V_{th101}-V2 > V_{th103}$ (V_{th103} 是第三電晶體 103 的閾值電壓) 的情況下，第三電晶體 103 接通。

在第三期間 53 中，第二起始脈衝 (SP2) 成爲 L 水平來使第一電晶體 101 和第五電晶體 105 截止。此外，第二時鐘信號 (CK2) 成爲 H 水平，而 H 水平的信號被供給於電連接到第一輸入端子 21 的第三電晶體 103 的第一電極 (參照圖 3C)。

在此，因爲第三電晶體 103 接通，所以在源極和汲極之間發生電流，而節點 C (輸出端子 27 (OUT (2))) 即第三電晶體 103 的第二電極 (在此情況下，源極電極) 的電位開始上升。在第三電晶體 103 的閘極和源極之間有根據第二電容 112 的電容耦合，並且伴隨節點 C 的電位上升，處於浮動狀態的第三電晶體 103 的閘極電極的電位上升 (自舉工作)。最後，第三電晶體 103 的閘極電極的電位成爲比 $V1+V_{th103}$ 高，節點 C 的電位成爲等於 $V1$ 。

注意，雖然通過在第三電晶體 103 的閘極電極和第二電極之間設置第二電容 112，來進行該靴帶式工作，但是

也可以不設置第二電容 112，而通過利用第三電晶體 103 的通道電容以及第三電晶體 103 的閘極電極和第二電極之間的寄生電容的電容耦合，來進行該自舉工作。

另外，此時，因為第一脈衝輸出電路 10₁ 的輸出端子 27 (OUT (1)) 是 H 水平，所以第六電晶體 106 接通而節點 B 被維持為 L 水平。因此，當節點 C 的電位從 L 水平上升到 H 水平時，可以抑制由於節點 B 和節點 C 的電容耦合導致的故障。

然後，在第三期間 53 的後半期，第一脈衝輸出電路 10₁ 的輸出端子 27 (OUT (1)) 成為 L 水平，第六電晶體 106 截止，而節點 B 成為浮動狀態。此外，第三時鐘信號 (CK3) 成為 H 水平，而第八電晶體 108 接通 (參照圖 3D)。

在第四期間 54 中，第四脈衝輸出電路 10₄ 的輸出端子 27 (OUT (4)) 成為 H 水平，電連接到該第四脈衝輸出電路 10₄ 的輸出端子 27 的第二脈衝輸出電路 10₂ 的輸入端子 26 成為 H 水平，第七電晶體 107 接通，而節點 B 也成為 H 水平。因此，第二電晶體 102、第四電晶體 104 接通，第三電晶體 103 截止，而輸出端子 27 (OUT (2)) 成為 L 水平。此外，第四時鐘信號 (CK4) 成為 H 水平，而第九電晶體 109 接通 (參照圖 4A)。

然後，在第四期間 54 的後半期，第三時鐘信號 (CK3) 成為 L 水平，而第八電晶體 108 截止 (參照圖 4B)。

在第五期間 55 中，第四脈衝輸出電路 10₄ 的輸出端子 27 (OUT (4)) 成爲 L 水平，第七電晶體 107 截止，而節點 B 在維持 H 水平的狀態下成爲浮動狀態。由此，第二電晶體 102、第四電晶體 104 成爲繼續接通的狀態 (參照圖 4C)。

然後，在第五期間 55 中的某期間 (第三時鐘信號 (CK3) 以及第四時鐘信號 (CK4) 都是 H 水平時) 中，第八電晶體 108 和第九電晶體 109 接通，而定期性地將 H 水平的信號供給於節點 B (參照圖 4D)。

如此，通過採用如下結構，可以抑制脈衝輸出電路的錯誤工作：在將輸出端子 27 的電位保持爲 L 水平的期間中定期性地將 H 水平的信號供給於節點 B。此外，藉由規律地使第八電晶體 108、第九電晶體 109 接通/截止，可以減少電晶體的閾值偏移。

此外，在第五期間 55 中，當沒有從第五電源線 35 將 H 水平的信號供給於節點 B 時，有可能由於第五電晶體 105 以及第六電晶體 106 的截止電流，節點 B 的電位降低。然而，通過使第一電容 111 電連接到節點 B，可以緩和節點 B 的電位的降低。

注意，雖然在本實施方式中示出將第五電源線 35 設定爲與第一電源線 31 相同的 V1 的電位 (VDD) 的情況，但是也可以將第五電源線 35 設定爲比第一電源線 31 的低 ($V1 > V35 > V2$ ，V35 是第五電源線 35 的電位)。結果，可以將第二電晶體 102、第四電晶體 104 的閘極電極的電

位抑制得成爲低，並且可以減少該第二電晶體 102、第四電晶體 104 的閾移，來抑制退化。

此外，如圖 5A 所示，本實施方式所示的移位暫存器使用如下驅動方法：從第 m 脈衝輸出電路輸出的脈衝和從第 $m+1$ 脈衝輸出電路輸出的脈衝一半（ $1/2$ 周期）重疊。跟現有的移位暫存器的從第 m 脈衝輸出電路輸出的脈衝和從第 $m+1$ 脈衝輸出電路輸出的脈衝不重疊的驅動方法（參照圖 5B）相比，藉由採用該驅動方法，可以使給佈線充電的時間成爲大約兩倍。如此，藉由使用從第 m 脈衝輸出電路輸出的脈衝和從第 $m+1$ 脈衝輸出電路輸出的脈衝一半（ $1/2$ 周期份）重疊的驅動方法，可以提供能夠承受很大負荷且以高頻率工作的脈衝輸出電路。此外，可以放鬆脈衝輸出電路的工作條件。特別是，當將圖 5A 所示的驅動方法使用於使用了電氣特性差的非晶矽的薄膜電晶體時，非常有效。

注意，可以將本實施方式所示的移位暫存器以及脈衝輸出電路與本說明書中的其他實施方式所示的移位暫存器以及脈衝輸出電路的結構組合來實施。此外，本實施方式的發明也可以適用於半導體裝置。在本說明書中，半導體裝置意味著通過利用半導體特性而發揮作用的裝置。

實施方式 2

在本實施方式中，參照附圖將說明與上述實施方式所示的移位暫存器以及脈衝輸出電路不同的結構。

本實施方式所表示的移位暫存器包括第一脈衝輸出電路 10_1 至第 n 脈衝輸出電路 10_n ($n \geq 3$)、及輸出時鐘信號的第一信號線 11 至第四信號線 14 (參照圖 6A)。此外，第一脈衝輸出電路 10_1 至第 n 脈衝輸出電路 10_n 中的每一者均包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第六輸入端子 26、第一輸出端子 27、第二輸出端子 28 (參照圖 6B)。注意，本實施方式的移位暫存器採用如下結構：在上述實施方式 1 所示的脈衝輸出電路中新追加了第二輸出端子 28。

第一輸入端子 21、第二輸入端子 22 以及第三輸入端子 23 電連接到第一信號線 11 至第四信號線 14 中的任一個。此外，在本實施方式所示的移位暫存器的第 m 脈衝輸出電路 ($n \geq 3$) 中，第四輸入端子 24 電連接到第 ($m-2$) 脈衝輸出電路的第一輸出端子 27 及第 ($m-1$) 脈衝輸出電路的第五輸入端子 25，第五輸入端子 25 電連接到第 ($m-1$) 脈衝輸出電路的第一輸出端子 27 及第 ($m+1$) 脈衝輸出電路的第四輸入端子 24，第六輸入端子 26 電連接到第 ($m+2$) 脈衝輸出電路的第一輸出端子 27，第一輸出端子 27 電連接到第 ($m-2$) 脈衝輸出電路的第六輸出端子 26、第 ($m+1$) 脈衝輸出電路的第五輸入端子 25 及第 ($m+2$) 脈衝輸出電路的第四輸入端子 24，第二輸出端子 28 將信號輸出到 $OUT(m)$ 。

就是說，本實施方式所示的移位暫存器具有如下結

構：設置第一輸出端子 27 和第二輸出端子 28，即另外設置用來將信號輸出到其他脈衝輸出電路的輸出端子和用來將信號輸出到外部的輸出端子。

下面，將說明本實施方式所示的第一脈衝輸出電路 10₁ 至第 n 脈衝輸出電路 10_n 的具體結構。

第一脈衝輸出電路 10₁ 至第 n 脈衝輸出電路 10_n 中的每一者均包括第一電晶體 101 至第九電晶體 109、第十電晶體 201 至第十三電晶體 204、第一電容 111、第二電容 112、第三電容 211（參照圖 6C）。本實施方式所示的脈衝輸出電路具有如下結構：在上述實施方式 1 所示的脈衝輸出電路中追加了第十電晶體 201 至第十三電晶體 204、第三電容 211。此外，除了從上述實施方式 1 所示的第一輸入端子 21 至第六輸入端子 26、第一輸出端子 27、第一電源線 31 至第六電源線 36 以外，也從第二輸出端子 28、第七電源線 37 至第九電源線 39 將信號供給於電晶體。

在第十電晶體 201 中，第一電極電連接到第一輸入端子 21，第二電極電連接到第二輸出端子 28，閘極電極電連接到第一電晶體 101 的第二電極。在第十一電晶體 202 中，第一電極電連接到第八電源線 38，第二電極電連接到第二輸出端子 28，閘極電極電連接到第二電晶體 102 的閘極電極及第四電晶體 104 的閘極電極。在第十二電晶體 203 中，第一電極電連接到第九電源線 39，第二電極電連接到第二輸出端子 28，閘極電極電連接到第九電晶

體 109 的閘極電極。在第十三電晶體 204 中，第一電極電連接到第七電源線 37，第二電極電連接到第一輸出端子 27，閘極電極電連接到第九電晶體 109 的閘極電極。在第三電容 211 中，第一電極電連接到第二輸出端子 28，第二電極電連接到第一電晶體 101 的第二電極及第十電晶體 201 的閘極電極。

此外，可以採用如下結構：與第二電源線 32 至第四電源線 34、第六電源線 36 同樣地將 V2 的電位 (VSS) 供給於第七電源線 37 至第九電源線 39。

第一輸出端子 27 和第二輸出端子 28 被設置為輸出相同信號，並且第十電晶體 201 對應於第三電晶體 103，第十一電晶體 202 對應於第四電晶體 104。就是說，第十電晶體 201 與第三電晶體 103 同樣地進行靴帶式工作。注意，雖然通過在第十電晶體 201 的閘極電極和第二電極之間設置第三電容 211，來進行第十電晶體 201 的靴帶式工作，但是也可以不設置第三電容 211，而藉由利用第十電晶體 201 的通道電容以及第十電晶體 201 的閘極電極和第二電極之間的寄生電容的電容耦合，來進行該靴帶式工作。

第十二電晶體 203 和第十三電晶體 204 被用來縮短掃描線的電位的下降時間。如果通過利用第十二電晶體 203 和第十三電晶體 204 可以充分地縮短掃描線的電位的下降時間，則沒必要通過利用第四電晶體 104 和第十一電晶體 202 縮短掃描線的電位的下降時間。因此，也可以將第五

電源線 35 的電位設定為比第一電源線 31 的電位低。由此，可以減少第四電晶體 104、第十一電晶體 202、第二電晶體 102 的閾值偏移。

注意，可以將本實施方式所示的移位暫存器以及脈衝輸出電路與本說明書中的其他實施方式所示的移位暫存器以及脈衝輸出電路的結構組合來實施。此外，本實施方式的發明也可以適用於半導體裝置。

實施方式 3

在本實施方式中，將說明與上述實施方式所示的移位暫存器以及脈衝輸出電路不同的結構。

雖然在上述實施方式 1、實施方式 2 所示的結構中，示出了電路都由 N 通道型薄膜電晶體構成的實施例，但是從使用單極性薄膜電晶體的意義上講，也可以僅僅使用 P 通道型薄膜電晶體來得到同樣的結構。雖然未圖示，但是在圖 1C 或圖 6C 所示的附圖中，使電晶體的連接同樣，並且將電源線的電位的高低設定為與實施方式 1 及實施方式 2 所說明的情況相反，即可。此外，採用將被輸入的信號的 H 水平和 L 水平都成為相反來進行輸入的結構，即可。注意，本實施方式的發明也可以適用於半導體裝置。

實施方式 4

參照附圖說明將上述實施方式所示的移位暫存器設置在顯示裝置中的結構。

在圖 9A 中，顯示裝置具有在基底 1107 上多個像素 1101 被配置為矩陣狀的像素部 1102，並且在像素部 1102 的周邊具有信號線驅動電路 1103、第一掃描線驅動電路 1104 以及第二掃描線驅動電路 1105。藉由 FPC 從外部將信號供給這些驅動電路。

在圖 9B 中，示出了第一掃描線驅動電路 1104 以及第二掃描線驅動電路 1105 的結構。掃描線驅動電路 1104、1105 具有移位暫存器 1114、緩衝器 1115。此外，在圖 9C 中，示出信號線驅動電路 1103 的結構。信號線驅動電路 1103 具有移位暫存器 1111、第一佇鎖電路 1112、第二佇鎖電路 1113、緩衝器 1117。

可以將本實施方式所示的用作移位暫存器的電路適用於上述移位暫存器 1111 以及移位暫存器 1114 的電路。藉由適用上述實施方式所示的用作移位暫存器的電路，即使當使用了非晶矽的薄膜電晶體被用來形成該用作移位暫存器的電路時，也可以以高頻率使該用作移位暫存器的電路工作。

注意，掃描線驅動電路和信號線驅動電路的結構不局限於圖 9A 至 9C 所示的結構，例如也可以具備取樣電路、位準偏移電路等。此外，除了上述驅動電路以外，還可以將 CPU、控制器等電路與基底 1107 形成為一體。因此，需要連接的外部電路（IC）的個數減少，而可以實現進一步的輕量、薄型，而這對攜帶型終端等來說是非常重要的。

注意，可以將本實施方式所示的顯示裝置與本說明書中的其他實施方式所示的移位暫存器、脈衝輸出電路或者顯示裝置的結構組合來實施。

實施方式 5

在本實施方式中，參照附圖說明用於上述實施方式 4 所示的顯示裝置的顯示面板的結構。

首先，參照圖 10A 和 10B 說明可適用於顯示裝置的顯示面板。注意，圖 10A 是表示顯示面板的俯視圖，圖 10B 是沿圖 10A 的線 A-A' 的截面圖。該顯示面板包括以虛線表示的信號線驅動電路 3601、像素部 3602、第二掃描線驅動電路 3603 和第一掃描線驅動電路 3606。此外，該顯示面板還包括密封基底 3604、密封劑 3605。由密封劑 3605 圍繞的內側是間隔器 3607。

注意，佈線 3608 是用於傳輸輸入到第二掃描線驅動電路 3603、第一掃描線驅動電路 3606 以及信號線驅動電路 3601 的信號的佈線。並且，從作為外部輸入端子的 FPC(可撓印刷電路)3609 接收視頻信號、時鐘信號、起始信號等。在 FPC3609 和顯示面板的連接部分上，通過 COG(玻璃上晶片安裝)等安裝有 IC 晶片(形成記憶體電路、緩衝器電路等的半導體晶片) 3618 以及 IC 晶片 3619。注意，儘管在此僅圖示了 FPC，但是也可以在該 FPC 上安裝印刷線路板(PWB)。本說明書中的顯示裝置不僅包括顯示面板的主體，還包括安裝有 FPC 或 PWB 的

顯示面板。此外，還包括安裝有 IC 晶片等的顯示面板。

下面，參照圖 10B 說明截面結構。在基底 3610 上形成有像素部 3602 和其週邊驅動電路（第二掃描線驅動電路 3603、第一掃描線驅動電路 3606 以及信號線驅動電路 3601）。在此，示出信號線驅動電路 3601 和像素部 3602。

注意，信號線驅動電路 3601 由 N 通道型 TFT3620 和 P 通道型 TFT3621 構成的 CMOS 電路構成。此外，儘管在本實施方式中，示出了在基底上一體形成有週邊驅動電路的顯示面板，但是本發明不限於此，週邊驅動電路的全部或一部分也可以形成在 IC 晶片等上並且通過 COG 等安裝。

此外，像素部 3602 具有構成像素的多個電路，每個像素包括開關 TFT3611 和驅動 TFT3612。注意，驅動 TFT3612 的源電極電連接到第一電極 3613。此外，形成有覆蓋第一電極 3613 的端部的絕緣物 3614。在此，通过使用正型感光性丙烯酸樹脂膜，來形成絕緣物 3614。

此外，爲了改善覆蓋度，將絕緣物 3614 的上端部分或下端部分形成爲具有曲率的曲面。例如，在採用正型感光性丙烯酸作爲絕緣物 3614 的材料的情況下，較佳地僅僅將絕緣物 3614 的上端部分形成爲具有曲率半徑（ $0.2 \mu\text{m}$ 至 $3 \mu\text{m}$ ）的曲面。此外，關於絕緣物 3614，可以使用由於感光性的光而在蝕刻劑中不溶解的負型或者由於光而在蝕刻劑中可溶解的正型。

在第一電極 3613 上分別形成有包含有機化合物的層 3616 以及第二電極 3617。在此，作為用於用作陽極的第一電極 3613 的材料，較佳地使用具有高功函數的材料。例如，除了使用 ITO（氧化銦錫）膜、氧化銦鋅（IZO）膜、氮化鈦膜、鉻膜、鎢膜、鋅膜、鉑膜等的單層膜以外，還可以使用氮化鈦膜和以鋁為主要成分的膜的層合結構，氮化鈦膜、以鋁為主要成分的膜和氮化鈦膜的三層結構等。注意，當採用層合結構時，可以降低佈線的電阻，並實現優良的歐姆接觸，且提供作為陽極的功能。

此外，通過使用氣相沈積掩模的氣相沈積法或者噴墨法，來形成包含有機化合物的層 3616。關於包含有機化合物的層 3616，部分使用元素周期表的第四族的金屬配合物。作為能夠與該金屬配合物組合而使用的材料，可以使用低分子系材料或高分子系材料。此外，通常，作為用於包含有機化合物的層的材料，大多使用單層或層合的有機化合物。但是，在本實施方式中也包括在由有機化合物構成的膜中部分使用無機化合物的結構。再者，也可以使用已知的三重態材料。

再者，關於用於形成在包含有機化合物的層 3616 上的第二電極（陰極）3617 的材料，使用具有低功函數的材料（Al、Ag、Li、Ca，或這些材料的合金諸如 MgAg、MgIn、AlLi、CaF₂，或氮化鈣），即可。注意，當在包含有機化合物的層 3616 中產生的光透過第二電極 3617 時，較佳地使用使其膜厚成為薄的金屬薄膜和透明導電膜

(ITO (氧化銦錫)、氧化銦和氧化鋅的合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或者氧化鋅 (ZnO) 等) 的層合作為第二電極 (陰極) 3617。

再者，藉由利用密封劑 3605 將密封基底 3604 和基底 3610 貼在一起，得到顯示元件 3622 被配置在由基底 3610、密封基底 3604 以及密封劑 3605 圍繞的間隔器 3607 中的結構。注意，間隔器 3607 可以填充有惰性氣體 (氮、氬等) 或密封劑 3605。

注意，較佳地使用環氧類樹脂作為密封劑 3605。此外，這些材料較佳的是盡可能不使濕氣和氧氣透過的材料。此外，關於密封基底 3604，除了使用玻璃基底、石英基底以外，還可以使用由 FRP (玻璃纖維增強塑膠)、PVF (聚氟乙烯)、聚酯、丙烯等構成的塑膠基底。

藉由如上所述的方法，可以取得顯示面板。

如圖 10A 和 10B 所示，藉由將信號線驅動電路 3601、像素部 3602、第二掃描線驅動電路 3603 以及第一掃描線驅動電路 3606 形成為一體，可以實現顯示裝置的低成本化。

注意，顯示面板的結構不局限於圖 10A 所示的結構即將信號線驅動電路 3601、像素部 3602、第二掃描線驅動電路 3603 以及第一掃描線驅動電路 3606 形成為一體的結構，並且還可以採用如下結構：在 IC 晶片上形成相當於信號線驅動電路 3601 的圖 11A 所示的信號線驅動電路 4201，並且通過 COG 等將它安裝在顯示面板上。注意，

圖 11A 中的基底 4200、像素部 4202、第二掃描線驅動電路 4203、第一掃描線驅動電路 4204、FPC4205、IC 晶片 4206，IC 晶片 4207、密封基底 4208、密封劑 4209 分別相當於圖 10A 中的基底 3610、像素部 3602、第二掃描線驅動電路 3603、第一掃描線驅動電路 3606、FPC3609、IC 晶片 3618、IC 晶片 3619、密封基底 3604、密封劑 3605。

就是說，爲了減少耗電量，使用 CMOS 等在 IC 晶片上僅形成驅動電路中需要高速工作的信號線驅動電路。而且，藉由使 IC 晶片爲使用矽薄片等形成的半導體晶片，可以實現進一步的高速工作和低耗電量化。

此外，藉由將設置有上述實施方式所示的移位暫存器的第一掃描線驅動電路 4203、第二掃描線驅動電路 4204 與像素部 4202 形成爲一體，可以實現低成本化。

因此，可以實現高清晰度顯示裝置的低成本化。此外，藉由將形成有功能電路（記憶體或緩衝器）的 IC 晶片安裝在 FPC4205 和基底 4200 的連接部分上，可以有效地利用基底面積。

此外，也可以採用如下結構：在 IC 晶片上形成分別相當於圖 10A 中的信號線驅動電路 3601、第二掃描線驅動電路 3603 以及第一掃描線驅動電路 3606 的圖 11B 中的信號線驅動電路 4211、第二掃描線驅動電路 4214 以及第一掃描線驅動電路 4213，並且藉由 COG 等將它安裝在顯示面板上。在此情況下，可以進一步降低高清晰度顯示裝

置的耗電量。因此，爲了進一步降低顯示裝置的耗電量，較佳地使用多晶矽作爲用於像素部的電晶體的半導體層。注意，圖 11B 中的基底 4210、像素部 4212、FPC4215、IC 晶片 4216、IC 晶片 4217、密封基底 4218、密封劑 4219 分別相當於圖 10A 中的基底 3610、像素部 3602、FPC3609、IC 晶片 3618、IC 晶片 3619、密封基底 3604、密封劑 3605。

此外，藉由使用非晶矽作爲用於像素部 4212 的電晶體的半導體層，可以實現低成本化。而且，可以製造大型顯示面板。

圖 15A 和 15B 表示可應用於顯示元件 3622 的顯示元件的例子。換言之，參照圖 15A 和 15B 說明可應用於上述實施方式所示的像素的顯示元件的結構。

圖 15A 中的顯示元件具有如下元件結構，在基底 4401 上層合陽極 4402、由電洞注入材料構成的電洞注入層 4403、由電洞傳輸材料構成的電洞傳輸層 4404、發光層 4405、由電子傳輸材料構成的電子傳輸層 4406、由電子注入材料構成的電子注入層 4407 和陰極 4408。在此，發光層 4405 有時僅由一種發光材料形成，但也可由兩種以上材料形成。此外，本發明的元件的結構不局限於該結構。

除了採用圖 15A 和 15B 所示的層合有各種功能層的層合結構以外，還可以採用如下元件，例如使用高分子化合物的元件、高效元件等，該高效元件利用從三重態激發

發光的三重態發光材料形成其發光層。此外，本發明的元件結構也可以應用於白色顯示元件等，該白色顯示元件通過利用電洞阻擋層控制載流子重新組合區域並且將發光區域劃分為兩個區域來得到。

在圖 15A 所示的本發明的元件的製造方法中，首先，在配置有陽極 4402 (ITO) 的基底 4401 上依次氣相沈積電洞注入材料、電洞傳輸材料、發光材料。接著，氣相沈積電子傳輸材料、電子注入材料，最後通過氣相沈積形成陰極 4408。

以下列舉適合用作電洞注入材料、電洞傳輸材料、電子傳輸材料、電子注入材料和發光材料的材料。

關於電洞注入材料，當使用有機化合物時，可以使用卟啉類化合物、酞菁（以下稱爲“H₂Pc”）、銅酞菁（以下稱爲“CuPc”）等。此外，當其電離電位的值比電洞傳輸材料的小且爲具有電洞傳輸功能的材料時，該材料也可以被用作電洞注入材料。電洞注入材料還包括對導電高分子化合物施行了化學摻雜法的材料，例如摻有聚苯乙烯磺酸鹽（以下稱爲“PSS”）的聚乙烯二氧噻吩（以下稱爲“PEDOT”）、聚苯胺等。此外，由於絕緣體的高分子化合物可以實現陽極的平坦化，所以經常使用聚醯亞胺（以下稱爲“PI”）。再者，也可以使用無機化合物，例如氧化鋁（以下，稱爲礬土）的超薄薄膜、金屬（例如金或鉑等）薄膜等。

關於電洞傳輸材料，最廣泛使用的是芳香胺類化合物

(就是說，具有苯環-氮鍵的化合物)。作為廣泛使用的材料，有 4,4'-二(二苯胺)-聯苯(以下稱為“TAD”)、它的衍生物諸如 4,4'-二[N-(3-甲基苯基)-N-苯基-氨基]-聯苯(以下稱為“TPD”)或 4,4'-二[N-(1-萘基)-N-苯基-氨基]-聯苯(以下稱為“ α -NPD”)。此外，還可以舉出星爆芳香胺化合物諸如 4,4',4''-三(N,N-二苯基-氨基)三苯胺(以下稱為“TDATA”)或 4,4',4''-三[N-(3-甲基苯基)-N-苯基-氨基]-三苯胺(以下稱為“MTDATA”)等。

關於電子傳輸材料，經常使用金屬錯合物。可以使用具有喹啉骨架或苯並喹啉骨架的金屬錯合物諸如 Alq、BALq、三(4-甲基-8-喹啉醇合)鋁(以下稱為“Almq”)、二(10-羥基苯[h]-喹啉)鈹(以下稱為“BeBq”)等。除此之外，也可以使用具有噁唑類配位體或噻唑類配位元體的金屬錯合物諸如二[2-(2-羥基苯基)-苯並噁唑]鋅(以下稱為“Zn(BOX)₂”)、二[2-(2-羥基苯基)-苯並噻唑]鋅(以下稱為“Zn(BTZ)₂”)等。而且，除了金屬錯合物以外，噁二唑衍生物諸如 2-(4-聯苯基)-5-(4-tert-丁基苯基)-1,3,4-噁二唑(以下稱為“PBD”)或 OXD-7 等、三唑衍生物諸如 TAZ、3-(4-tert-丁基苯基)-4-(4-乙基苯基)-5-(4-聯苯基)-1,2,4-三唑(以下稱為“p-EtTAZ”)等、菲繞啉衍生物諸如紅菲繞啉(以下稱為“BPhen”)或 BCP 等具有電子傳輸性。

關於電子注入材料，可以使用上述電子傳輸材料。此

外，經常使用絕緣體的超薄薄膜，例如氟化鈣、氟化鋰、氟化銻等金屬鹵化物或例如氧化鋰等鹼金屬氧化物。此外，鹼金屬配合物諸如乙醯丙酮鋰（以下稱爲“Li(acac)”）或 8-喹啉醇合-鋰（以下稱爲“Liq”）也是有效的。

關於發光材料，除了使用金屬錯合物諸如 Alq、Almq、BeBq、BAIq、Zn(BOX)₂、Zn(BTZ)₂ 等以外，還可以利用各種熒光色素。作爲熒光色素，有藍色的 4,4'-二(2,2-二苯基-乙烯基)-聯苯、橙紅色的 4-(二氰基亞甲基)-2-甲基-6-(p-二甲氨基苯乙烯基)-4H-吡喃等。此外，也可以使用三重態發光材料，其主體是以鉑或銱爲中心金屬的配合物。作爲三重態發光材料，三(2-苯基吡啶)銱、二(2-(4'-tryl)吡啶醇-N,C^{2'})乙醯丙酮銱（以下稱爲“acacIr(tpy)₂”）、2,3,7,8,12,13,17,18-八乙基-21H,23H 卟啉-鉑等是已知的。

可以通過將上述具有各功能的材料分別組合，來製造可靠性高的顯示元件。

此外，當藉由改變具有上述實施方式所示的像素結構的驅動電晶體的極性而使其成爲 N 通道型電晶體，並且反轉顯示元件的相對電極的電位和電源線的電位的高低時，可以使用以與圖 15A 相反的順序形成有層的顯示元件。也就是如圖 15B 所示的元件結構：在基底 4401 上層合陰極 4408、由電子注入材料構成的電子注入層 4407、由電子傳輸材料構成的電子傳輸層 4406、發光層 4405、由電洞

傳輸材料構成的電洞傳輸層 4404、由電洞注入材料構成的電洞注入層 4403、以及陽極 4402。

此外，爲了提取發光，顯示元件的陽極和陰極中的至少一個是透明的，即可。接著，在基底上形成 TFT 和顯示元件。顯示元件有頂部發射結構、底部發射結構和雙面發射結構的顯示元件，其中頂部發射結構是從與基底相反的表面提取發光的，底部發射結構是從基底一側的表面提取發光的，而雙面發射結構是從基底一側的表面及與基底相反的表面提取發光的。上述實施方式所示的像素結構可以應用於具有任一種發射結構的顯示元件。

參照圖 12A 說明具有頂部發射結構的顯示元件。

在基底 4500 上中間夾著基底膜 4505 形成驅動 TFT4501，並與驅動 TFT4501 的源電極接觸地形成第一電極 4502，且在其上形成包含有機化合物的層 4503 和第二電極 4504。

此外，第一電極 4502 是顯示元件的陽極，第二電極 4504 是顯示元件的陰極。換言之，包含有機化合物的層 4503 由第一電極 4502 和第二電極 4504 夾持的部分成爲顯示元件。

在此，關於用於用作陽極的第一電極 4502 的材料，較佳的使用具有高功函數的材料。例如，除了使用氮化鈦膜、鉻膜、鎢膜、鋅膜、鉑膜等的單層膜以外，還可以使用氮化鈦膜和以鋁爲主要成分的膜的層合結構，氮化鈦膜、以鋁爲主要成分的膜和氮化鈦膜的三層結構等。注

意，當採用層合結構時，可以降低佈線的電阻，並實現優良的歐姆接觸，且提供作為陽極的功能。可以通過使用反射光的金屬膜，來形成不使光透過的陽極。

此外，關於用於用作陰極的第二電極 4504 的材料，較佳地使用由具有低功函數的材料（Al、Ag、Li、Ca，或這些材料的合金諸如 MgAg、MgIn、AlLi、CaF₂，或氮化鈣）構成的金屬薄膜和透明導電膜（ITO（氧化銦錫）、氧化銦鋅（IZO）、氧化鋅（ZnO）等）的層合。如此，可以藉由使用薄的金屬薄膜和具有透明性的透明導電膜，來形成能夠使光透過的陰極。

據此，如圖 12A 中的箭頭指示，可以將來自顯示元件的光提取到頂部表面。換言之，在將顯示元件應用於圖 10A 和 10B 所示的顯示面板的情況下，光發射到密封基底 3604 一側。因此，當將具有頂部發射結構的顯示元件使用於顯示裝置時，使用具有光透過性的基底作為密封基底 3604。

此外，在提供光學薄膜的情況下，可以在密封基底 3604 上設置光學薄膜。

下面，參照圖 12B 說明具有底部發射結構的顯示元件。因為除發射結構之外的結構與圖 12A 相同，所以使用與圖 12A 中相同的符號來說明。

在此，關於用於用作陽極的第一電極 4502 的材料，較佳地使用具有高功函數的材料。例如，可以使用透明導電膜諸如 ITO（氧化銦錫）膜或氧化銦鋅（IZO）膜等。

可以通過使用具有透明性的透明導電膜，來形成能夠使光透過的陽極。

此外，關於用於用作陰極的第二電極 4504 的材料，較佳地使用由具有低功函數的材料（Al、Ag、Li、Ca，或這些材料的合金諸如 MgAg、MgIn、AlLi、CaF₂，或氮化鈣）構成的金屬膜。如此，可以通過使用反射光的金屬膜，來形成不使光透過的陰極。

據此，如圖 12B 中的箭頭指示，可以將來自顯示元件的光提取到底部表面。換言之，在將顯示元件應用於圖 10A 和 10B 所示的顯示面板的情況下，光發射到基底 3610 一側。因此，當將具有底部發射結構的顯示元件使用於顯示裝置時，使用具有光透過性的基底作為基底 3610。

此外，在提供光學薄膜的情況下，較佳地在基底 3610 上設置光學薄膜。

下面，參照圖 12C 說明具有雙面發射結構的顯示元件。因為除發射結構之外的結構與圖 12A 相同，所以使用與圖 12A 中相同的符號來說明。

在此，作為用於用作陽極的第一電極 4502 的材料，較佳地使用具有高功函數的材料。例如，可以使用透明導電膜諸如 ITO（氧化銦錫）膜或氧化銦鋅（IZO）膜等。可以藉由使用具有透明性的透明導電膜，來形成能夠使光透過的陽極。

此外，關於用於用作陰極的第二電極 4504 的材料，

較佳地使用由具有低功函數的材料（Al、Ag、Li、Ca，或這些材料的合金諸如 MgAg、MgIn、AlLi、CaF₂，或氮化鈣）構成的金屬薄膜以及透明導電膜（ITO（氧化銦錫）、氧化銦和氧化鋅的合金（In₂O₃-ZnO）、或者氧化鋅（ZnO）等）的層合。如此，可以藉由使用很薄的金屬薄膜以及具有透明性的透明導電膜，來形成能夠使光透過的陰極。

據此，如圖 12C 中的箭頭指示，可以將來自顯示元件的光提取到雙面。換言之，在將顯示元件應用於圖 10A 和 10B 所示的顯示面板的情況下，光發射到基底 3610 一側和密封基底 3604 一側。因此，當將具有雙面發射結構的顯示元件使用於顯示裝置時，使用具有光透過性的基底作為基底 3610 以及密封基底 3604。

此外，在提供光學薄膜的情況下，較佳地在基底 3610 以及密封基底 3604 雙方上設置光學薄膜。

此外，可以將本發明適用於通過利用白色顯示元件和顏色濾光片實現全彩色顯示的顯示裝置。

例如，如圖 13 所示，也可以採用如下結構：在基底 4600 上形成基底膜 4602，在其上形成驅動 TFT4601，以及形成與驅動 TFT4601 的源極電極相接觸的第一電極 4603，在其上形成包含有機化合物的層 4604 和第二電極 4605。

此外，第一電極 4603 是顯示元件的陽極，第二電極 4605 是顯示元件的陰極。換言之，包含有機化合物的層

4604 由第一電極 4603 和第二電極 4605 夾持的部分成爲顯示元件。在圖 13 所示的結構中，發射白色光。並且，在顯示元件的上部分別設置有紅色濾光片 4606R、綠色濾光片 4606G、藍色濾光片 4606B，以可以實現全彩色顯示。此外，設置有隔離這些顏色濾光片的黑矩陣（也稱爲“BM”）4607。

可以將上述顯示元件的結構組合而使用，並且可以適當地使用於使用本發明的脈衝輸出電路或移位暫存器來驅動的顯示裝置。此外，上述顯示面板的結構和顯示元件僅是舉例說明，當然可以適用另外的結構。

實施方式 6

本發明可以適用於各種各樣的電子設備。具體地說，本發明可以適用於電子設備的顯示部分的驅動。此種電子設備的實施例包含：攝影機或數位相機等的影像拍攝裝置、護目鏡型顯示器、導航系統、聲音再現裝置（汽車音響或音響元件等）、電腦、遊戲機、攜帶型資訊終端（移動電腦、手機、攜帶型遊戲機或電子書等）、具備記錄媒體的影像再現裝置（具體地說，再生記錄媒體諸如數位多樣式光碟（DVD）等且具備能夠顯示其影像的發光裝置的裝置）等。

圖 14A 顯示發光裝置，它包括機殼 6001、支撐台 6002、顯示部分 6003、揚聲器部分 6004、視頻輸入端子 6005 等。可以將本發明的顯示裝置使用於顯示部分

6003。注意，發光裝置包括用於個人電腦、電視廣播接收、廣告顯示等的顯示資訊的所有發光裝置。可以藉由利用本發明的移位暫存器驅動顯示部分 6003，來實現耗電量的降低。

圖 14B 表示照相機，它包括主體 6101、顯示部分 6102、影像接收部分 6103、操作鍵 6104、外部連接埠 6105、快門按鈕 6106 等。可以藉由利用本發明的移位暫存器驅動顯示部分 6102，來實現耗電量的降低。

圖 14C 表示電腦，它包括主體 6201、機殼 6202、顯示部分 6203、鍵盤 6204、外部連接埠 6205、指向裝置 6206 等。可以藉由利用本發明的移位暫存器驅動顯示部分 6203，來實現耗電量的降低。

圖 14D 表示移動電腦，它包括主體 6301、顯示部分 6302、開關 6303、操作鍵 6304、紅外線埠 6305 等。可以通過利用本發明的移位暫存器驅動顯示部分 6302，來實現耗電量的降低。

圖 14E 表示具備記錄媒體的攜帶型影像再生裝置（具體地說，DVD 再生裝置），它包括主體 6401、機殼 6402、顯示部分 A6403 和 B6404、記錄媒體（DVD 等）讀出部分 6405、操作鍵 6406、揚聲器部分 6407 等。顯示部分 A6403 主要顯示圖像資訊，顯示部分 B6404 主要顯示文字資訊。可以藉由利用本發明的移位暫存器驅動顯示部分 A6403 和顯示部分 B6404，來實現耗電量的降低。

圖 14F 表示護目鏡型顯示器，它包括主體 6501、顯

示部分 6502、臂部分 6503。可以通過利用本發明的移位暫存器驅動顯示部分 6502，來實現耗電量的降低。

圖 14G 表示攝像機，它包括主體 6601、顯示部分 6602、機殼 6603、外部連接埠 6604、遙控接收部分 6605、影像接收部分 6606、電池 6607、聲音輸入部分 6608、操作鍵 6609、目鏡部 6610 等。可以藉由利用本發明的移位暫存器驅動顯示部分 6602，來實現耗電量的降低。

圖 14H 表示手機，它包括主體 6701、機殼 6702、顯示部分 6703、聲音輸入部分 6704、聲音輸出部分 6705、操作鍵 6706、外部連接埠 6707、天線 6708 等。可以藉由利用本發明的移位暫存器驅動顯示部分 6703，來實現耗電量的降低。

如此，可以將本發明適用於所有電子設備。

本說明書根據 2006 年 10 月 17 日在日本專利局受理的日本專利申請編號 2006-282931 而製作，於此一併列入參考。

【符號說明】

10.₁ 至 10._n：脈衝輸電路

11：第一信號線

12：第二信號線

13：第三信號線

14：第四信號線

21 : 第一輸入端子

22 : 第二輸入端子

23 : 第三輸入端子

24 : 第四輸入端子

25 : 第五輸入端子

26 : 第六輸入端子

27 : 第一輸出端子

28 : 第二輸出端子

31 : 第一電源線

32 : 第二電源線

33 : 第三電源線

34 : 第四電源線

35 : 第五電源線

36 : 第六電源線

37 : 第七電源線

38 : 第八電源線

39 : 第九電源線

101 : 第一電晶體

102 : 第二電晶體

103 : 第三電晶體

104 : 第四電晶體

105 : 第五電晶體

106 : 第六電晶體

107 : 第七電晶體

- 108 : 第八電晶體
- 109 : 第九電晶體
- 111 : 第一電容
- 112 : 第二電容
- 201 : 第十電晶體
- 202 : 第十一電晶體
- 203 : 第十二電晶體
- 204 : 第十三電晶體
- 211 : 第三電容
- 1010 : TFT
- 1020 : TFT
- 1030 : TFT
- 1040 : TFT
- 1050 : TFT
- 1060 : TFT
- 1070 : 電容
- 1100 : 第一振幅補償電路
- 1101 : 像素
- 1102 : 像素部
- 1103 : 信號線驅動電路
- 1104 : 第一掃描線驅動電路
- 1105 : 第二掃描線驅動電路
- 1106 : FPC
- 1107 : 基底



- 1111 : 移位暫存器
- 1112 : 第一佇鎖電路
- 1113 : 第二佇鎖電路
- 1114 : 移位暫存器
- 1115 : 緩衝器
- 1117 : 緩衝器
- 1200 : 第二振幅補償電路
- 2010 : TFT
- 2020 : TFT
- 2030 : TFT
- 2040 : TFT
- 2050 : TFT
- 2060 : TFT
- 2070 : 電容
- 2100 : 第一振幅補償電路
- 2200 : 第二振幅補償電路
- 3601 : 信號線驅動電路
- 3602 : 像素部
- 3603 : 第二掃描線驅動電路
- 3604 : 密封基底
- 3605 : 密封劑
- 3606 : 第一掃描線驅動電路
- 3607 : 間隔器
- 3608 : 佈線

- 3609 : 可撓電路
- 3610 : 基底
- 3611 : 開關 TFT
- 3612 : 驅動 TFT
- 3613 : 第一電極
- 3614 : 絕緣物
- 3616 : 層
- 3617 : 第二電極
- 3618 : IC 晶片
- 3619 : IC 晶片
- 3620 : N 通道型 TFT
- 3621 : P 通道型 TFT
- 4200 : 基底
- 4201 : 信號線驅動電路
- 4202 : 像素部
- 4203 : 第二掃描線驅動電路
- 4204 : 第一掃描線驅動電路
- 4205 : FPC
- 4206 : IC 晶片
- 4207 : IC 晶片
- 4208 : 密封基底
- 4209 : 密封劑
- 4210 : 基底
- 4211 : 信號線驅動電路

- 4212 : 像素部
- 4213 : 第一掃描線驅動電路
- 4214 : 第二掃描線驅動電路
- 4215 : FPC
- 4216 : IC 晶片
- 4217 : IC 晶片
- 4218 : 密封基底
- 4219 : 密封劑
- 4401 : 基底
- 4402 : 陽極
- 4403 : 電洞注入層
- 4404 : 電洞傳輸層
- 4405 : 發光層
- 4406 : 電子傳輸層
- 4407 : 電子注入層
- 4408 : 陰極
- 4500 : 基底
- 4501 : 驅動 TFT
- 4502 : 第一電極
- 4503 : 層
- 4504 : 第二電極
- 4505 : 基底膜
- 4600 : 基底
- 4601 : 驅動 TFT

- 4602 : 基底膜
- 4603 : 第一電極
- 4604 : 層
- 4605 : 第二電極
- 4606B : 藍色濾光片
- 4606G : 綠色濾光片
- 4606R : 紅色濾光片
- 6001 : 機殼
- 6002 : 支撐台
- 6003 : 顯示部分
- 6004 : 揚聲器部分
- 6005 : 視頻輸入端子
- 6101 : 主體
- 6102 : 顯示部分
- 6103 : 影像接收部分
- 6104 : 操作鍵
- 6105 : 外部連接埠
- 6106 : 快門按鈕
- 6201 : 主體
- 6202 : 機殼
- 6203 : 顯示部分
- 6204 : 鍵盤
- 6205 : 外部連接埠
- 6206 : 指向裝置

- 6301 : 主體
- 6302 : 顯示部分
- 6303 : 開關
- 6304 : 操作鍵
- 6305 : 紅外線埠
- 6401 : 主體
- 6402 : 機殼
- 6403 : 顯示部分 A
- 6404 : 顯示部分 B
- 6405 : 記錄媒體讀出部分
- 6406 : 操作鍵
- 6407 : 揚聲器部分
- 6501 : 主體
- 6502 : 顯示部分
- 6503 : 臂部分
- 6601 : 主體
- 6602 : 顯示部分
- 6603 : 機殼
- 6604 : 外部連接埠
- 6605 : 遙控接收部
- 6606 : 影像接收部分
- 6607 : 電池
- 6608 : 聲音輸入部分
- 6609 : 操作鍵

- 6610 : 目鏡部
- 6701 : 主體
- 6702 : 機殼
- 6703 : 顯示部分
- 6704 : 聲音輸入部分
- 6705 : 聲音輸入部分
- 6706 : 操作鍵
- 6707 : 外部連接埠
- 6708 : 天線

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第八電晶體；以及

第九電晶體；

其中，該第一電晶體的源極和汲極的其中一個電連接到該第三電晶體的閘極，

其中，該第二電晶體的源極和汲極的其中一個電連接到該第三電晶體的該閘極，

其中，該第三電晶體的源極和汲極的其中一個電連接到該第四電晶體的源極和汲極的其中一個，

其中，該第四電晶體的閘極電連接到該第二電晶體的閘極，

其中，該第五電晶體的閘極電連接到該第一電晶體的閘極，

其中，該第五電晶體的源極和汲極的其中一個電連接到該第二電晶體的該閘極，

其中，該第六電晶體的源極和汲極的其中一個電連接

到該第二電晶體的該閘極，

其中，該第五電晶體的該源極和該汲極的另一個電連接到該第六電晶體的該源極和該汲極的另一個，

其中，該第七電晶體的源極和汲極的其中一個電連接到該第二電晶體的該閘極，

其中，該第八電晶體的源極和汲極的其中一個電連接到該第七電晶體的該源極和該汲極的另一個，

其中，該第八電晶體的該源極和該汲極的另一個電連接到該第九電晶體的源極和汲極的其中一個，以及

其中，該第九電晶體的該源極和該汲極的另一個電連接到該第二電晶體的該閘極。

2.如申請專利範圍第 1 項的半導體裝置，

其中，該第三電晶體的該源極和該汲極的另一個電連接到第一端子，

其中，該第八電晶體的閘極電連接到第二端子，

其中，該第九電晶體的閘極電連接到第三端子，

其中，該第一電晶體的閘極電連接到第四端子，

其中，該第六電晶體的閘極電連接到第五端子，

其中，該第七電晶體的閘極電連接到第六端子，

其中，該第三電晶體的該源極和該汲極的其中一個電連接到第七端子，

其中，該第一電晶體的該源極和該汲極的另一個電連接到第一電源線，

其中，該第二電晶體的該源極和該汲極的另一個電連

接到第二電源線，

其中，該第四電晶體的該源極和該汲極的另一個電連接到第三電源線，

其中，該第五電晶體的該源極和該汲極的另一個電連接到第四電源線，以及

其中，該第七電晶體的該源極和該汲極的另一個電連接到第五電源線。

3.如申請專利範圍第 1 項的半導體裝置，另外包括：

第一電容，

其中，該第一電容的第一電極電連接到該第三電晶體的該閘極，以及

其中，該第一電容的第二電極電連接到該第三電晶體的該源極和該汲極的其中一個。

4.如申請專利範圍第 3 項的半導體裝置，另外包括：

第二電容，

其中，該第二電容的第一電極電連接到該第二電晶體的該閘極，以及

其中，該第二電容的第二電極電連接到第六電源線。

5.如申請專利範圍第 1 項的半導體裝置，另外包括：

第十電晶體；

第十一電晶體；

第十二電晶體；以及

第十三電晶體；

其中，該第十電晶體的閘極電連接到該第三電晶體的

該閘極，

其中，該第十一電晶體的源極和汲極的其中一個電連接到該第十電晶體的源極和汲極的其中一個，

其中，該第十一電晶體的閘極電連接到該第二電晶體的該閘極，

其中，該第十二電晶體的源極和汲極的其中一個電連接到該第十電晶體的該源極和該汲極的其中一個，

其中，該第十二電晶體的閘極電連接到該第九電晶體的閘極，

其中，該第十三電晶體的源極和汲極的其中一個電連接到該第三電晶體的該源極和該汲極的其中一個，以及

其中，該第十三電晶體的閘極電連接到該第九電晶體的該閘極。

6.如申請專利範圍第 5 項的半導體裝置，另外包括：

第三電容，

其中，該第三電容的第一電極電連接到該第十電晶體的該閘極，以及

其中，該第三電容的第二電極電連接到該第十電晶體的該源極和該汲極的其中一個。

7.如申請專利範圍第 5 項的半導體裝置，

其中，該第十電晶體的該源極和該汲極的另一個電連接到該第三電晶體的該源極和該汲極的另一個，

其中，該第十三電晶體的該源極和該汲極的另一個電連接到第七電源線，

其中，該第十一電晶體的該源極和該汲極的另一個電連接到第八電源線，以及

其中，該第十二電晶體的該源極和該汲極的另一個電連接到第九電源線。

8. 一種顯示裝置，包括：

在基板上的像素部；以及

在該基板上的驅動電路；該驅動電路包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第八電晶體；以及

第九電晶體；

其中，該第一電晶體的源極和汲極的其中一個電連接到該第三電晶體的閘極，

其中，該第二電晶體的源極和汲極的其中一個電連接到該第三電晶體的該閘極，

其中，該第三電晶體的源極和汲極的其中一個電連接到該第四電晶體的源極和汲極的其中一個，

其中，該第四電晶體的閘極電連接到該第二電晶體的閘極，

其中，該第五電晶體的閘極電連接到該第一電晶體的閘極，

其中，該第五電晶體的源極和汲極的其中一個電連接到該第二電晶體的該閘極，

其中，該第六電晶體的源極和汲極的其中一個電連接到該第二電晶體的該閘極，

其中，該第五電晶體的該源極和該汲極的另一個電連接到該第六電晶體的該源極和該汲極的另一個，

其中，該第七電晶體的源極和汲極的其中一個電連接到該第二電晶體的該閘極，

其中，該第八電晶體的源極和汲極的其中一個電連接到該第七電晶體的該源極和該汲極的另一個，

其中，該第八電晶體的該源極和該汲極的另一個電連接到該第九電晶體的源極和汲極的其中一個，以及

其中，該第九電晶體的該源極和該汲極的另一個電連接到該第二電晶體的該閘極。

9.如申請專利範圍第 8 項的顯示裝置，

其中，該第三電晶體的該源極和該汲極的另一個電連接到第一端子，

其中，該第八電晶體的閘極電連接到第二端子，

其中，該第九電晶體的閘極電連接到第三端子，

其中，該第一電晶體的閘極電連接到第四端子，

其中，該第六電晶體的閘極電連接到第五端子，

其中，該第七電晶體的閘極電連接到第六端子，

其中，該第三電晶體的該源極和該汲極的其中一個電連接到第七端子，

其中，該第一電晶體的該源極和該汲極的另一個電連接到第一電源線，

其中，該第二電晶體的該源極和該汲極的另一個電連接到第二電源線，

其中，該第四電晶體的該源極和該汲極的另一個電連接到第三電源線，

其中，該第五電晶體的該源極和該汲極的另一個電連接到第四電源線，以及

其中，該第七電晶體的該源極和該汲極的另一個電連接到第五電源線。

10.如申請專利範圍第 8 項的顯示裝置，

其中，該驅動電路另外包含第一電容，

其中，該第一電容的第一電極電連接到該第三電晶體的該閘極，以及

其中，該第一電容的第二電極電連接到該第三電晶體的該源極和該汲極的其中一個。

11.如申請專利範圍第 10 項的顯示裝置，

其中，該驅動電路另外包含第二電容，

其中，該第二電容的第一電極電連接到該第二電晶體的該閘極，以及

其中，該第二電容的第二電極電連接到第六電源線。

12.如申請專利範圍第 8 項的顯示裝置，

其中，該驅動電路另外包括第十電晶體、第十一電晶體、第十二電晶體、以及第十三電晶體，

其中，該第十電晶體的閘極電連接到該第三電晶體的該閘極，

其中，該第十一電晶體的源極和汲極的其中一個電連接到該第十電晶體的源極和汲極的其中一個，

其中，該第十一電晶體的閘極電連接到該第二電晶體的該閘極，

其中，該第十二電晶體的源極和汲極的其中一個電連接到該第十電晶體的該源極和該汲極的其中一個，

其中，該第十二電晶體的閘極電連接到該第九電晶體的閘極，

其中，該第十三電晶體的源極和汲極的其中一個電連接到該第三電晶體的該源極和該汲極的其中一個，以及

其中，該第十三電晶體的閘極電連接到該第九電晶體的該閘極。

13.如申請專利範圍第 12 項的顯示裝置，

其中，該驅動電路另外包含第三電容，

其中，該第三電容的第一電極電連接到該第十電晶體的該閘極，以及

其中，該第三電容的第二電極電連接到該第十電晶體的該源極和該汲極的其中一個。

14.如申請專利範圍第 12 項的顯示裝置，

其中，該第十電晶體的該源極和該汲極的另一個電連

接到該第三電晶體的該源極和該汲極的另一個，

其中，該第十三電晶體的該源極和該汲極的另一個電連接到第七電源線，

其中，該第十一電晶體的該源極和該汲極的另一個電連接到第八電源線，以及

其中，該第十二電晶體的該源極和該汲極的另一個電連接到第九電源線。

15.一種包括如申請專利範圍第 8 項的顯示裝置的電子設備，

其中，該電子設備另外包含至少選自操作鍵、電池、以及天線所組成的族群中的其中一個。

16.一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

第五電晶體；

其中，該第一電晶體的源極和汲極的其中一個電連接到第一輸入端子，

其中，該第一電晶體的該源極和該汲極的另一個電連接到輸出端子，

其中，該第二電晶體的源極和汲極的其中一個電連接到第一電源線，

其中，該第二電晶體的該源極和該汲極的另一個電連

接到該輸出端子，

其中，該第三電晶體的源極和汲極的其中一個電連接到第二電源線，

其中，該第三電晶體的該源極和該汲極的另一個電連接到該第二電晶體的閘極，

其中，該第三電晶體的閘極電連接到第四輸入端子，

其中，該第四電晶體的源極和汲極的其中一個電連接到該第五電晶體的源極和汲極的其中一個，

其中，該第四電晶體的閘極電連接到第二輸入端子，

其中，該第五電晶體的該源極和該汲極的另一個電連接到該第二電晶體的該閘極，以及

其中，該第五電晶體的閘極電連接到第三輸入端子。

17.一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

第五電晶體；

其中，該第一電晶體的源極和汲極的其中一個電連接到第一輸入端子，

其中，該第一電晶體的該源極和該汲極的另一個電連接到輸出端子，

其中，該第二電晶體的源極和汲極的其中一個組態為

被供給第一電位，

其中，該第二電晶體的該源極和該汲極的另一個電連接到該輸出端子，

其中，該第三電晶體的源極和汲極的其中一個組態為被供給第二電位，

其中，該第三電晶體的該源極和該汲極的另一個電連接到該第二電晶體的閘極，

其中，該第三電晶體的閘極電連接到第四輸入端子，

其中，該第四電晶體的源極和汲極的其中一個電連接到該第五電晶體的源極和汲極的其中一個，

其中，該第四電晶體的閘極電連接到第二輸入端子，

其中，該第五電晶體的該源極和該汲極的另一個電連接到該第二電晶體的該閘極，以及

其中，該第五電晶體的閘極電連接到第三輸入端子。

18.如申請專利範圍第 16 或 17 項的半導體裝置，其中，各該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體包含矽。

19.如申請專利範圍第 16 或 17 項的半導體裝置，其中，各該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體包含非晶矽。

20.如申請專利範圍第 16 或 17 項的半導體裝置，其中，該第三電晶體的通道寬度大於該第四電晶體的通道寬度及該第五電晶體的通道寬度。

21.如申請專利範圍第 16 或 17 項的半導體裝置，其中，該第二電晶體的該閘極組態為經由該第四電晶體及該第五電晶體而被供給電位。

22.如申請專利範圍第 16 或 17 項的半導體裝置，其中，該第四電晶體的該源極和該汲極的另一個電連接到第三電源線。

23.一種顯示裝置，包含：

在基板上的像素部；以及

在該基板上的驅動電路，該驅動電路包含如申請專利範圍第 16 或 17 項的半導體裝置。

圖式

圖 1A

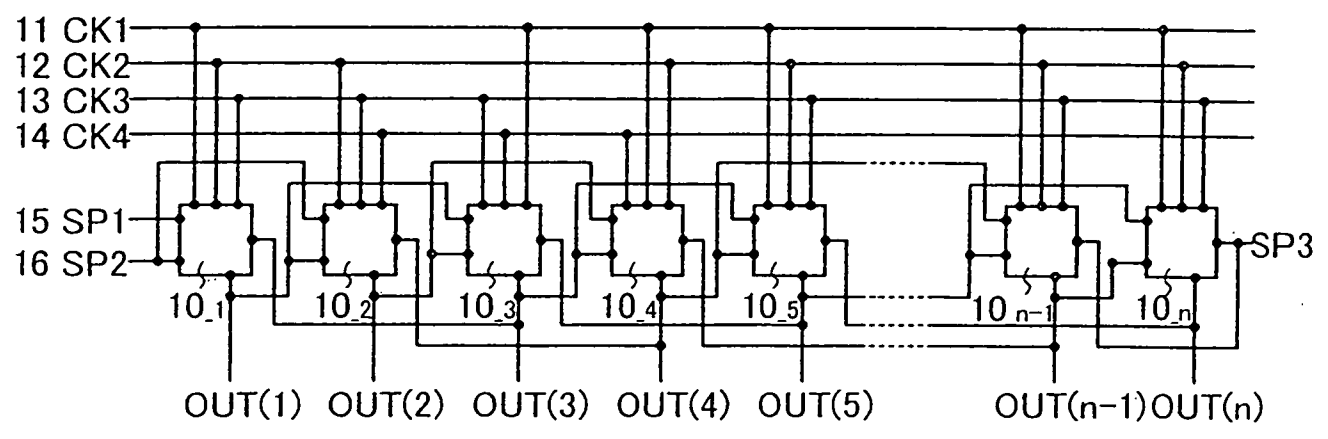


圖 1B

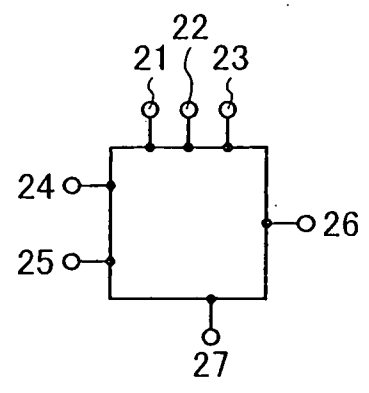


圖 1C

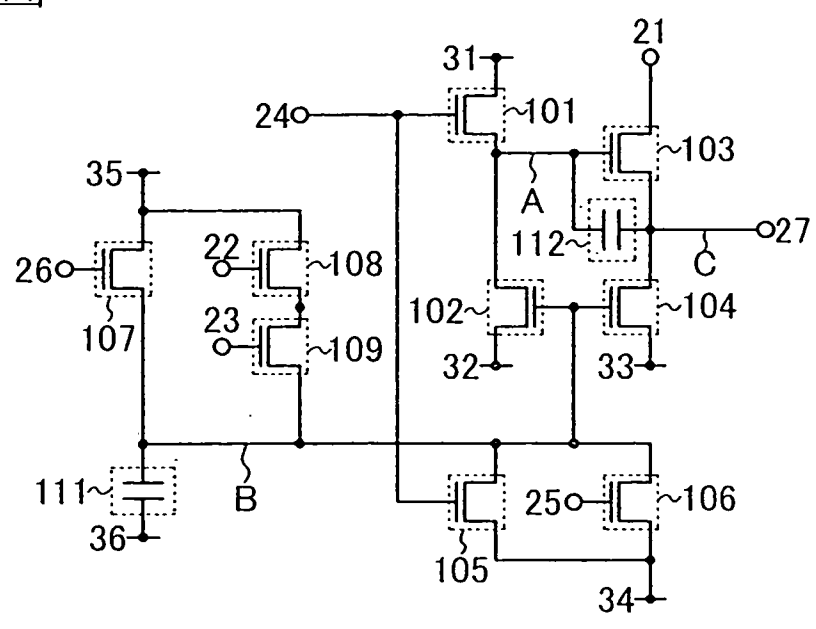


圖 2

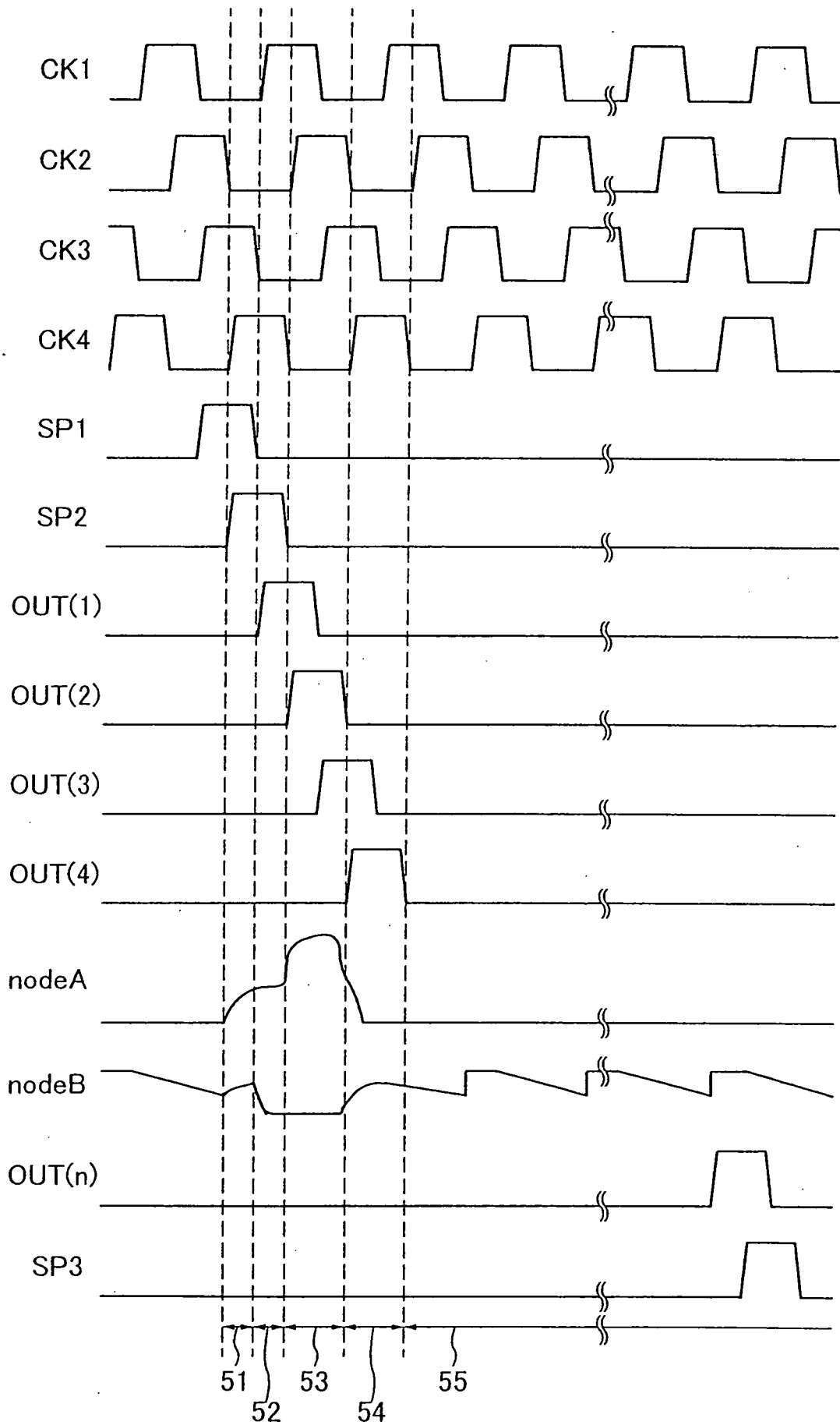
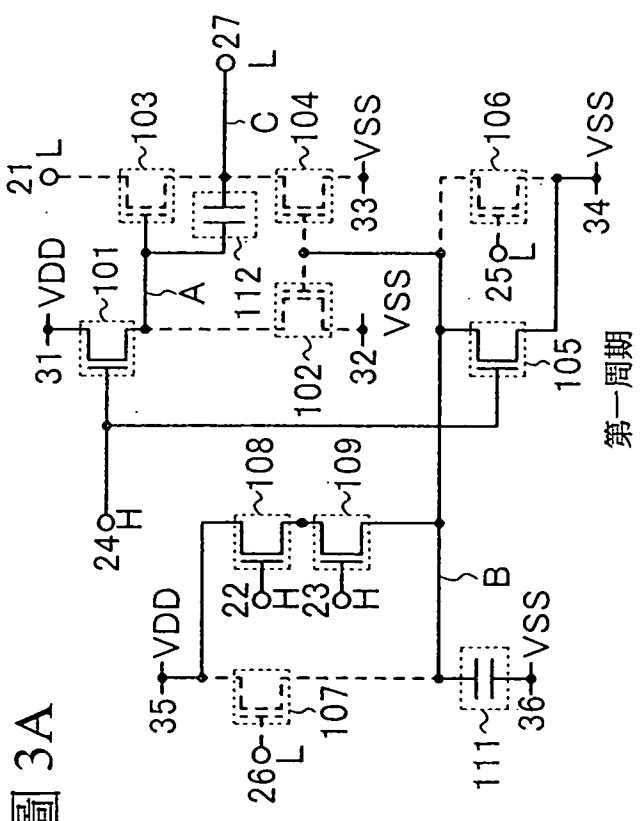
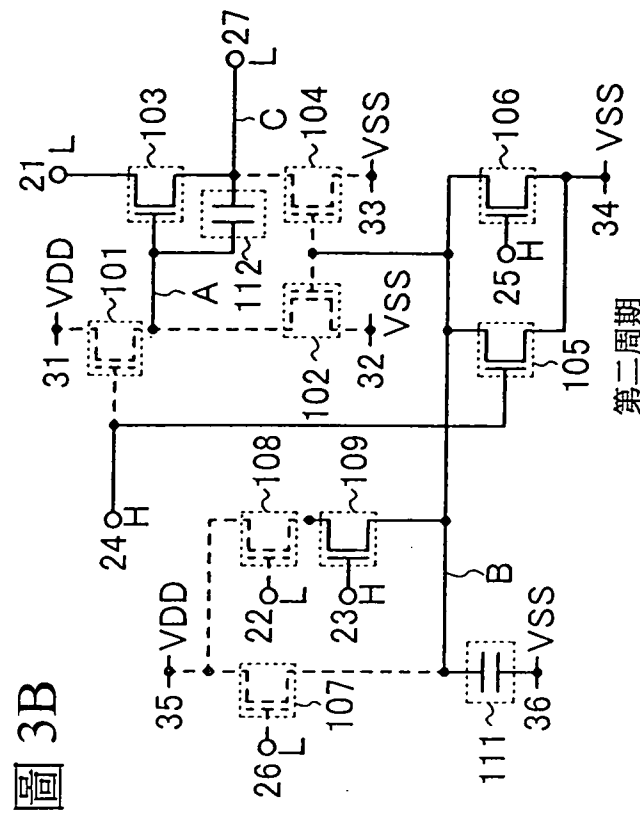


圖 3A



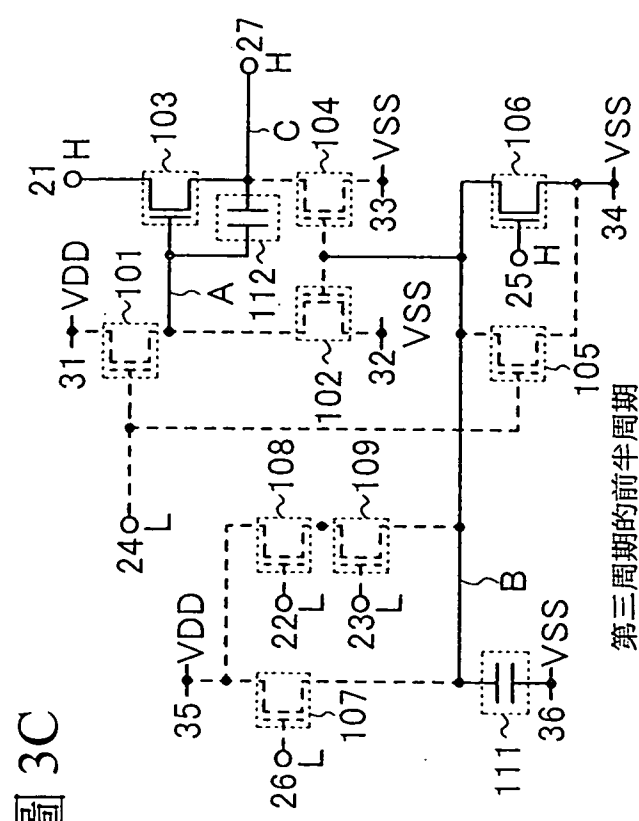
第一周期

圖 3B



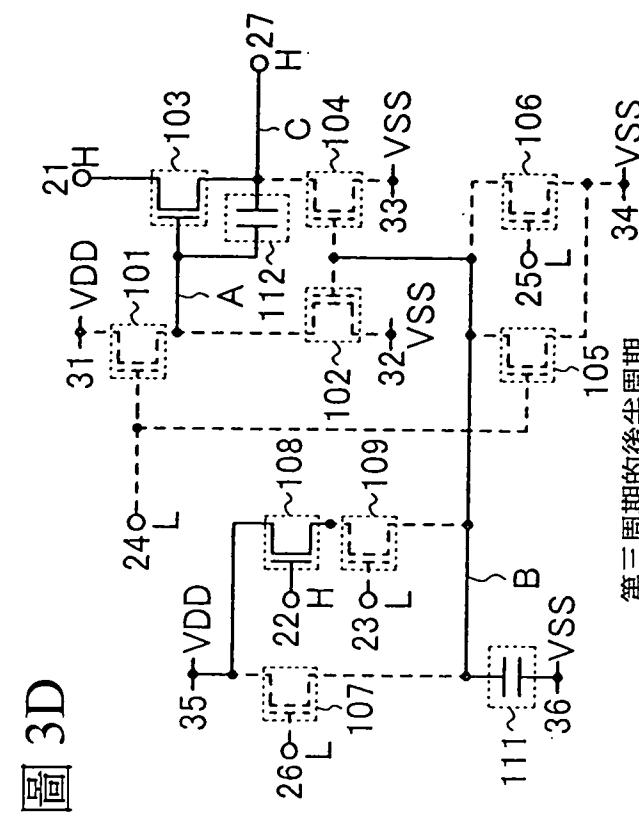
第二周期

圖 3C



第三周期的前半周期

圖 3D



第三周期的後半周期

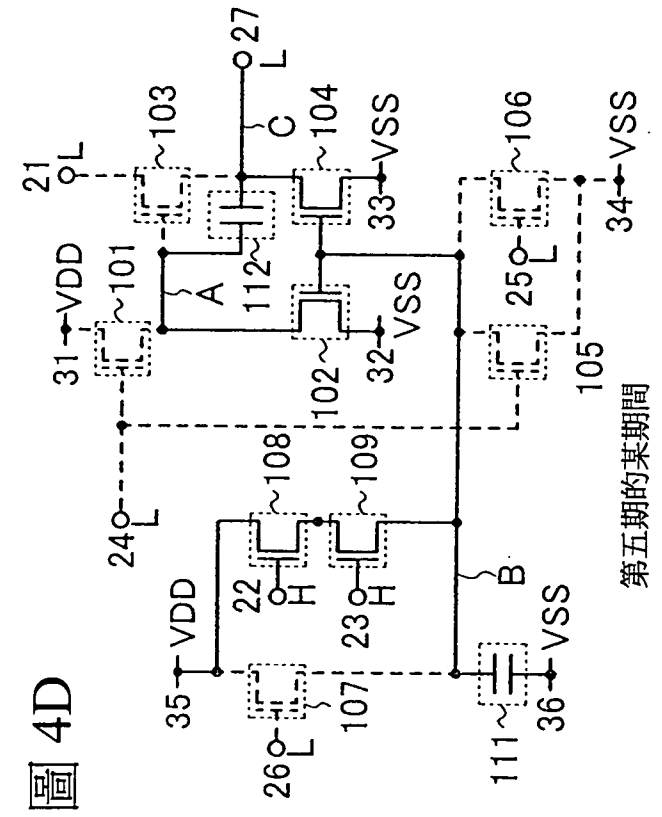
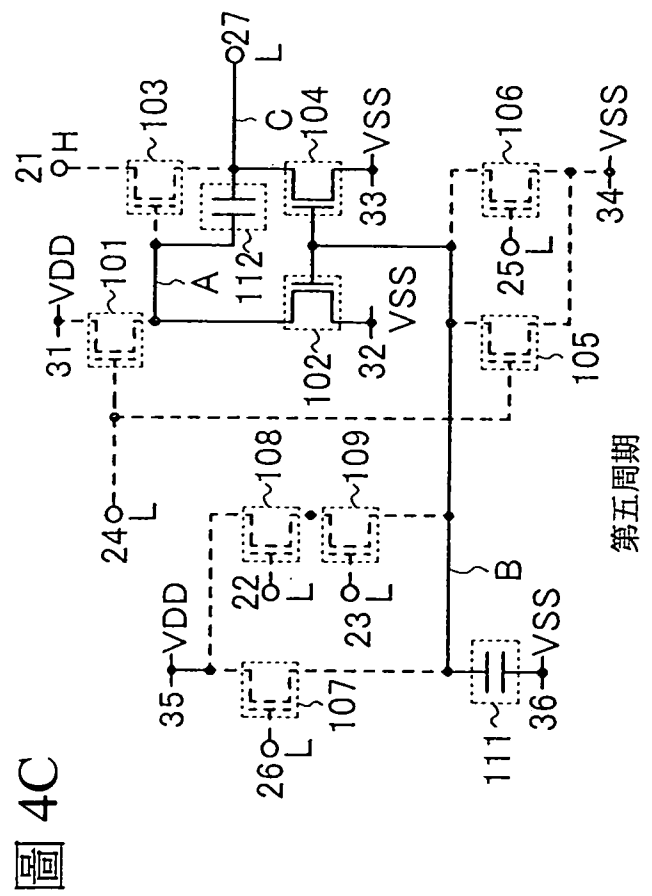
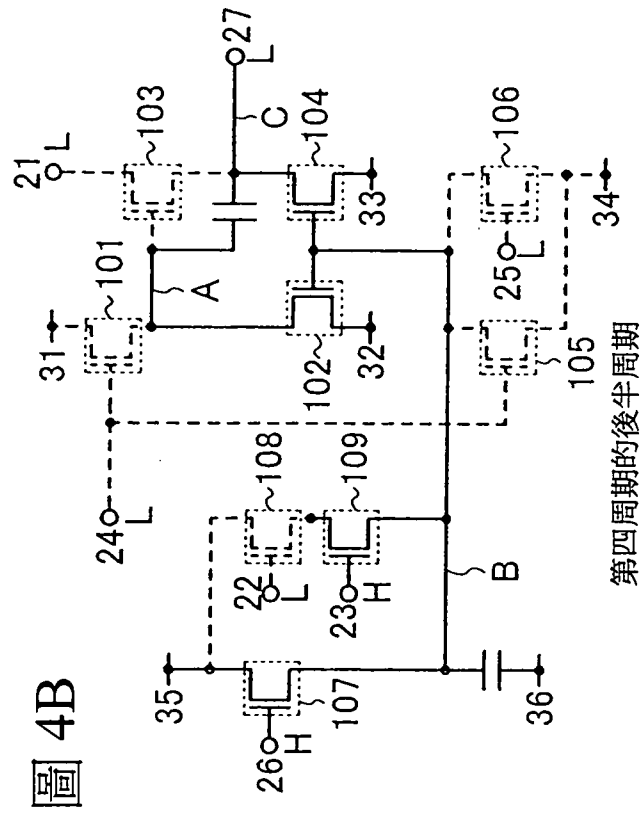
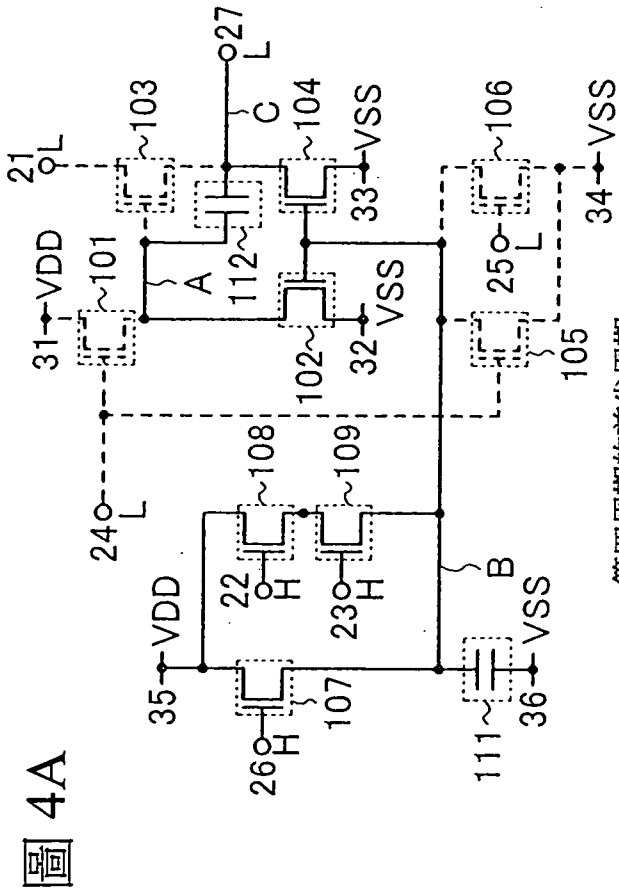


圖 5A

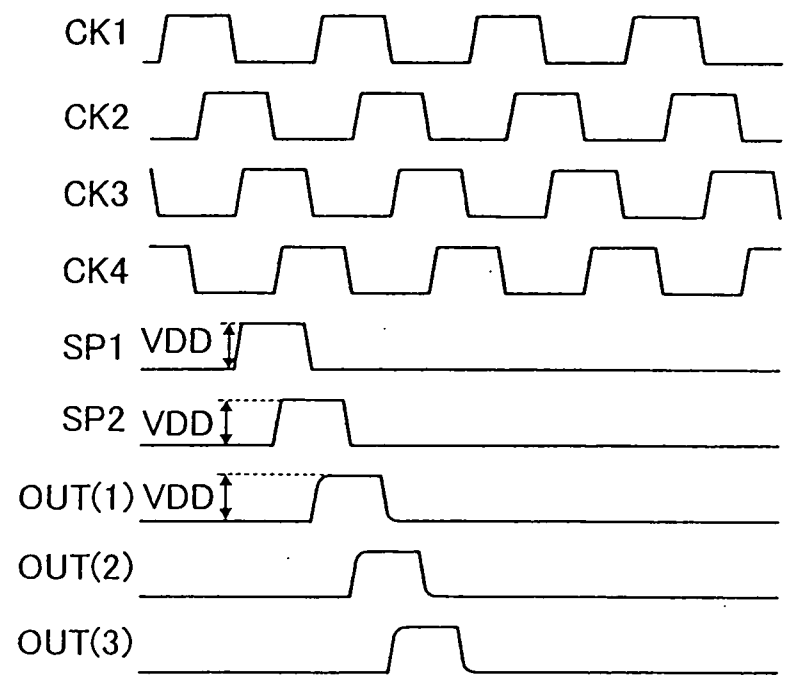


圖 5B

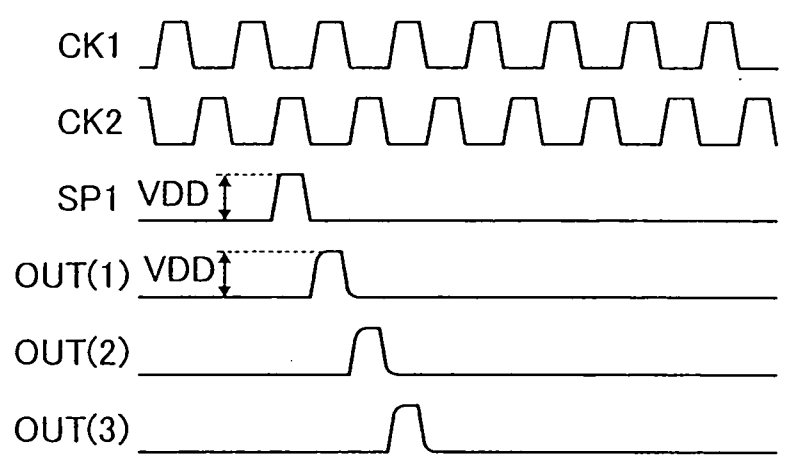


圖 6A

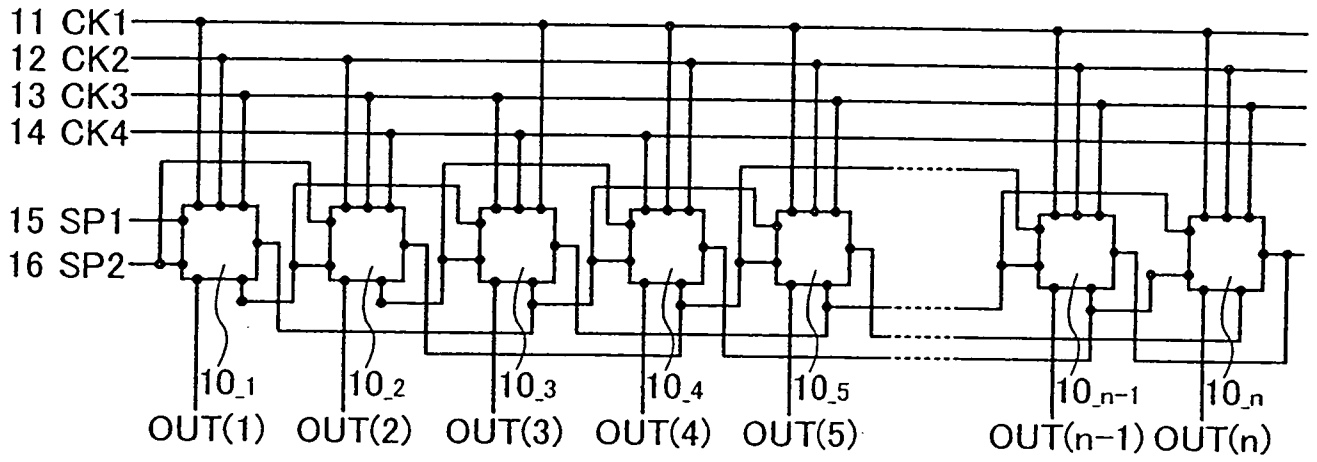


圖 6B

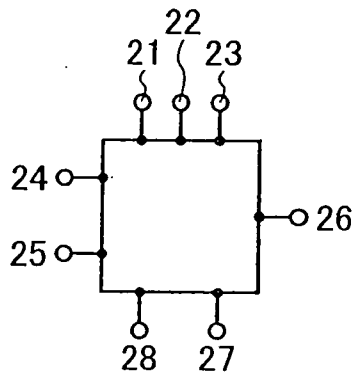


圖 6C

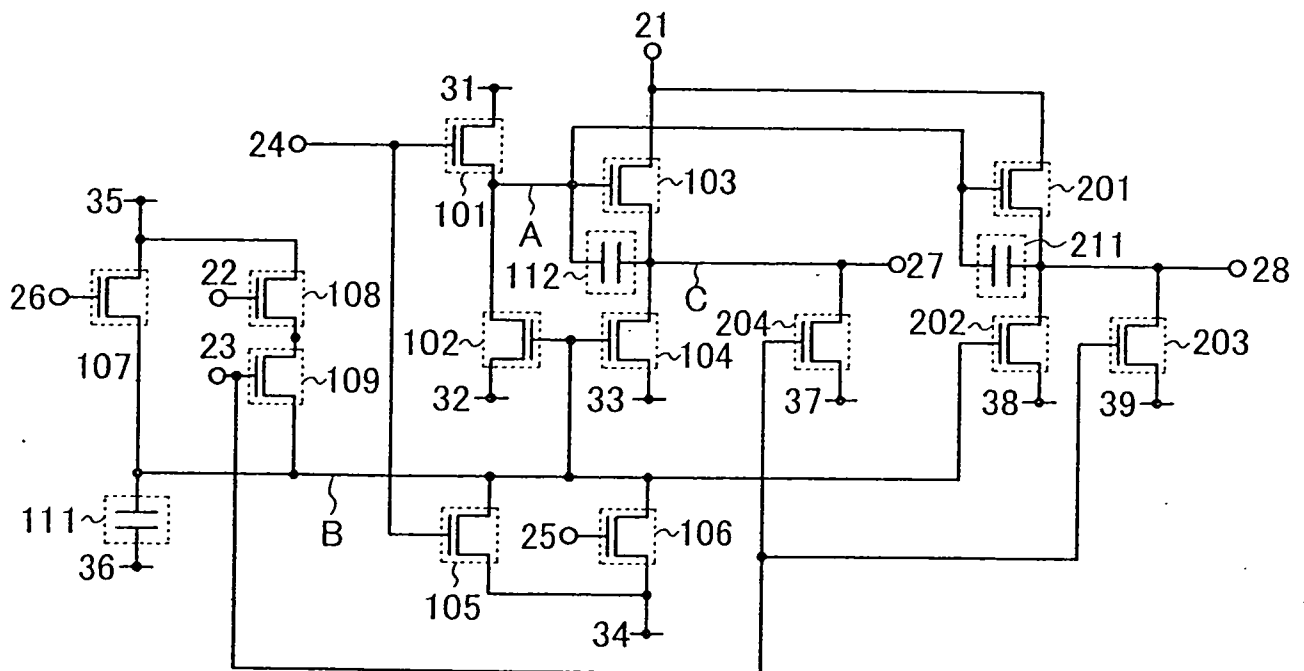


圖 7A

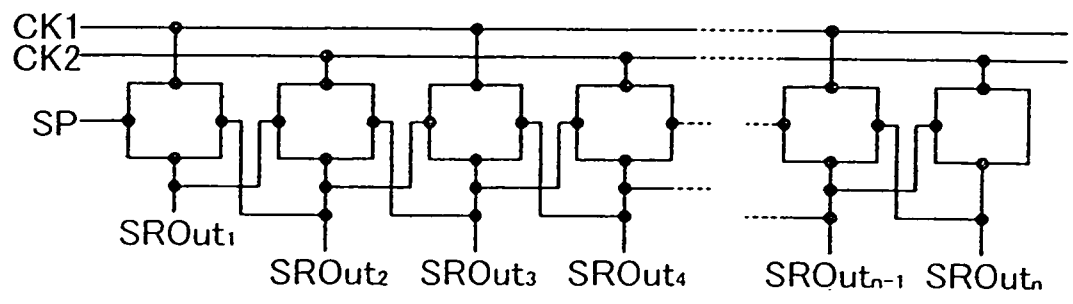


圖 7B

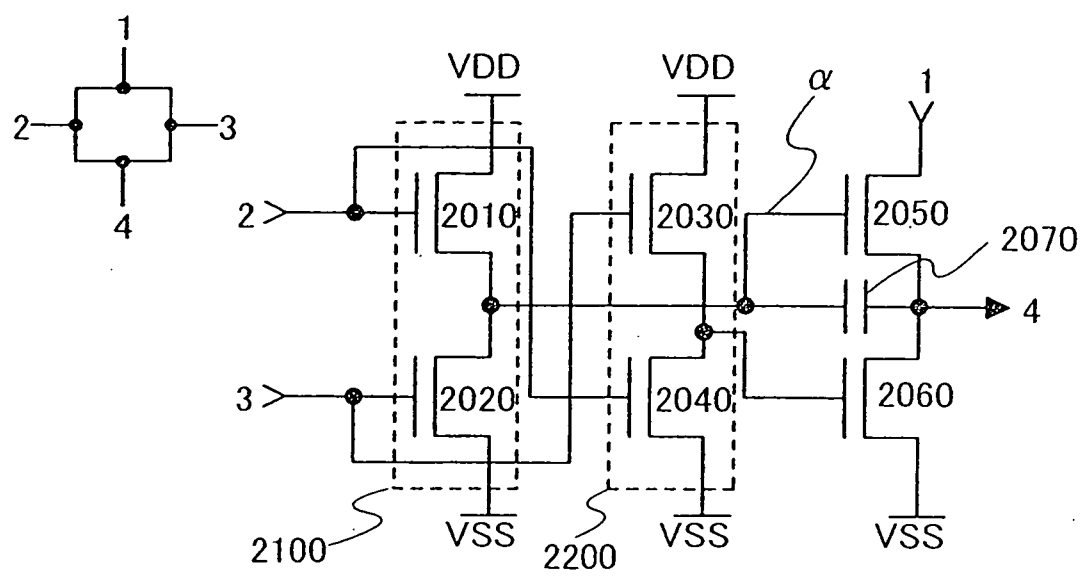


圖 7C

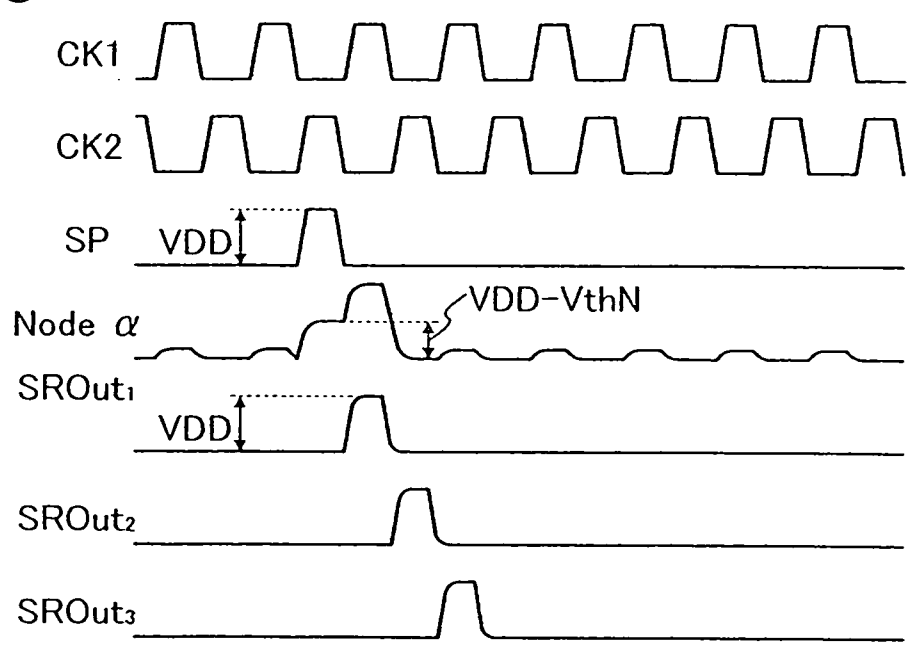


圖 8A

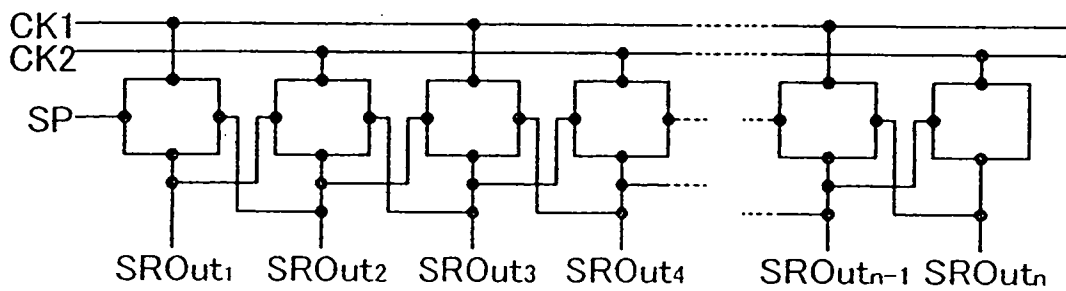


圖 8B

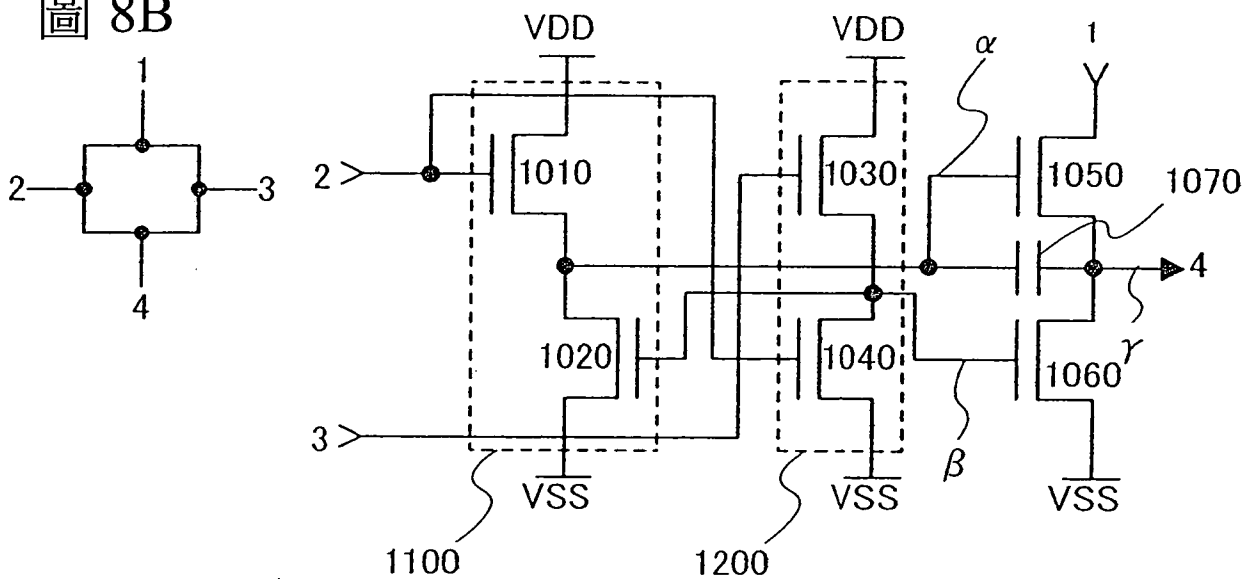


圖 8C

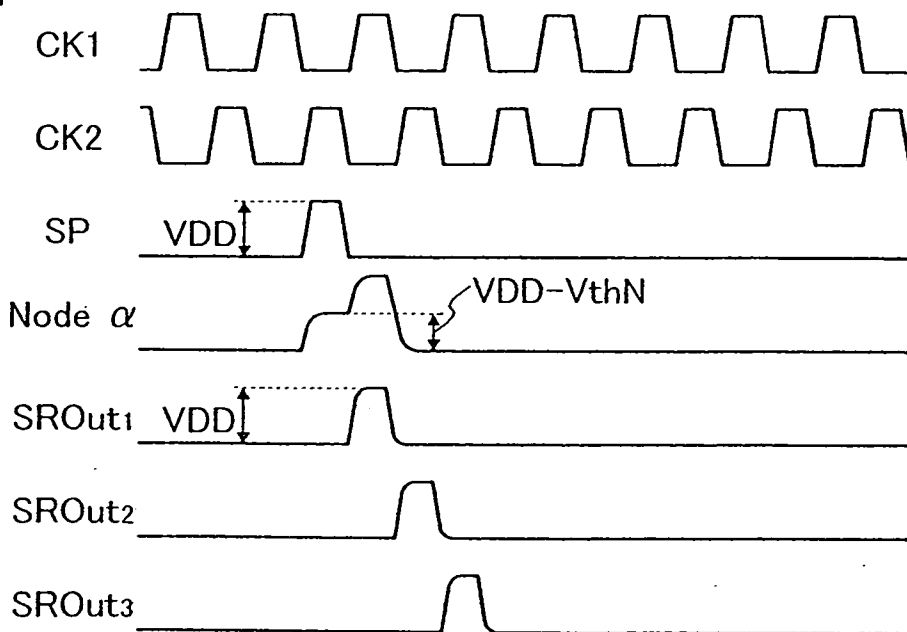


圖 9A

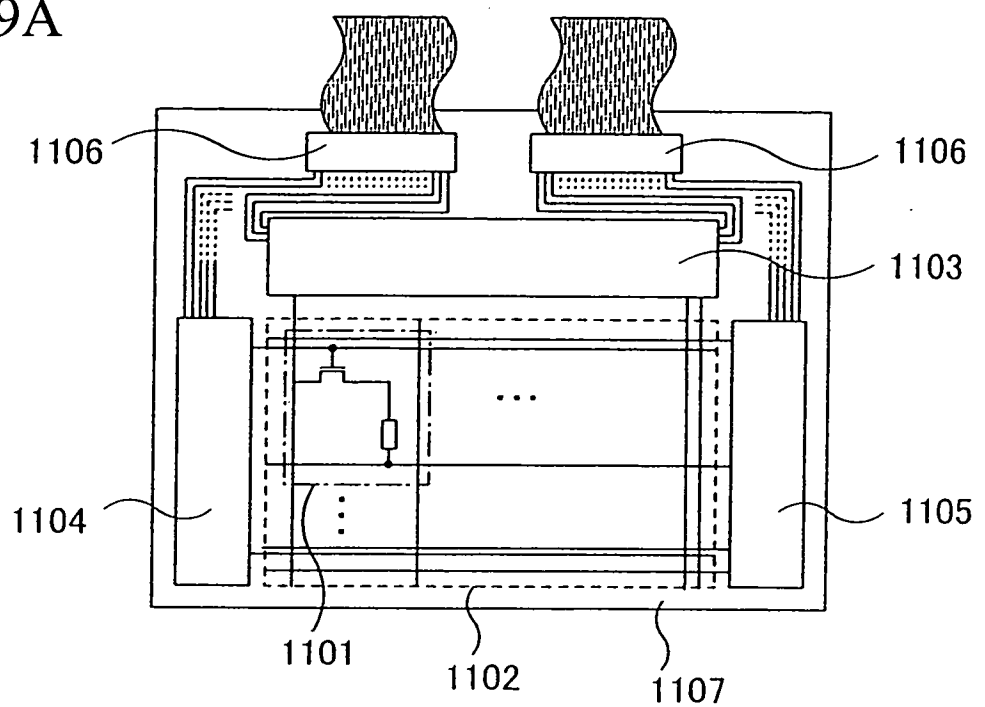


圖 9B

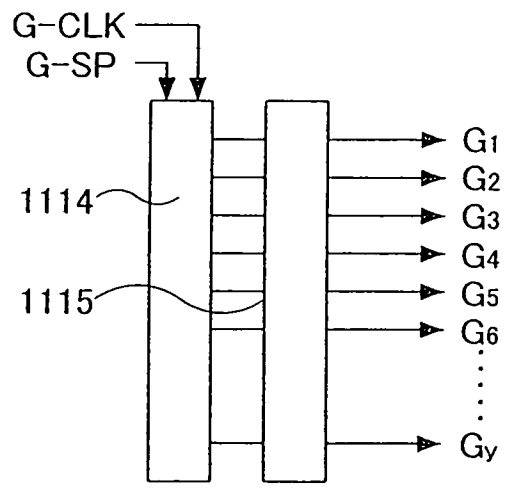


圖 9C

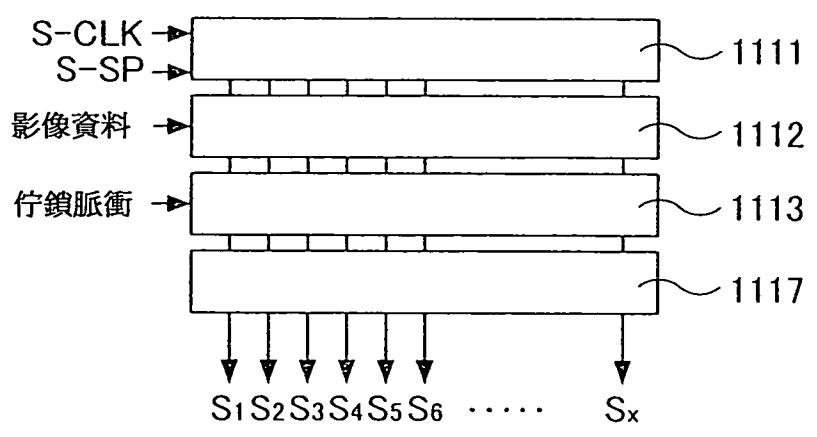


圖 10A

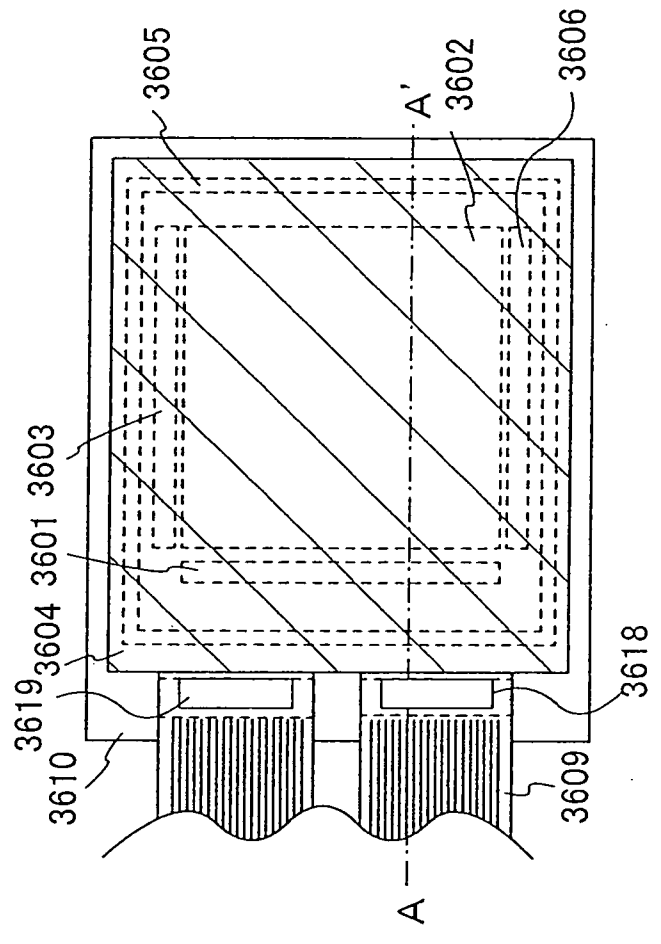


圖 10B

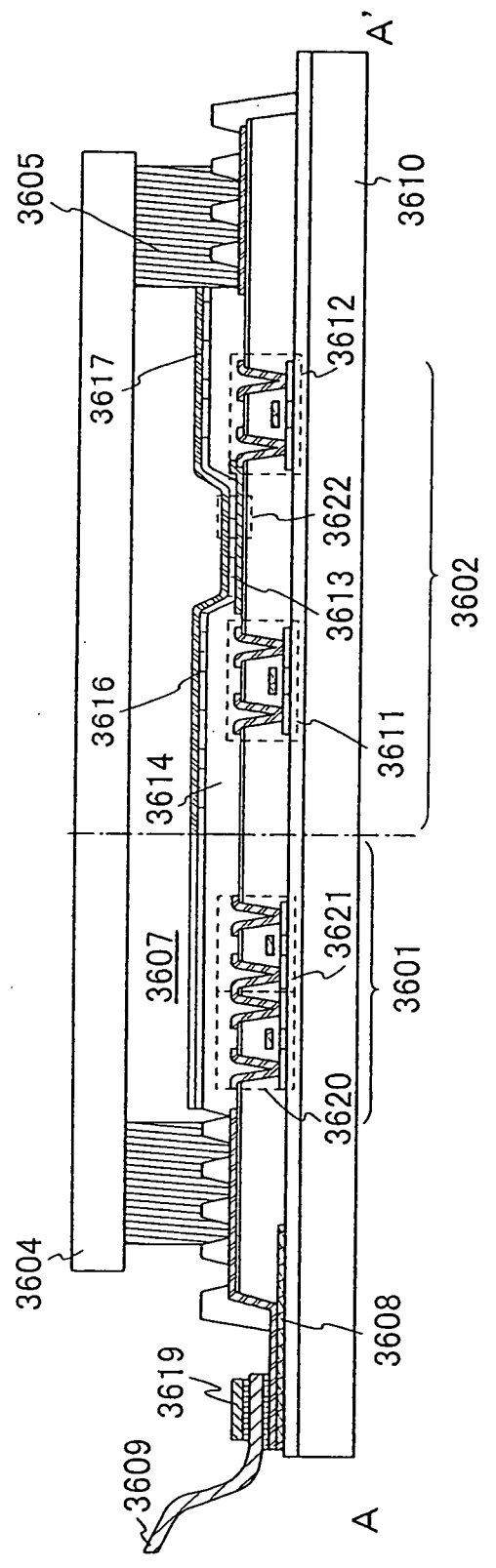


圖 11A

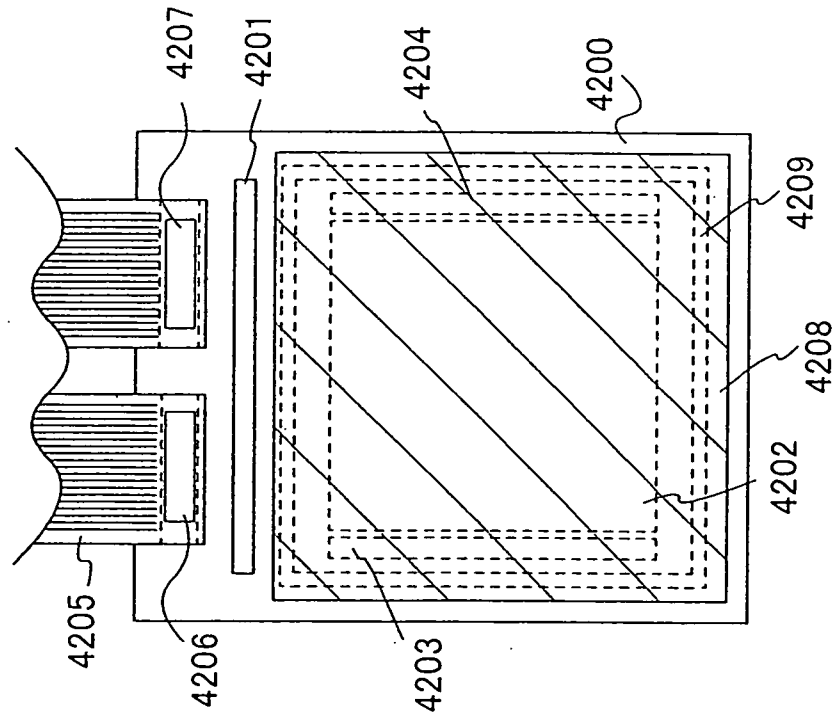


圖 11B

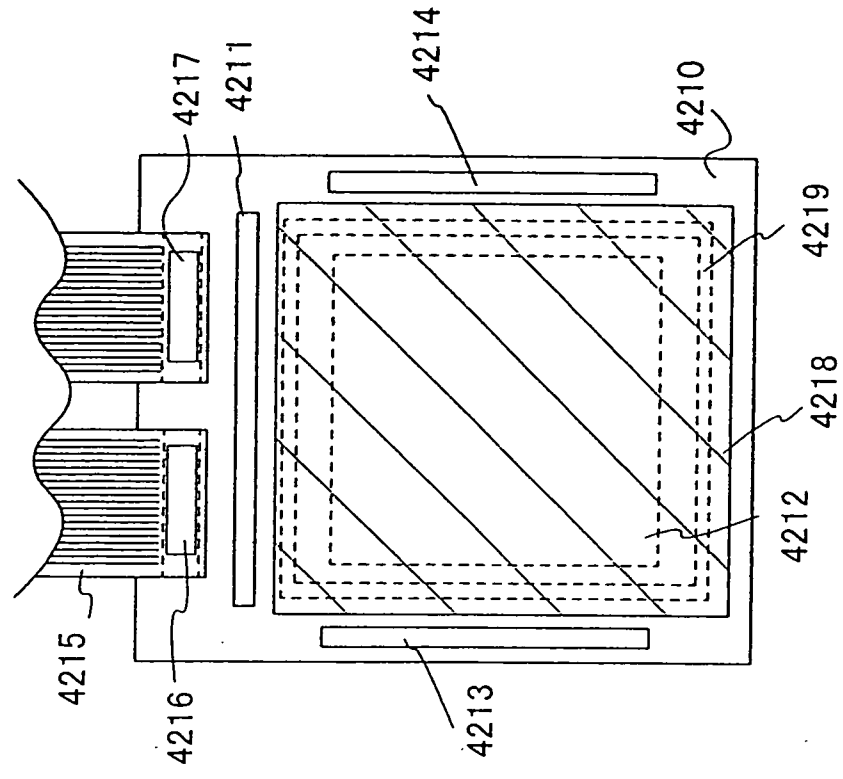


圖 12A

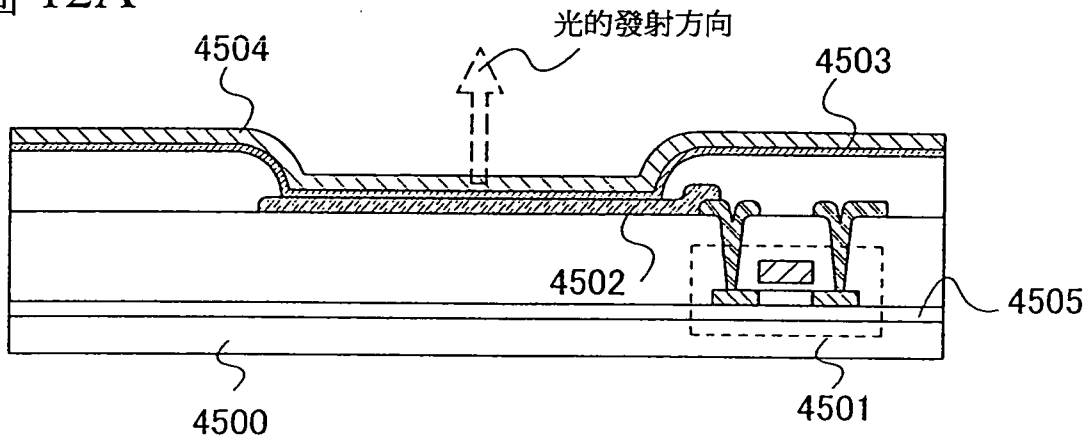


圖 12B

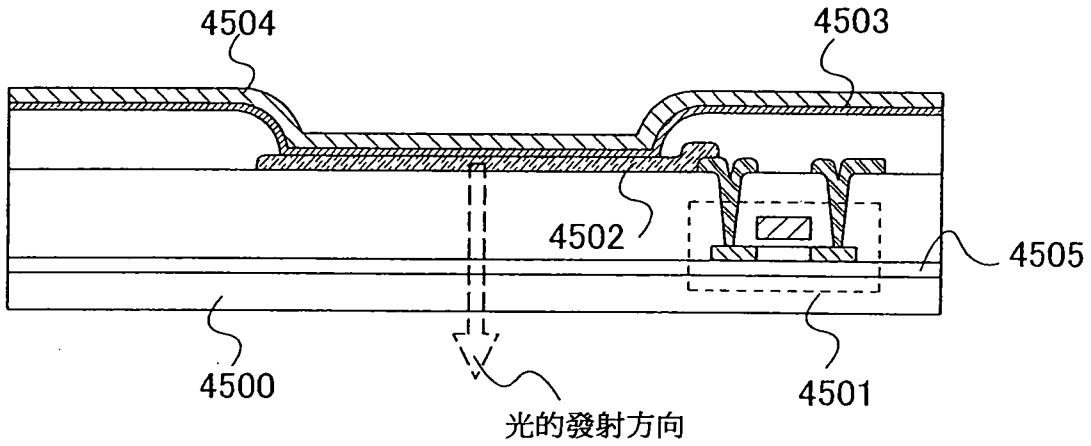


圖 12C

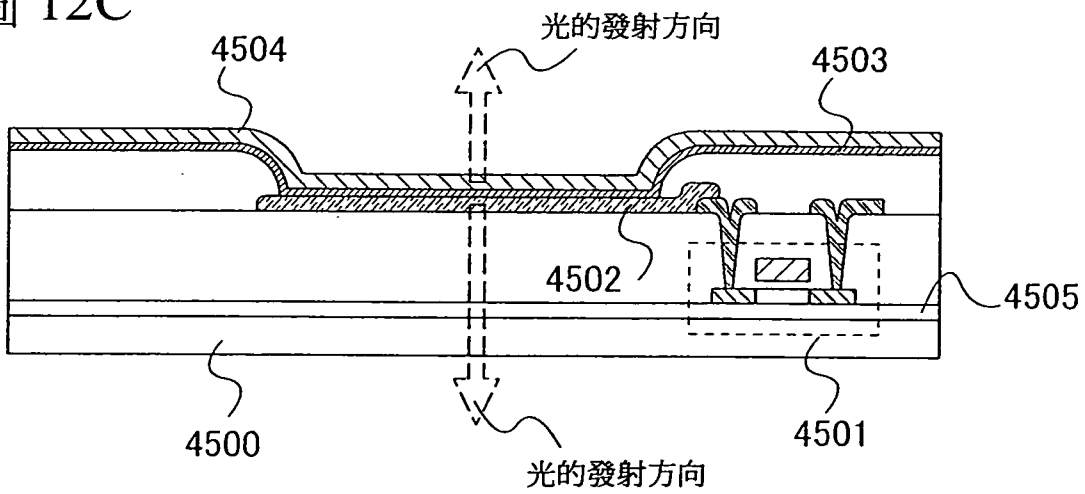


圖 13

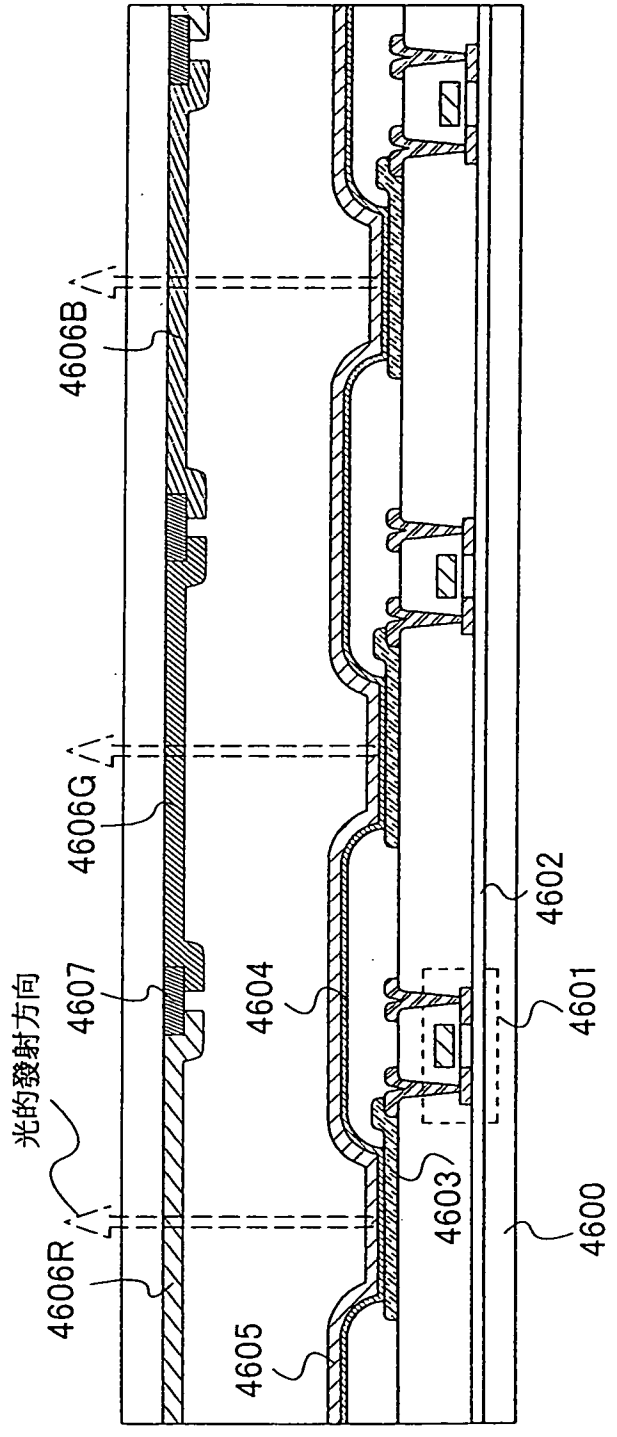


圖 14A

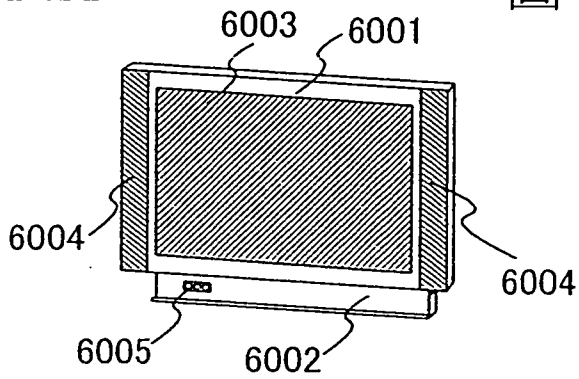


圖 14B

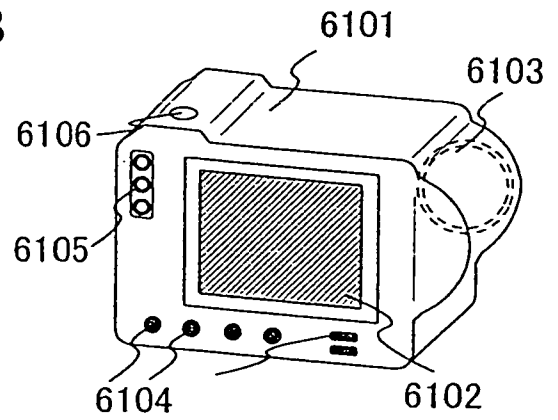


圖 14C

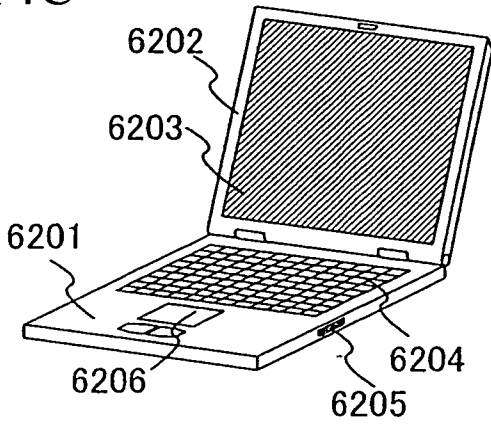


圖 14D

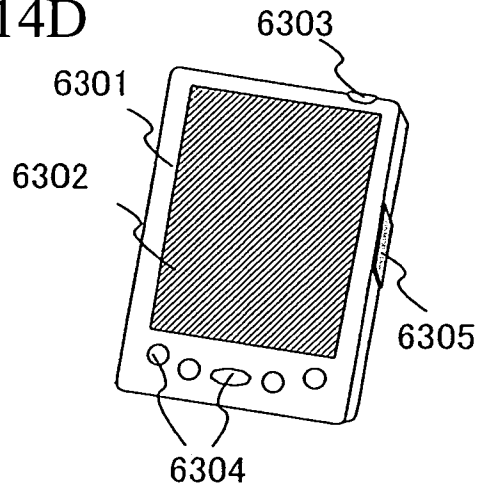


圖 14E

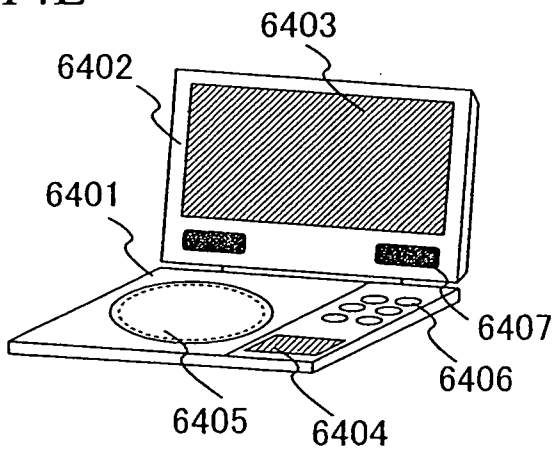


圖 14F

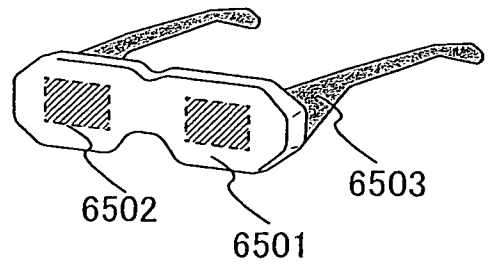


圖 14G

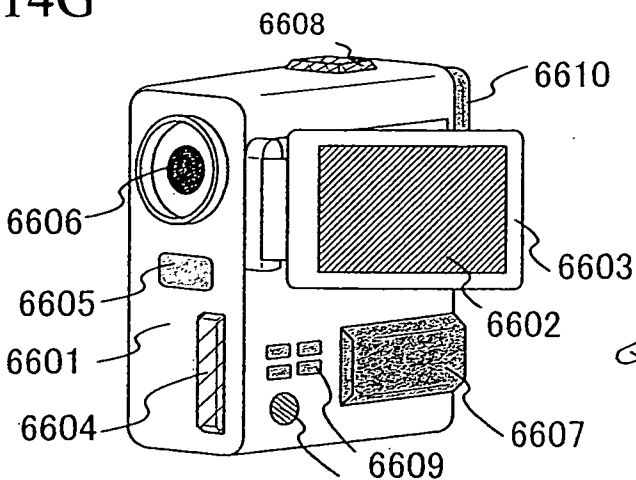


圖 14H

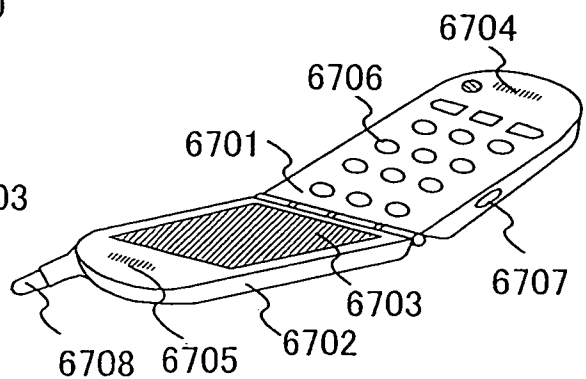


圖 15A

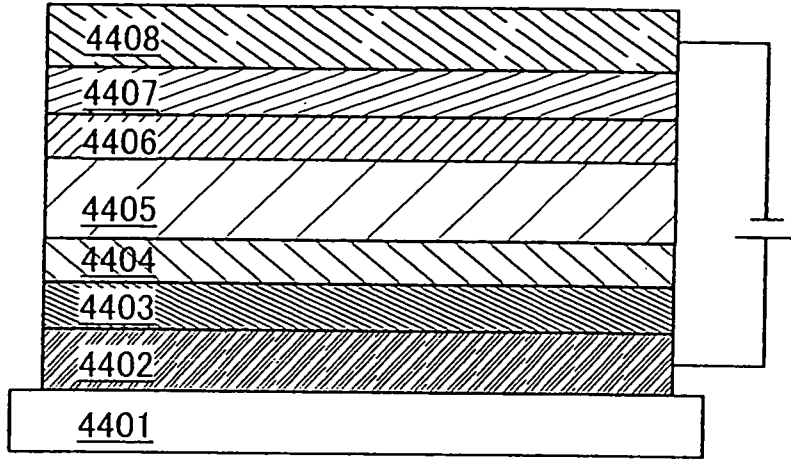


圖 15B

