

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4220351号
(P4220351)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl. F I
G 1 1 C 11/41 (2006.01) G 1 1 C 11/34 Z
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 K
 G 1 1 C 11/34 J

請求項の数 32 (全 23 頁)

(21) 出願番号	特願2003-366262 (P2003-366262)	(73) 特許権者	390019839
(22) 出願日	平成15年10月27日 (2003.10.27)		三星電子株式会社
(65) 公開番号	特開2004-146051 (P2004-146051A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成16年5月20日 (2004.5.20)		C O . , L T D .
審査請求日	平成17年4月27日 (2005.4.27)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-065682		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年10月26日 (2002.10.26)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 データ読み取り動作及び書き込み動作を同時に実行可能な集積回路及び方法

(57) 【特許請求の範囲】

【請求項1】

入出力ポートが分離されており、クロック信号の1周期の間に書き込みアドレスと読み取りアドレスとが入力される場合がある集積回路において、

複数のサブメモリブロックをそれぞれ具備するメモリブロックと、

前記メモリブロックに対応するキャッシュメモリブロックと、

前記書き込みアドレスまたは前記読み取りアドレスにตอบสนองして前記メモリブロック及び前記キャッシュメモリブロックに格納されたデータを読み取るか、または前記メモリブロック及び前記キャッシュメモリブロックに前記データを書き込むタグメモリ制御部と、を具備し、

前記タグメモリ制御部は、

前記クロック信号の1周期の間に入力される前記書き込みアドレス及び前記読み取りアドレスの上位アドレスが同じである場合に、前記データの読み取り動作と書き込み動作とが前記メモリブロックと前記キャッシュメモリブロックとにそれぞれ分けられて前記1周期の間に同時に実行されるように制御することを特徴とする集積回路。

【請求項2】

前記書き込みアドレス及び前記読み取りアドレスが相異なる場合、前記書き込みアドレス及び前記読み取りアドレスのそれぞれに対応する相異なる2個のサブメモリブロックがそれぞれデコーディングされることを特徴とする請求項1に記載の集積回路。

【請求項3】

前記集積回路は、
相互に分離されている書き込みアドレスデコーディングパスと読み取りアドレスデコーディングパスとを具備し、
前記サブメモリブロックは、
前記書き込みアドレスデコーディングパスと前記読み取りアドレスデコーディングパスとにそれぞれ連結されることを特徴とする請求項 1 に記載の集積回路。

【請求項 4】

メモリブロック内部の相異なるサブメモリブロックのうち同じ下位アドレスを有するメモリセルは、前記キャッシュメモリブロックの 1 つのメモリセルに対応することを特徴とする請求項 1 に記載の集積回路。

10

【請求項 5】

前記キャッシュメモリブロックのサイズは、前記 1 つのサブメモリブロックのサイズと同じであるか、それより大きいことを特徴とする請求項 1 に記載の集積回路。

【請求項 6】

前記タグメモリ制御部は、前記キャッシュメモリブロックに対応する前記サブメモリブロックのアドレスを表すキャッシュメモリアドレス及び前記キャッシュメモリブロックに格納されているデータが有効であるかどうかを判断する有効判断情報を格納することを特徴とする請求項 1 に記載の集積回路。

【請求項 7】

前記タグメモリ制御部は、
前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相等しい場合において、
前記書き込みアドレスと前記読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行して前記キャッシュメモリブロックで書き込み動作を実行し、
前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 6 に記載の集積回路。

20

【請求項 8】

前記タグメモリ制御部は、
前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相等しい場合において、
前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致すれば、
前記キャッシュメモリアドレスと一致したアドレスに対応する動作が前記キャッシュメモリブロックで実行され、一致しないアドレスに対応する動作が前記メモリブロックで実行され、
前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、
前記キャッシュメモリブロックで読み取り動作が実行されて前記メモリブロックで書き込み動作が実行され、
前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 6 に記載の集積回路。

30

40

【請求項 9】

前記タグメモリ制御部は、
前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相異なる場合において、
前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致すれば、
前記キャッシュメモリアドレスと一致したアドレスに対応する動作が前記キャッシュメモリブロックで実行され、一致しないアドレスに対応する動作が前記メモリブロックで実

50

行され、

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、

前記キャッシュメモリブロックで読み取り動作が実行されて前記メモリブロックで書き込み動作が実行され、

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致しなければ、

前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作が実行され、

前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 6 に記載の集積回路。

10

【請求項 10】

前記データは、SDRまたはDDRで入力または出力されることを特徴とする請求項 1 に記載の集積回路。

【請求項 11】

入出力ポートが分離されている集積回路において、

複数のサブメモリブロックをそれぞれ具備するメモリブロックと、

前記それぞれのメモリブロックに対応し、所定のキャッシュ制御信号にตอบสนองして格納されたデータが出力されるか、またはデータが書き込まれる複数のキャッシュメモリブロックと、

20

前記それぞれのメモリブロックに対応し、書き込みアドレスまたは読み取りアドレス、所定のデコーディング制御信号にตอบสนองして前記サブメモリブロックを制御するデコーディング信号を発生する複数のデコーディング部と、

書き込み選択信号または読み取り選択信号、前記書き込みアドレスまたは前記読み取りアドレスを受信し、クロック信号の1周期の間に入力される前記書き込みアドレスと前記読み取りアドレスとが同じである場合に、前記データの書き込み動作及び読み取り動作が前記1周期の間に同時に実行されるように前記キャッシュ制御信号または前記デコーディング制御信号を発生するタグメモリ制御部と、を具備することを特徴とする集積回路。

【請求項 12】

前記デコーディング部は、それぞれ、前記サブメモリブロックに対応する複数のデコーディング回路を具備することを特徴とする請求項 11 に記載の集積回路。

30

【請求項 13】

前記デコーディング回路は、相互に分離されている書き込みアドレスデコーディングパス及び読み取りアドレスデコーディングパスと連結され、

前記サブメモリブロックは、前記書き込みアドレスデコーディングパスと前記読み取りアドレスデコーディングパスとにそれぞれ連結されることを特徴とする請求項 12 に記載の集積回路。

【請求項 14】

前記書き込みアドレス及び前記読み取りアドレスが相異なる場合に、前記書き込みアドレス及び前記読み取りアドレスにそれぞれ対応する相異なる2個のサブメモリブロックがそれぞれデコーディングされることを特徴とする請求項 11 に記載の集積回路。

40

【請求項 15】

前記メモリブロック内部の相異なるサブメモリブロックのうち同じ下位アドレスを有するメモリセルは、前記キャッシュメモリブロックの1つのメモリセルに対応することを特徴とする請求項 11 に記載の集積回路。

【請求項 16】

前記キャッシュメモリブロックのサイズは、前記1つのサブメモリブロックのサイズと同じか、それより大きいことを特徴とする請求項 11 に記載の集積回路。

【請求項 17】

前記タグメモリ制御部は、前記キャッシュメモリブロックに対応する前記サブメモリブ

50

ロックのアドレスを表すキャッシュメモリアドレス及び前記キャッシュメモリブロックに格納されているデータが有効であることを判断する有効判断情報を格納することを特徴とする請求項 11 に記載の集積回路。

【請求項 18】

前記タグメモリ制御部は、

前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相等しい場合において、

前記書き込みアドレスと前記読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記デコーディング制御信号を発生して前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュ制御信号を発生して前記キャッシュメモリブロックで書き込み動作を実行し、

前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 17 に記載の集積回路。

【請求項 19】

前記タグメモリ制御部は、

前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相等しい場合において、

前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致すれば、

前記キャッシュ制御信号を発生して前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記デコーディング制御信号を発生して前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行し、

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、

前記キャッシュ制御信号を発生して前記キャッシュメモリブロックで読み取り動作を実行し、前記デコーディング制御信号を発生して前記メモリブロックで書き込み動作を実行し、

前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 17 に記載の集積回路。

【請求項 20】

前記タグメモリ制御部は、

前記サブメモリブロックのうち 1 つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相異なる場合において、

前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致すれば、

前記キャッシュ制御信号を発生して前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記デコーディング制御信号を発生して前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行し、

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、

前記キャッシュ制御信号を発生して前記キャッシュメモリブロックで読み取り動作を実行し、前記デコーディング制御信号を発生して前記メモリブロックで書き込み動作を実行し、

前記書き込みアドレス及び前記読み取りアドレスが全て前記キャッシュメモリアドレスと一致しなければ、

前記デコーディング制御信号を発生して前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作を実行し、

10

20

30

40

50

前記読み取り動作及び前記書き込み動作が同時に実行されることを特徴とする請求項 17 に記載の集積回路。

【請求項 2 1】

前記データは、SDR または DDR で入力または出力されることを特徴とする請求項 11 に記載の集積回路。

【請求項 2 2】

入出力ポートが分離されており、クロック信号の 1 周期の間に書き込みアドレスと読み取りアドレスとが入力される場合があり、複数のサブメモリブロックをそれぞれ具備する複数のメモリブロックと、前記メモリブロックに対応するキャッシュメモリブロックを具備する集積回路のデータの読み取り動作と書き込み動作とを同時に実行する方法において

10

(a) クロック信号の 1 周期の間に前記書き込みアドレスと前記読み取りアドレスとが共に入力されるか、前記書き込みアドレス及び前記読み取りアドレスのうち何れか 1 つだけ入力されるかを判断する段階と、

(b) 前記書き込みアドレスと前記読み取りアドレスとが共に入力されれば、前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一であるかどうかを判断する段階と、

(c) 前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一であれば、前記書き込みアドレスと前記読み取りアドレスとが所定のキャッシュメモリアドレスと同一であるかどうかを判断する段階と、

20

(d) 前記書き込みアドレスと前記読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する段階と、を具備し、

前記 (d) 段階は、前記読み取り動作と前記書き込み動作とを前記クロック信号の 1 周期の間に同時に実行することを特徴とするデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項 2 3】

前記 (d) 段階は、

(d1) 前記キャッシュメモリブロックに格納されているデータが有効であるかどうかを判断する段階と、

30

(d2) 前記キャッシュメモリブロックに格納されているデータが有効でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する段階と、

(d3) 前記キャッシュメモリブロックに書き込まれたデータに関する情報をアップデートさせる段階と、

(d4) 前記キャッシュメモリブロックに格納されているデータが有効であれば、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックに格納されている有効なデータを読み取って対応するメモリブロックに書き込む段階と、

40

(d5) 前記キャッシュメモリブロックに書き込み動作を実行し、前記キャッシュメモリブロックに書き込まれたデータに関する情報をアップデートさせる段階と、を具備することを特徴とする請求項 2 2 に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項 2 4】

前記キャッシュメモリアドレスは、前記キャッシュメモリブロックに対応する前記サブメモリブロックのアドレスを表すことを特徴とする請求項 2 2 に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項 2 5】

前記 (c) 段階は、

50

(c1) 前記書き込みアドレス及び前記読み取りアドレスのうち1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行する段階と、

(c2) 前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行し、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる段階と、を具備することを特徴とする請求項22に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項26】

前記(b)段階は、

(b1) 前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一でなければ、前記書き込みアドレスと前記読み取りアドレスとが前記キャッシュメモリアドレスと一致しているかを判断する段階と、

(b2) 前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行する段階と、

(b3) 前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行した後、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる段階と、

(b4) 前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致しなければ、前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作を実行する段階と、を具備することを特徴とする請求項22に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項27】

前記(a)段階は、

(a1) 前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つだけ入力されれば、入力された前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致するかを判断する段階と、

(a2) 入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致した書き込みアドレスまたは読み取りアドレスに対応する動作を前記キャッシュメモリブロックで実行する段階と、

(a3) 入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッシュメモリアドレスと一致しなければ、前記キャッシュメモリアドレスと一致しない書き込みアドレスまたは読み取りアドレスに対応する動作を前記メモリブロックで実行する段階と、を具備することを特徴とする請求項22に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項28】

前記メモリブロック内部の相異なるサブメモリブロックのうち同じ下位アドレスを有するメモリセルは、前記キャッシュメモリブロックの1つのメモリセルに対応することを特徴とする請求項22に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項29】

前記キャッシュメモリブロックのサイズは、前記1つのサブメモリブロックのサイズと同じか、それより大きいことを特徴とする請求項22に記載のデータの読み取り動作と書き込み動作を同時に実行する方法。

10

20

30

40

50

【請求項 30】

前記データは、SDRまたはDDRで入力または出力されることを特徴とする請求項 2 に記載のデータの読み取り動作と書き込み動作とを同時に実行する方法。

【請求項 31】

分離された入力データポート及び出力データポートと、
 複数のサブメモリブロックを具備するメモリブロックと、
 1つのサブメモリブロックに格納されるデータと少なくとも同じ量のデータを格納できるキャッシュメモリブロックと、
 対応するサブメモリブロックアドレスを有するキャッシュメモリブロックに有効なエントリーをはり、読み取り動作と書き込み動作とが実行されるアドレスが同じサブメモリブロックを指示する時、2つの動作のうち1つの動作を前記キャッシュメモリブロックを利用して実行することによって読み取り動作と書き込み動作とをクロック信号の1周期の間に同時に実行するように制御するタグメモリ制御部と、を具備することを特徴とする集積回路。

10

【請求項 32】

メモリブロックを複数のサブメモリブロックに区分する段階と、
 1つのサブメモリブロックに格納されるデータと少なくとも同じ量のデータを格納できるキャッシュメモリブロックを維持する段階と、
 対応するサブメモリブロックアドレスを有するキャッシュメモリブロックに有効なエントリーをはる段階と、
 読み取り動作と書き込み動作とが実行されるアドレスが同じメモリブロックを指示する時、2つの動作のうち1つの動作を前記キャッシュメモリブロックを利用して実行することによって読み取り動作と書き込み動作とをクロック信号の1周期の間に同時に実行し、
 可能な場合に、相異なるサブメモリブロックでクロック信号の1周期の間に同時に読み取り動作と書き込み動作とを実行する段階と、を具備することを特徴とする、集積回路で同時に読み取り動作及び書き込み動作を実行する方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に係り、特に入出力ポートが分離された集積回路においてデータ読み取り動作と書き込み動作とを同時に実行可能な集積回路及び方法に関する。

30

【背景技術】

【0002】

一般的な同期式RAM (Synchronous RAM: SRAM) は、1つのクロック周期毎に読み取りデータまたは書き込みデータのうち何れか1つだけを伝送できる。

【0003】

二重データ率RAM (Double Data Rate RAM: DRAM) は、クロックの立上がりエッジと立下りエッジ毎にデータを伝送することによってデータ伝送率を倍増させた。しかし、一般的なメモリ装置はデータの入力とデータの出力とが1つのピンを通じて行われる。共通入出力ポートを利用する方法は、データの入力と出力とが独立して制御されないため、データの入力周波数と出力周波数とが制限される。

40

【0004】

メモリ装置の帯域幅が重要になったことに対応して、分離された入出力ポートを使用する製品が登場した。すなわち、データの入力と出力とが独立して制御できるように入力ピンと出力ピンとが分離された製品である。分離された入力ピンと出力ピンとを有するメモリ装置は、クロックの1周期内に読み取り命令及び読み取りアドレス、又は、書き込み命令及び書き込みアドレス及び書き込みデータを共に受信できるので、動作周波数を増加せうる。

【0005】

しかし、分離された入出力ポートを有するメモリ装置でも1つのクロック周期内で読み

50

取り命令及び読み取りアドレス、又は、書き込み命令及び書き込みアドレス及び書き込みデータを受信する場合、読み取り動作と書き込み動作とが1つのクロック周期内に実行されるためには、2回のメモリセルアクセスが実行されなければならない。

【0006】

すなわち、データの読み取りと書き込みとのためのワードラインの活性化がクロックの1周期内において2回実行されなければならないので、クロック周波数がワードラインの活性化時間によって制限される問題がある。

【0007】

図1は、分離された入出力ポートを有するメモリ装置の動作を説明するタイミング図である。

10

【0008】

アドレスとワードラインとの間の関係や入力データ及び出力データのレイテンシ (latency) はメモリ装置の回路構成によって変わるので、図1では考慮されない。

【0009】

図1を参照すれば、クロック信号CLKの1周期内で書き込みアドレスWADDと読み取りアドレスRADDとが共に入力されている。クロック信号CLKの立上がりエッジで入力されるアドレスA0、A2、A4、A6が読み取りアドレスRADDであり、クロック信号CLKの立下りエッジで入力されるアドレスA1、A3、A5、A7が書き込みアドレスWADDである。

【0010】

20

RESとWESは、それぞれ読み取りアドレスRADDと書き込みアドレスWADDとを選択する読み取り選択信号及び書き込み選択信号である。

【0011】

読み取りアドレスRADD = A0によってワードラインAWL0が活性化され、ワードラインAWL0に回答してデータQ0が出力される。また、書き込みアドレスWADD = A1に回答してワードラインAWL1が活性化されれば、入力データD1が入力される。

【0012】

したがって、読み取り動作のためのワードラインAWL0と書き込み動作のためのワードラインAWL1との活性化のためにクロック信号CLKの1周期の長さが制限される。すなわち、クロック信号の1周期の間にそれぞれ異なるアドレスを有するメモリセルに順次にアクセスしなければならないので、クロック信号CLKの周期を縮め難い問題がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明が解決しようとする技術的課題は、クロック信号の1周期内でメモリセルについての読み取り動作及び書き込み動作を同時に実行させることによってクロック信号の動作周波数を増加させる集積回路を提供するところにある。

【0014】

本発明が解決しようとする他の技術的課題は、クロック信号の1周期内でメモリセルについての読み取り動作及び書き込み動作を同時に実行させることによってクロック信号の動作周波数を増加させる方法を提供するところにある。

40

【課題を解決するための手段】

【0015】

前記技術的課題を達成するための本発明の第1実施例による集積回路は、入出力ポートが分離されており、クロック信号の1周期の間に書き込みアドレスと読み取りアドレスとが入力される集積回路において、複数のサブメモリブロックをそれぞれ具備するメモリブロック、前記メモリブロックに対応するキャッシュメモリブロック及びタグメモリ制御部を具備する。

【0016】

50

タグメモリ制御部は、前記書き込みアドレスまたは前記読み取りアドレスに応答して前記メモリブロック及び前記キャッシュメモリブロックに格納されたデータを読み取るか前記メモリブロック及び前記キャッシュメモリブロックに前記データを書き込む。

【0017】

特に、タグメモリ制御部は、前記書き込みアドレス及び前記読み取りアドレスが同じである場合に、前記データの読み取り動作と書き込み動作とが前記メモリブロックと前記キャッシュメモリブロックにそれぞれ分けられて同時に実行されるように制御することを特徴とする。

【0018】

前記書き込みアドレス及び前記読み取りアドレスが異なる場合、前記それぞれの書き込み及び読み取りアドレスに対応する相異なる2個のサブメモリブロックがそれぞれデコーディングされる。

10

【0019】

前記集積回路は、相互分離されている書き込みアドレスデコーディングパスと読み取りアドレスデコーディングパスとを具備し、前記サブメモリブロックは、前記書き込みアドレスデコーディングパスと前記読み取りアドレスデコーディングパスとにそれぞれ連結される。

【0020】

メモリブロック内部の相異なるサブメモリブロックのうち同じ下位アドレスを有するメモリセルは、前記キャッシュメモリブロックの1つのメモリセルに対応する。前記キャッシュメモリブロックのサイズは、前記1つのサブメモリブロックのサイズと同じか、それより大きい。

20

【0021】

前記タグメモリ制御部は、前記キャッシュメモリブロックに対応する前記サブメモリブロックのアドレスを表すキャッシュメモリアドレス及び前記キャッシュメモリブロックに格納されているデータが有効であるかどうかを判断する有効判断情報を格納する。

【0022】

前記タグメモリ制御部は、前記サブメモリブロックのうち1つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相等しい場合、前記書き込みアドレス及び前記読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行し、前記読み取り動作及び前記書き込み動作が同時に実行される。

30

【0023】

前記タグメモリ制御部は、前記サブメモリブロックのうち1つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスが相等しい場合、前記書き込みアドレス及び前記読み取りアドレスのうち1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作が前記キャッシュメモリブロックで実行されて、一致しないアドレスに対応する動作が前記メモリブロックで実行される。

40

【0024】

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作が実行され、前記メモリブロックで書き込み動作が実行されて前記読み取り動作及び前記書き込み動作が同時に実行される。

【0025】

前記タグメモリ制御部は、前記サブメモリブロックのうち1つを選択する前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが相異なる場合、前記書き込みアドレス及び前記読み取りアドレスのうち1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作が前記

50

キャッシュメモリブロックで実行され、一致しないアドレスに対応する動作が前記メモリブロックで実行される。

【0026】

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作が実行され、前記メモリブロックで書き込み動作が実行される。

【0027】

前記書き込みアドレス及び前記読み取りアドレスが全て前記キャッシュメモリアドレスと一致しないと、前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作が実行され、前記読み取り動作及び前記書き込み動作が同時に実行される。

10

【0028】

前記データは、単一データ率 (Single Data Rate : SDR) または二重データ率 (Double Data Rate : DDR) で入力または出力される。

【0029】

前記技術的課題を達成するための本発明の第2実施例に集積回路は、入出力ポートが分離されている集積回路において複数のサブメモリブロックをそれぞれ具備するメモリブロック、キャッシュメモリブロック、デコーディング部及びタグメモリ制御部を具備する。

【0030】

キャッシュメモリブロックは、前記それぞれのメモリブロックに対応し、所定のキャッシュ制御信号に応答して格納されたデータが出力されるか、またはデータが書き込まれる。デコーディング部は、前記それぞれのメモリブロックに対応し、書き込みアドレスまたは読み取りアドレス、所定のデコーディング制御信号に応答して前記サブメモリブロックを制御するデコーディング信号を発生する。

20

【0031】

タグメモリ制御部は、書き込み選択信号または読み取り選択信号、前記書き込みアドレスまたは前記読み取りアドレスを受信し、クロック信号の1周期の間に入力される前記書き込みアドレスと前記読み取りアドレスとが同一であるかによって前記データの書き込み動作及び読み取り動作が同時に実行されるように前記キャッシュ制御信号または前記デコーディング制御信号を発生する。

30

【0032】

前記デコーディング部は、それぞれ前記サブメモリブロックに対応する複数のデコーディング回路を具備する。前記デコーディング回路は相互分離されている書き込みアドレスデコーディングパス及び読み取りアドレスデコーディングパスと連結し、前記サブメモリブロックは前記書き込みアドレスデコーディングパスと前記読み取りアドレスデコーディングパスとにそれぞれ連結する。

【0033】

前記他の技術的課題を達成するための本発明の第1実施例によるデータ読み取り動作と書き込み動作とを同時に実行する方法は、入出力ポートが分離されており、クロック信号の1周期の間に書き込みアドレスと読み取りアドレスとが入力され、複数のサブメモリブロックをそれぞれ具備する複数のメモリブロックと、前記メモリブロックに対応するキャッシュメモリブロックを具備する集積回路のデータ読み取り動作と書き込み動作とを同時に実行する方法において、(a)クロック信号の1周期の間に前記書き込みアドレスと前記読み取りアドレスとが全て入力されているか、前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つだけ入力されているかを判断する段階、(b)前記書き込みアドレスと前記読み取りアドレスが全て入力されれば、前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一であるかを判断する段階、(c)前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスが同一であれば、前記書き込みアドレスと前記読み取りアドレスとが所定のキャッシュメモリアドレスと同一であるかを判断する段階、及び、(d)前記書き込みアドレス及び前記読み取りアド

40

50

レスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する段階を具備する。

【0034】

前記d段階は、(d1)前記キャッシュメモリブロックに格納されているデータが有効であるかどうかを判断する段階、(d2)前記キャッシュメモリブロックに格納されているデータが有効でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する段階、(d3)前記キャッシュメモリブロックに書き込まれたデータに関する情報をアップデートさせる段階、(d4)前記キャッシュメモリブロックに格納されているデータが有効であれば、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリにかくのうされている有効なデータを読み取って対応するメモリブロックに書き込む段階、及び、(d5)前記キャッシュメモリブロックに書き込み動作を実行し、前記キャッシュメモリブロックに書き込まれたデータに関する情報をアップデートさせる段階を具備する。

10

【0035】

前記キャッシュメモリアドレスは、前記キャッシュメモリブロックに対応する前記サブメモリブロックのアドレスを示す。

【0036】

前記(c)は、(c1)前記書き込みアドレス及び前記読み取りアドレスのうち1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスとに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行する段階、及び、(c2)前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行し、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる段階を具備する。

20

【0037】

前記(b)段階は、(b1)前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一でなければ、前記書き込みアドレスと前記読み取りアドレスとが前記キャッシュメモリアドレスと一致するかを判断する段階、(b2)前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスと一致する動作を前記メモリブロックで実行する段階、(b3)前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行した後、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる段階、及び、(b4)前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致しなければ、前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作を実行する段階を具備する。

30

40

【0038】

前記(a)段階は、(a1)前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つだけ入力されれば、入力された前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致するかを判断する段階、(a2)入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致した書き込みアドレスまたは読み取りアドレスに対応する動作を前記キャッシュメモリブロックで実行する段階、及び、(a3)入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッ

50

シユメモリアドレスと一致しなければ、前記キャッシュメモリアドレスと一致しない書き込みアドレスまたは読み取りアドレスに対応する動作を前記メモリブロックで実行する段階を具備する。

【0039】

前記メモリブロック内部の相異なるサブメモリブロックのうち同じ下位アドレスを有するメモリセルは前記キャッシュメモリブロックの1つのメモリセルに対応することを特徴とする。

【0040】

前記キャッシュメモリブロックのサイズは前記1つのサブメモリブロックのサイズと同じであるか大きいことを特徴とする。

【発明の効果】

【0041】

本発明による集積回路及びの読み取り動作と書き込み動作とを同時に実行する方法は、メモリブロックを複数のサブメモリブロックに区分し、それぞれのサブメモリブロックをデコーディングできるデコーディング回路と、あらゆるサブメモリブロックに連結される書き込みアドレスデコーディングパスと読み取りアドレスデコーディングパスとを別途に具備し、キャッシュメモリブロックを具備してクロック信号の1周期内で読み取り動作及び書き込み動作がメモリブロックとキャッシュメモリブロックとで分けられて同時に実行させることによって、クロック信号の動作周波数を増加せうる長所がある。

【発明を実施するための最良の形態】

【0042】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには本発明の望ましい実施例を例示する図面及び図面に記載された内容が参照されるべきである。

【0043】

以下、図面を参照して本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に提示された同じ符号は同じ構成要素を示す。

【0044】

図2は、第1実施例による集積回路を示すブロック図である。図2を参照すれば、集積回路200は、複数のサブメモリブロックSMB1、SMB2～SMBMをそれぞれ具備するメモリブロックMB1、MB2、MB3、MB4と、それらのメモリブロックMB1、MB2、MB3、MB4に対応するキャッシュメモリブロックCMB1、CMB2、CMB3、CMB4と、タグメモリ制御部210とを具備する。図2の集積回路200は入出力ポートが分離されており、クロック信号の1周期の間に書き込みアドレスWADDと読み取りアドレスRADDとが入力される。

【0045】

メモリブロックMB1、MB2、MB3、MB4は相等しい構造であり、キャッシュメモリブロックCMB1、CMB2、CMB3、CMB4も相等しい構造であるので、メモリブロックMB1、MB2、MB3、MB4のうち第2のメモリブロックMB2と第2のキャッシュメモリブロックCMB2を中心として説明する。

【0046】

書き込みアドレスWADD及び読み取りアドレスRADDは、それぞれ上位アドレスと下位アドレスとに区分される。上位アドレスは、複数のサブメモリブロックのうち何れか1つを指定するアドレスである。

【0047】

本発明の基本原理は、書き込みアドレスWADD及び読み取りアドレスRADDが同じである場合に、データの読み取り動作と書き込み動作とがメモリブロックとキャッシュメモリブロックとにそれぞれ分けられて同時に実行されることによってクロック信号の周期を短くされる点にある。

【0048】

10

20

30

40

50

すなわち、書き込みアドレスWADDと読み取りアドレスRADDとが同一で同時に1つのメモリブロック(例えば、第2メモリブロックMB2)のうち同じサブメモリブロック(例えば、SMB2)にアクセスすべき場合に、サブメモリブロックSMB2でデータの読み取り動作が実行されれば、データの書き込み動作はサブメモリブロックSMB2に対応するキャッシュメモリブロックCMB2で実行させる。

【0049】

逆に、メモリブロックMB2でデータの書き込み動作が実行されれば、データの読み取り動作は、メモリブロックMB2に対応するキャッシュメモリブロックCMB2で実行させる。このようにすることによって、データの読み取り動作及び書き込み動作が同時に並列的に行われ、クロック信号の周期を短くすることができる。

10

【0050】

このために、メモリブロックMB2内部の相異なるサブメモリブロックSMB1、SMB2、SMB3～SMBMのうち同じ下位アドレスを有するメモリセルは、キャッシュメモリブロックCMB2の1つのメモリセルに対応させられる。また、同じサブメモリブロックに対して書き込み動作と読み取り動作とが実行され続ける場合も発生しうるので、キャッシュメモリブロックのサイズは、1つのサブメモリブロックのサイズと同じであるか、それよりも大きくなければならない。

【0051】

このような動作は、タグメモリ制御部210によって実行される。タグメモリ制御部210は、書き込みアドレスWADDまたは読み取りアドレスRADDに応答してメモリブロックMB1、MB2、MB3、MB4及びキャッシュメモリブロックCMB1、CMB2、CMB3、CMB4に格納されたデータを読み取るか、メモリブロックMB1、MB2、MB3、MB4及びキャッシュメモリブロックCMB1、CMB2、CMB3、CMB4にデータを書き込む。

20

【0052】

書き込みアドレスWADDと読み取りアドレスRADDとが同一であり、メモリブロックMB2のうち1つのサブメモリブロックで読み取り動作が実行され、キャッシュメモリブロックCMB2で書き込み動作が実行された場合、キャッシュメモリブロックCMB2に書き込まれたデータが元々書き込まれるべきメモリブロックMB2のうちサブメモリブロックのアドレスがキャッシュメモリアドレスとしてタグメモリ制御部210に格納される。

30

【0053】

すなわち、キャッシュメモリアドレスは、キャッシュメモリブロックCNB2に格納されているデータが元々格納されるべきサブメモリブロックを指定する上位アドレスである。

【0054】

入力されるアドレスのうちから下位アドレスを利用してタグメモリ制御部210に格納されたキャッシュメモリアドレスにアクセスし、アクセスされたキャッシュメモリアドレスと入力されたアドレスの上位アドレスとが比較される。

【0055】

40

次の書き込みアドレスWADDと読み取りアドレスRADDとが同一であり、また以前の書き込みアドレスWADDと読み取りアドレスRADDとも同一であるために、キャッシュメモリブロックCMB2に再び書き込み動作が実行されるべき場合がある。この場合、キャッシュメモリブロックCMB2に先に書き込まれていたデータが有効なデータであるかどうかを判断しなければならない。

【0056】

有効なデータであれば、キャッシュメモリブロックCMB2に先に書き込まれているデータを読み取ってメモリブロックMB2の対応するサブメモリブロックに書き込んだ後、次の書き込みアドレスWADDに対応するデータをキャッシュメモリブロックCMB2に書き込まなければならないためである。キャッシュメモリブロックCMB2に格納され

50

ているデータが有効であるかを判断する有効判断情報もタグメモリ制御部 2 1 0 に格納される。

【 0 0 5 7 】

また、書き込みアドレス W A D D 及び読み取りアドレス R A D D が相異なる場合、それぞれの書き込みアドレス W A D D、読み取りアドレス R A D D に対応する相異なる 2 個のサブメモリブロックがそれぞれデコーディングされる。

【 0 0 5 8 】

このために、集積回路 2 0 0 は、書き込みアドレスデコーディングパス（図示せず）と読み取りアドレスデコーディングパス（図示せず）が相互に独立するように分離されなければならない。そして、サブメモリブロック S M B 1、S M B 2、S M B 3 ~ S M B M は、書き込みアドレスデコーディングパスと読み取りアドレスデコーディングパスとにそれぞれ連結されねばならない。

10

【 0 0 5 9 】

データは、S D R または D D R において、入力ピンまたは出力ピンを通じて入力または出力される。

【 0 0 6 0 】

タグメモリ制御部 2 1 0 がメモリブロック M B 2 及びキャッシュメモリブロック C M B 2 を制御してデータの読み取り及び書き込みを実行する動作は、図 3 及び図 4 を参照して後述する。

【 0 0 6 1 】

図 3 は、第 2 実施例による集積回路を示すブロック図である。集積回路 3 0 0 は、複数のサブメモリブロック S M B 1、S M B 2、S M B 3 ~ S M B M をそれぞれ含むメモリブロック、キャッシュメモリブロック、デコーディング部及びタグメモリ制御部 3 1 0 を具備する。

20

【 0 0 6 2 】

キャッシュメモリブロックはそれぞれのメモリブロックに対応し、所定のキャッシュ制御信号 C C L S に応答して格納されたデータが出力されるか、またはデータが書き込まれる。デコーディング部はそれぞれのメモリブロックに対応し、書き込みアドレス W A D D または読み取りアドレス R A D D、所定のデコーディング制御信号 D C L S に応答してサブメモリブロック S M B 1、S M B 2、S M B 3 ~ S M B M を制御するデコーディング信号 D S を発生する。

30

【 0 0 6 3 】

図 3 は、複数のメモリブロックのうち 1 つのメモリブロック M B 2 と複数のデコーディング部のうち 1 つのデコーディング部 3 2 0、複数のキャッシュメモリブロックのうち 1 つのキャッシュメモリブロック C M B 2 を図示している。

【 0 0 6 4 】

したがって、第 2 実施例による集積回路 3 0 0 の動作の説明も図 3 に示したメモリブロック M B 2 とキャッシュメモリブロック C M B 2、デコーディング部 3 2 0 及びタグメモリ制御部 3 1 0 を利用して説明する。

【 0 0 6 5 】

タグメモリ制御部 3 1 0 は、書き込み選択信号 W E S または読取り選択信号 R E S、書き込みアドレス W A D D または読み取りアドレス R A D D を受信し、クロック信号の 1 周期の間に入力される書き込みアドレス W A D D と読取りアドレス R A D D とが同じであるかどうかに応じて、データの書き込み動作及び読み取り動作が同時に実行されるようにキャッシュ制御信号 C C L S またはデコーディング制御信号 D C L S を発生する。また、図面には示されていないが、読み取り選択信号 R E S 及び書き込み選択信号 W E S もメモリブロック M B 2 及びキャッシュメモリブロック C M B 2 に印加されうる。

40

【 0 0 6 6 】

図 2 の集積回路 2 0 0 と同様に前記デコーディング部は、それぞれサブメモリブロック S M B 1、S M B 2、S M B 3 ~ S M B M に対応する複数のデコーディング回路（図示せ

50

ず)を具備する。入力される書き込みアドレスWADD及び読み取りアドレスRADDが相異なる場合、それぞれの書き込みアドレスWADD、読み取りアドレスRADDに対応する相異なる2個のサブメモリブロックがそれぞれデコーディングされなければならないためである。

【0067】

このために、デコーディング回路(図示せず)は、相互に分離されている書き込みアドレスデコーディングパス(図示せず)及び読み取りアドレスデコーディングパス(図示せず)と連結され、サブメモリブロックSMB1、SMB2、SMB3~SMBMは、書き込みアドレスデコーディングパス(図示せず)及び読み取りアドレスデコーディングパス(図示せず)にそれぞれ連結される。

10

【0068】

図4は、他の実施例によるデータの読み取り動作と書き込み動作とを同時に実行する方法を示すフローチャートである。図5は、図4の段階440を説明するフローチャートである。図6は、図4の段階445を説明するフローチャートである。図7は、図4の段階455を説明するフローチャートである。

【0069】

以下、図2ないし図7を参照してデータの読み取り動作と書き込み動作とを同時に実行する集積回路及び方法について説明する。

【0070】

まず、クロック信号の1周期の間に書き込みアドレスと読み取りアドレスとが共に入力されるか、書き込みアドレス及び読み取りアドレスのうち何れか1つだけ入力されるかを判断する(段階410段階)。図3の書き込み選択信号WES及び読み取り選択信号RESによって判断されうる。

20

【0071】

ここでは、書き込み選択信号WESがローレベルであるか、読み取り選択信号RESがローレベルである場合に、それぞれ書き込みアドレスWADDと読み取りアドレスRADDとが入力されるものとする。もちろん、書き込み選択信号WES及び読み取り選択信号RESのレベルがハイレベルである場合に書き込みアドレスWADDと読み取りアドレスRADDとが入力されるように回路を構成することもできる。

【0072】

タグメモリ制御部310は、書き込み選択信号WESと読み取り選択信号RESとを受信し、書き込みアドレスWADDと読み取りアドレスRADDとを受信する。

30

【0073】

書き込みアドレスと読み取りアドレスとが共に入力されれば、書き込みアドレスの上位アドレスと読み取りアドレスの上位アドレスとが同一であるかを判断する(段階420)。

【0074】

書き込みアドレスWADDや読み取りアドレスRADDは、上位ビットにサブメモリブロックを指定する情報を有している。したがって、書き込みアドレスWADDや読み取りアドレスRADDが入力されれば、まず、書き込みアドレスWADDや読み取りアドレスRADDの上位アドレスを認識して、どのサブメモリブロックを指定するかを判断する。

40

【0075】

書き込みアドレスの上位アドレスと読み取りアドレスの上位アドレスとが同一であれば、書き込みアドレスと読み取りアドレスとが所定のキャッシュメモリアドレスと同一であるかを判断する(段階430)。

【0076】

書き込みアドレスWADDの上位アドレスと読み取りアドレスRADDの上位アドレスとが同一であれば、書き込みアドレスWADD及び読み取りアドレスRADDが同じサブメモリブロックを指定している。

【0077】

50

タグメモリ制御部 310 はキャッシュメモリアドレスを内部に格納している。キャッシュメモリアドレスは、キャッシュメモリブロック CMB2 に対応するサブメモリブロックのアドレスを示す。もし書き込みアドレス WADD がキャッシュメモリアドレスと同一であれば、書き込み動作はキャッシュメモリブロック CMB2 で実行されなければならない。

【0078】

書き込みアドレスと読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する（段階 440）。

【0079】

段階 440 を図 5 を参照してもうさらに説明する。書き込みアドレスと読み取りアドレスのいずれも前記キャッシュメモリアドレスと同一でなければ、前記キャッシュメモリブロックに格納されているデータが有効であるかを判断する（段階 510）。

【0080】

書き込みアドレス WADD と読み取りアドレス RADD のいずれも前記キャッシュメモリアドレスと同一でないことは、結局、メモリブロック MB2 の同じサブメモリブロックで書き込み動作及び読み取り動作が実行されなければならないことを意味する。しかし、同じサブメモリブロックで書き込みワードラインと読み取りワードラインとを同時にイネーブルすることはできない。したがって、キャッシュメモリブロック CMB2 を利用する。

【0081】

前記キャッシュメモリブロックに格納されているデータが有効でなければ、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックで書き込み動作を実行する（段階 540）。

【0082】

書き込み動作と読み取り動作とが同じサブメモリブロックで実行されるべき場合は、読み取り動作が優先的に実行される。したがって、読み取りアドレス RADD に対応するメモリブロック MB2 のサブメモリブロックで読み取り動作を実行する。そして、キャッシュメモリブロック CMB2 に格納されていたデータが有効でないので、キャッシュメモリブロック CMB2 に書き込み動作を実行する。

【0083】

タグメモリ制御部 310 はデコーディング制御信号 DCLS をデコーディング部 320 に印加する。すると、デコーディング部 320 内部のデコーディング回路（図示せず）のうち読み取りアドレス RADD に対応するデコーディング回路は、デコーディング信号 DS を発生して対応するサブメモリブロックをデコーディングする。すると、サブメモリブロックに格納されたデータが出力される。図 3 において、MDOUT は、メモリブロック MB2 に格納されたデータが出力される経路である。Q は、出力ピンを意味する。出力ピン Q と入力ピン D とは、分離されている。

【0084】

また、タグメモリ制御部 310 は、キャッシュ制御信号 CCLS を発生してキャッシュメモリブロック MB2 で書き込み動作を実行する。

【0085】

キャッシュメモリブロック CMB2 に格納されたデータが変更されたので、前記キャッシュメモリブロックに書き込まれたデータに関する情報をアップデートさせる（段階 550）。このような情報のアップデートはタグメモリ制御部 310 で実行される。

【0086】

前記キャッシュメモリブロックに格納されているデータが有効であれば、前記読み取りアドレスに対応する前記メモリブロックで読み取り動作を実行し、前記キャッシュメモリブロックに格納されている有効なデータを読み取って対応するメモリブロックに書き込む（段階 520）。

10

20

30

40

50

【 0 0 8 7 】

書き込み動作と読み取り動作とが同じサブメモリブロックで実行されるべき場合、読み取り動作が優先的に実行されるので、読み取りアドレス R A D D に対応するメモリブロック M B 2 のサブメモリブロックで読み取り動作を実行する。読み取り動作は、タグメモリ制御部 3 1 0 で発生されるデコーディング制御信号 D C L S によって実行される。

【 0 0 8 8 】

キャッシュメモリブロック C M B 2 に格納されたデータが有効なデータであるので、まず、キャッシュメモリブロック C M B 2 に格納されている有効なデータを読み取り、読み取られたデータをメモリブロックの対応するサブメモリブロックに書き込まなければならない。そして、キャッシュ制御信号 C C L S に応答してキャッシュメモリブロック C M B 2 に書き込み動作を実行し、キャッシュメモリブロック C M B 2 に書き込まれたデータに関する情報をアップデートさせる（段階 5 3 0）。情報のアップデートもタグメモリ制御部 3 1 0 で実行される。

10

【 0 0 8 9 】

このようなデータの書き込み動作と読み取り動作とは同時に実行される。すなわち、サブメモリブロックとキャッシュメモリブロック C M B 2 とで書き込み動作と読み取り動作とが独立して実行されるので、書き込みワードラインと読み取りワードラインとは同時にイネーブルされうる。したがって、書き込みワードラインと読み取りワードラインとが順次にイネーブルされることによってクロック信号の周期を縮めるのに制限が生じる問題を解決できる。

20

【 0 0 9 0 】

前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致しているか、前記書き込みアドレス及び前記読み取りアドレスの全てが前記キャッシュメモリアドレスと一致しているかを判断して書き込み動作及び読み取り動作を実行する（段階 4 4 5）。

【 0 0 9 1 】

段階 4 4 5 を図 6 を参照してさらに説明する。前記書き込みアドレス及び前記読み取りアドレスのうち 1 つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスに対応する動作を前記メモリブロックで実行する（段階 6 1 0）。

30

【 0 0 9 2 】

すなわち、読み取りアドレス R A D D がキャッシュメモリアドレスと一致し、書き込みアドレス W A D D がキャッシュメモリアドレスと一致しなければ、キャッシュメモリブロック C M B 2 で読み取り動作を実行する。タグメモリ制御部 3 1 0 は、キャッシュ制御信号 C C L S をキャッシュメモリブロック C M B 2 に印加して読み取り動作を実行する。読み取られたデータは図 3 で C D O U T として示されている。

【 0 0 9 3 】

また、タグメモリ制御部 3 1 0 は、デコーディング制御信号 D C L S を発生してメモリブロック M B 2 で書き込み動作を実行させる。

40

【 0 0 9 4 】

逆に、書き込みアドレス W A D D がキャッシュメモリアドレスと一致し、読み取りアドレス R A D D がキャッシュメモリアドレスと一致しなければ、キャッシュメモリブロック C M B 2 で書き込み動作を実行し、メモリブロック M B 2 で読み取り動作を実行する。

【 0 0 9 5 】

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行し、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる（段階 6 2 0）。

【 0 0 9 6 】

50

書き込みアドレス及び前記読み取りアドレスが全て前記キャッシュメモリアドレスと一致すれば、書き込み動作と読み取り動作が全てキャッシュメモリブロックCMB2で実行されなければならないことを意味する。しかし、これは同じサブメモリブロックで書き込み動作と読み取り動作とが同時に実行されないことと同じ理由で不可である。

【0097】

したがって、キャッシュメモリブロックCMB2でキャッシュ制御信号CCLSにตอบสนองして読み取り動作を実行する。そして、デコーディング制御信号DCLSにตอบสนองしてメモリブロックMB2の対応するサブメモリブロックで書き込み動作を実行する。元々キャッシュメモリブロックCMB2に書き込まれるべきデータがサブメモリブロックに書き込まれたものであるため、キャッシュメモリブロックCMB2に現在格納されているデータは有効でないデータとなる。したがって、このような情報をタグメモリ制御部310にアップデートさせる。

10

【0098】

段階420で、前記書き込みアドレスの上位アドレスと前記読み取りアドレスの上位アドレスとが同一でなければ、前記書き込みアドレスと前記読み取りアドレスとが前記キャッシュメモリアドレスと一致しているかを判断する(段階450)。

【0099】

前記書き込みアドレス及び前記読み取りアドレスのうち1つが前記キャッシュメモリアドレスと一致しているか、前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致しているかを判断して書き込み動作及び読み取り動作を実行する。(段階455)

20

段階455を図7を参照してさらに説明する。前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致したアドレスに対応する動作を前記キャッシュメモリブロックで実行し、前記キャッシュメモリアドレスと一致しないアドレスと一致する動作を前記メモリブロックで実行する(段階710)。

【0100】

すなわち、読み取りアドレスRADDがキャッシュメモリアドレスと一致し、書き込みアドレスWADDがキャッシュメモリアドレスと一致しなければ、キャッシュ制御信号CCLSにตอบสนองしてキャッシュメモリブロックCMB2で読み取り動作を遂行する。また、タグメモリ制御部310は、デコーディング制御信号DCLSを発生してメモリブロックMB2で書き込み動作を実行させる。

30

【0101】

逆に、書き込みアドレスWADDがキャッシュメモリアドレスと一致し、読み取りアドレスRADDがキャッシュメモリアドレスと一致しなければ、キャッシュメモリブロックCMB2で書き込み動作を実行し、メモリブロックMB2で読み取り動作を実行する。

【0102】

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリブロックで読み取り動作を実行し、前記メモリブロックで書き込み動作を実行し、前記メモリブロックに書き込まれたデータに関する情報をアップデートさせる(段階720)。

40

【0103】

前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致すれば、書き込み動作と読み取り動作とが共にキャッシュメモリブロックCMB2で実行されなければならないことを意味する。しかし、これは同じサブメモリブロックで書き込み動作と読み取り動作とが同時に実行されないことと同じ理由で不可である。

【0104】

したがって、キャッシュメモリブロックCMB2でキャッシュ制御信号CCLSにตอบสนองして読み取り動作を実行する。そして、デコーディング制御信号DCLSにตอบสนองしてメモリブロックMB2の対応するサブメモリブロックで書き込み動作を実行する。元々キャッシュ

50

シュメモリブロックCMB2に書き込まれるべきデータがサブメモリブロックに書き込まれたものであるので、キャッシュメモリブロックCMB2に現在格納されているデータは有効でないデータとなる。したがって、このような情報をタグメモリ制御部310にアップデートさせる。

【0105】

段階450で判断した結果、前記書き込みアドレス及び前記読み取りアドレスが共に前記キャッシュメモリアドレスと一致しなければ、前記選択されたメモリブロックのうち前記書き込みアドレス及び前記読み取りアドレスに対応する相異なるサブメモリブロックで書き込み動作及び読み取り動作を実行する(段階460)。

【0106】

この場合は、書き込みアドレスWADD及び読み取りアドレスRADDが相異なるサブメモリブロックを指定している場合である。相異なるサブメモリブロックが指定されたので、それぞれのサブメモリブロックに対応するデコーディング回路(図示せず)を利用してデータの読み取り動作と書き込み動作とを実行する。

【0107】

各サブメモリブロックをデコーディングできるデコーディング回路を別途に具備しており、また書き込みアドレスデコーディングパスと読み取りアドレスデコーディングパスとが独立的に分離されているので、同じメモリブロックであっても相異なるサブメモリブロックであれば、同時に読み取り動作及び書き込み動作が実行できる。

【0108】

段階410で、前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つだけ入力されれば、入力された前記書き込みアドレス及び前記読み取りアドレスのうち何れか1つが前記キャッシュメモリアドレスと一致するかを判断する(段階465)。

【0109】

入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッシュメモリアドレスと一致すれば、前記キャッシュメモリアドレスと一致した書き込みアドレスまたは読み取りアドレスに対応する動作を前記キャッシュメモリブロックで実行する(段階470)。この場合は、クロック信号の1周期の間に書き込みアドレスWADD及び読み取りアドレスRADDのうち何れか1つだけ入力される。

【0110】

この時は、入力されるアドレスがキャッシュメモリアドレスと一致すれば、キャッシュメモリブロックで対応する動作を実行し、キャッシュメモリアドレスと一致しなければ、メモリブロックMB2で対応する動作を実行する。

【0111】

すなわち、書き込みアドレスWADDだけ入力され、入力された書き込みアドレスWADDがキャッシュメモリアドレスと一致するならば、キャッシュメモリブロックCMB2に書き込み動作を実行する。逆に、読み取りアドレスRADDだけ入力され、入力された読み取りアドレスRADDがキャッシュメモリアドレスと一致するならば、キャッシュメモリブロックCMB2に読み取り動作を実行する。この時、タグメモリ制御部310は、キャッシュ制御信号CCLSを発生してキャッシュメモリブロックCMB2で書き込みまたは読み取り動作を実行させる。

【0112】

入力された前記書き込みアドレスまたは前記読み取りアドレスが前記キャッシュメモリアドレスと一致しなければ、前記キャッシュメモリアドレスと一致しない書き込みアドレスまたは読み取りアドレスに対応する動作を前記メモリブロックで実行する(段階475)。

【0113】

図8は、本発明の集積回路の動作を説明するタイミング図である。図8を参照すれば、クロック信号CLKの1周期が図1のクロック信号CLKの1周期の半分に短縮されたことが分かる。これはクロック信号CLKの周波数が倍増されたことを意味する。

10

20

30

40

50

【 0 1 1 4 】

従来においては、書き込み動作のためのワードラインと読み取り動作のためのワードラインとがクロック信号CLKの1周期の間に順次にイネーブルされるので、クロック信号CLKの周期を短くすることが難しかった。

【 0 1 1 5 】

しかし、本発明による集積回路及び方法によれば、図8から分かるように、読み取り動作のためのワードラインWL1と書き込み動作のためのワードラインWL2とがクロック信号CLKの1周期の間に同時にイネーブルされるので、クロック信号CLKの周期を短くすることができる。

【 0 1 1 6 】

本発明は、入出力ポートが分離され、クロック信号の1周期内に書き込みアドレスと読み取りアドレスとを共に受けられる種々の集積回路に適用することができる。また、データは、SDRまたはDDRに分離された入力ピンまたは出力ピンを通じて入出力することができる。

【 0 1 1 7 】

以上でのように、図面と明細書で最適実施例が開示された。ここで特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、本技術分野の当業者であれば、これにより多様な変形及び均等な他の実施例が可能である点が理解できるであろう。したがって、本発明の真の技術的保護範囲は特許請求の技術的思想によって定められなければならない。

【 産業上の利用可能性 】

【 0 1 1 8 】

本発明は集積回路に係り、特に二重データ率RAM(Double Data Rate RAM:DDR RAM)のように動作速度が速くて入出力ポートが分離された半導体集積回路において好適に使用できる。

【 図面の簡単な説明 】

【 0 1 1 9 】

【 図 1 】 分離された入出力ポートを有するメモリ装置の動作を説明するタイミング図である。

【 図 2 】 第1実施例による集積回路を示すブロック図である。

【 図 3 】 第2実施例による集積回路を示すブロック図である。

【 図 4 】 他の実施例によるデータの読み取り動作と書き込み動作とを同時に実行する方法を示すフローチャートである。

【 図 5 】 図4の段階440を説明するフローチャートである。

【 図 6 】 図4の段階445を説明するフローチャートである。

【 図 7 】 図4の段階455を説明するフローチャートである。

【 図 8 】 本発明の集積回路の動作を説明するタイミング図である。

【 符号の説明 】

【 0 1 2 0 】

200 集積回路

210 タグメモリ制御部

SMB1～SMBM サブメモリブロック

MB1、MB2、MB3、MB4 メモリブロック

CMB1、CMB2、CMB3、CMB4 キャッシュメモリブロック

WADD 書き込みアドレス

RADD 読み取りアドレス

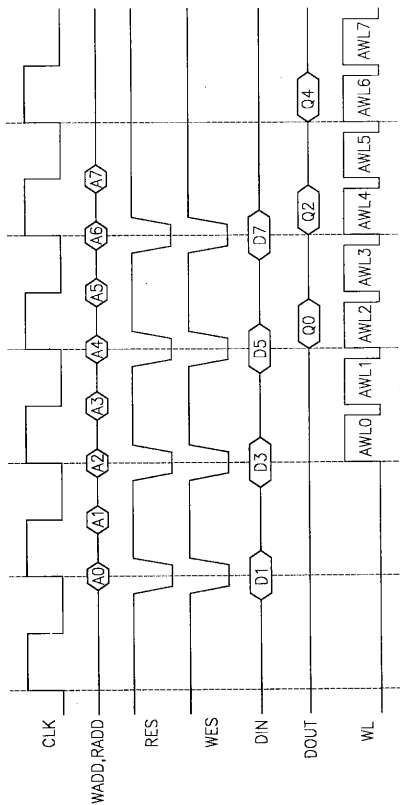
10

20

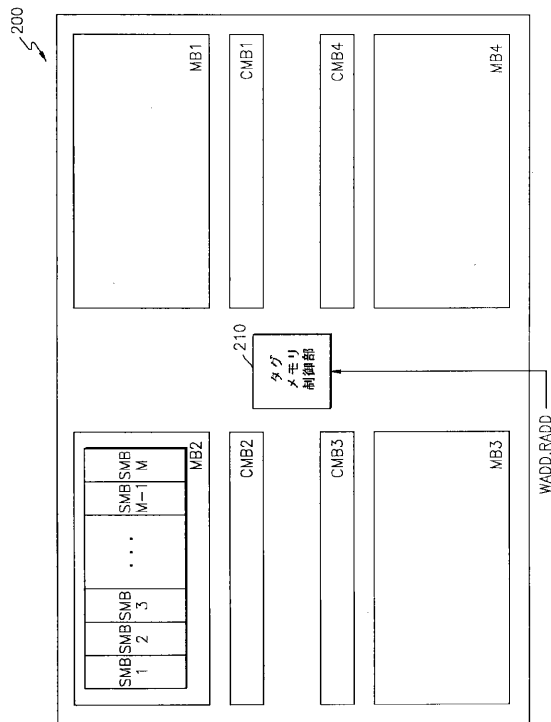
30

40

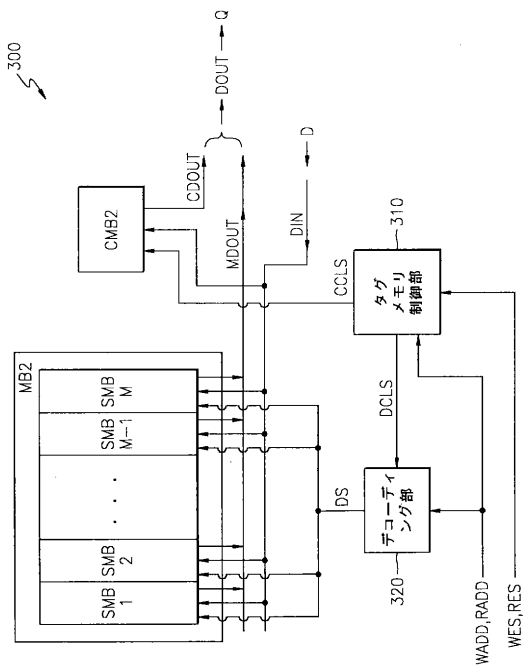
【図 1】



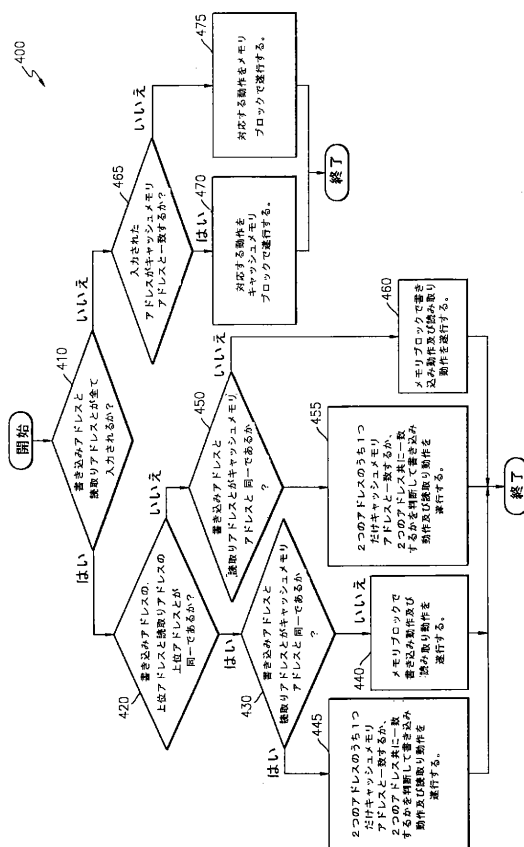
【図 2】



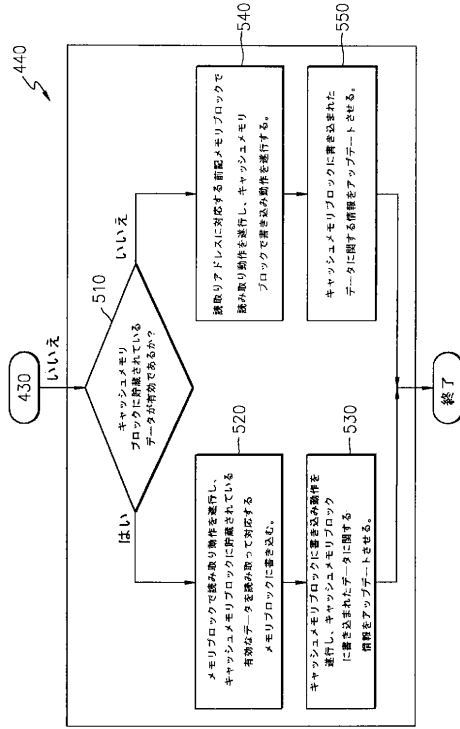
【図 3】



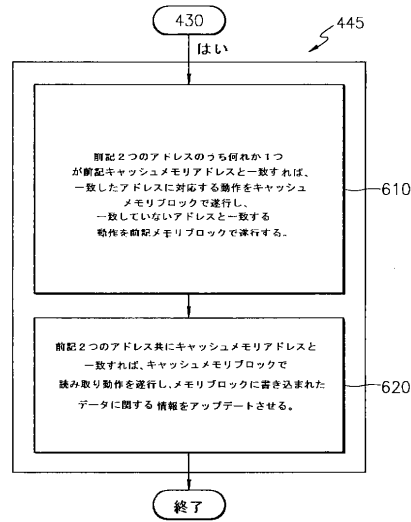
【図 4】



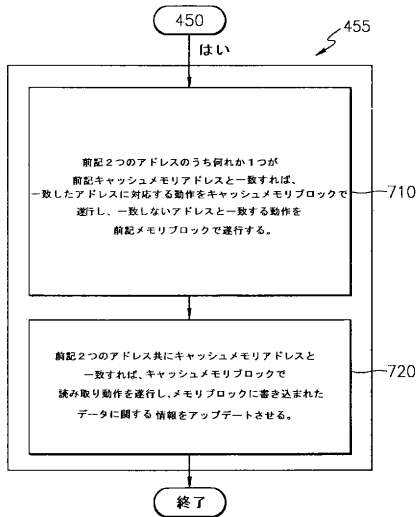
【図5】



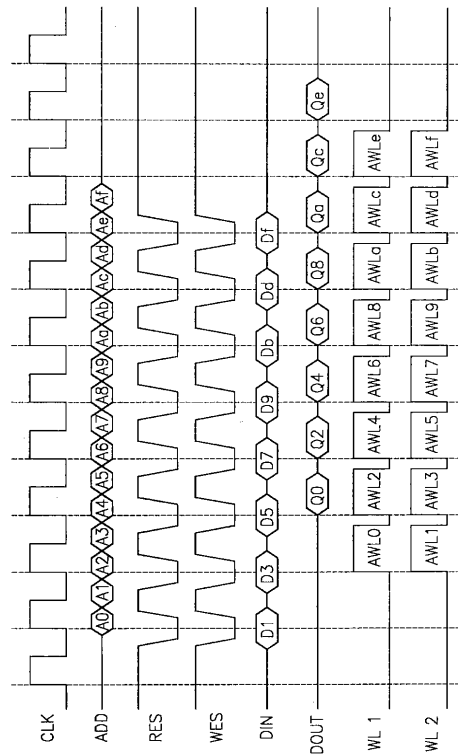
【図6】



【図7】



【図8】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 孫教民

大韓民国 京畿道 城南市 盆唐区 書 ヒョン 洞 96番地 示範団地宇成アパート 218
棟 1206号

(72)発明者 徐英豪

大韓民国 京畿道 水原市 勸善区 九雲洞 890番地

審査官 仲間 晃

(56)参考文献 特開平11-328976(JP,A)

特開平03-286495(JP,A)

特開2000-173270(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/41

G11C 11/413