

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5068169号
(P5068169)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.		F I			
HO2H	3/08	(2006.01)	HO2H	3/08	N
GO2F	1/163	(2006.01)	GO2F	1/163	
GO5F	1/10	(2006.01)	GO5F	1/10	304L
			GO5F	1/10	304F

請求項の数 17 (全 19 頁)

(21) 出願番号	特願2007-531420 (P2007-531420)	(73) 特許権者	500115826
(86) (22) 出願日	平成17年9月12日 (2005.9.12)		ジェンテックス コーポレイション
(65) 公表番号	特表2008-516571 (P2008-516571A)		アメリカ合衆国 ミシガン州 49464
(43) 公表日	平成20年5月15日 (2008.5.15)		ジーランド ノース センテナアル ス
(86) 国際出願番号	PCT/US2005/032367		トリート 600
(87) 国際公開番号	W02006/031709	(74) 代理人	100082005
(87) 国際公開日	平成18年3月23日 (2006.3.23)		弁理士 熊倉 禎男
審査請求日	平成19年8月16日 (2007.8.16)	(74) 代理人	100067013
(31) 優先権主張番号	10/939,985		弁理士 大塚 文昭
(32) 優先日	平成16年9月13日 (2004.9.13)	(74) 代理人	100086771
(33) 優先権主張国	米国 (US)		弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】 障害保護付きミラー素子駆動回路

(57) 【特許請求の範囲】

【請求項1】

EC (エレクトロクロミック) ガラスミラーとともに使用するバックミラー素子駆動回路であって、

電源と、

ECガラスミラー素子への電源からの電圧を制御する駆動回路と、

該ECガラスミラー素子への電流を検出する電流検出装置と、

前記ECガラスミラー素子への電圧を検出する電流検出装置と、

前記電源の出力電圧の関数として変化する可変しきい値信号を、前記電圧検出装置に与える可変しきい値回路と、

前記ECガラスミラー素子を保護するのに使用する障害状況の検出に基づいて一時的に不能にされるバックミラー素子駆動回路とを備え、

該バックミラー素子駆動回路は、前記電圧検出装置および前記駆動回路に接続され、実際の素子電圧信号、実際の素子電流信号、及び素子駆動トランジスタ電力損失信号から過剰電圧状況を計算するように構成されたコントローラを備え、

前記コントローラは、さらに、前記実際の素子電圧信号を所望の電圧値と比較すること、前記実際の素子電流信号を所望の電流値と比較すること、前記素子駆動トランジスタ電力損失信号を最大電力値と比較するようになっており、

前記実際の素子電圧信号および実際の素子電流信号は前記ECガラスミラー素子の所望の反射性および大気温度の双方に基づいて制御され、そして、

前記バックミラー素子駆動回路はクラスD素子駆動回路、スイッチ素子駆動回路、線形素子駆動回路、アナログ素子駆動回路または、デジタル駆動回路のグループの1つから構成されていることを特徴とするバックミラー素子駆動回路。

【請求項2】

実際の素子電圧信号を受け取るように構成されたコントローラを備え、前記コントローラは、前記実際の素子電圧信号を所望の電圧値と比較することによって、障害状態を検知するようにさらに構成されていることを特徴とする請求項1に記載のバックミラー素子駆動回路。

【請求項3】

実際の素子電圧信号及び実際の素子電流信号を受け取るように構成されたコントローラを備え、前記コントローラは、前記実際の素子電圧信号を所望の電圧値と比較すること、かつ、前記実際の素子電流信号を所望の電流値と比較することによって、障害状態を検知するようにさらに構成されていることを特徴とする請求項1に記載のバックミラー素子駆動回路。

10

【請求項4】

素子駆動トランジスタ電力損失信号を受け取るように構成されたコントローラをさらに備えることを特徴とする請求項3に記載のバックミラー素子駆動回路。

【請求項5】

前記コントローラは、前記素子駆動トランジスタ電力損失信号を最大電力値と比較することによって障害状態を検知するようにさらに構成されていることを特徴とする請求項4に記載のバックミラー素子駆動回路。

20

【請求項6】

実際の素子電流信号を受け取るように構成されたコントローラを備え、前記コントローラは、前記実際の素子電流信号を所望の電流値と比較することによって障害状態を検知するようにさらに構成されていることを特徴とする請求項1に記載のバックミラー素子駆動回路。

【請求項7】

前記コントローラは、実際の素子電圧信号を受け取るようにさらに構成されていることを特徴とする請求項6に記載のバックミラー素子駆動回路。

【請求項8】

前記コントローラは、前記実際の素子電圧信号を所望の電圧値と比較することによって障害状態を検知するようにさらに構成されていることを特徴とする請求項7に記載のバックミラー素子駆動回路。

30

【請求項9】

素子駆動トランジスタ電力損失信号を受け取るように構成されたコントローラを備え、前記コントローラは、前記素子駆動トランジスタ電力損失信号を所望の電圧値と比較することによって障害状態を検知するようにさらに構成されていることを特徴とする請求項1に記載のバックミラー素子駆動回路。

【請求項10】

前記素子駆動回路は、一定期間にわたって障害が検知されたとき、一時的に使用不能にされることを特徴とする請求項1、請求項2、請求項3、請求項6、又は請求項9に記載のバックミラー素子駆動回路。

40

【請求項11】

前記一定期間は、1.0秒であるか又はそれより短いことを特徴とする請求項10に記載のバックミラー素子駆動回路。

【請求項12】

前記一定期間は、400msであることを特徴とする請求項10に記載のバックミラー素子駆動回路。

【請求項13】

前記素子駆動回路は、自動的に使用可能にされる前に、第2の期間にわたって使用不能

50

にされることを特徴とする請求項10に記載のバックミラー素子駆動回路。

【請求項14】

前記第2の期間は、2秒より長いことを特徴とする請求項13に記載のバックミラー素子駆動回路。

【請求項15】

前記第2の期間は、4秒であることを特徴とする請求項13に記載のバックミラー素子駆動回路。

【請求項16】

前記コントローラは、マイクロコントローラとして構成されることを特徴とする請求項1、請求項2、請求項3、請求項6、又は請求項9に記載のバックミラー素子駆動回路。

10

【請求項17】

クラスD素子駆動回路、スイッチング素子駆動回路、線形素子駆動回路、アナログ素子駆動回路、及びデジタル駆動回路を含む群から選択された装置の1つとして構成されていることを特徴とする請求項1、請求項2、請求項3、請求項6、又は請求項9に記載のバックミラー素子駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、障害保護付きミラー素子駆動回路に向けられ、より具体的には、エレクトロクロミック素子のような電気光学素子と共に用いるためのミラー素子駆動回路に向けられる。

20

本出願は、G. Bruce Poe他による2001年11月8日に出願された「CURRENT SENCE CIRCUIT」という名称の米国特許出願番号第10/008,291号の継続である、G. Bruce Poe他による2003年10月8日に出願された「CURRENT SENCE CIRCUIT」という名称の米国特許出願第10/681,713号（現在は、米国特許第6,791,811号）の一部継続である。上記の出願における、合衆国法典第35巻第120条の下の特許優先権がここで主張され、開示の全体が引用によりここに組み入れられる。

【背景技術】

【0002】

種々の電子回路においては、駆動回路によって負荷に送られる電流を監視し、該負荷を過電流状態から保護することが必要である又は有利である。駆動回路が、例えば、調整されていない電源のような出力が変化する電源から動作電力を受け取るとき、該駆動回路により負荷に与えられた駆動電流は、該電源の電圧レベルによって変化する。駆動回路と負荷との間に直列抵抗器が配置された状況においては、該負荷に与えられた駆動電流を監視するために、直列抵抗器の両端の電圧を監視する監視回路（負荷に送られた電流を求めるための）は、電源の出力電圧レベルが最低限のとき、負荷が短絡したかどうかを検知することができない。これは、直列抵抗器の両端の電圧を監視するのに用いられた回路が、所望の動作電流より上に設定された固定しきい値を有していたためである。しかしながら、固定しきい値が、最低限の電源出力で負荷に送られる電流レベルのような低レベルに設定された場合には、通常の作動中に誤った過電流表示が生じることがある。

30

40

【特許文献1】米国特許出願公開第2004/0070907号明細書

【特許文献2】米国特許出願公開第2003/0086229号明細書

【特許文献3】米国特許第6469882号

【特許文献4】特表2003-503003号公報

【特許文献5】特開平9-9145号公報

【特許文献6】特開平8-296365号公報

【特許文献7】特開平8-61048号公報

【特許文献8】特開昭63-212809号公報

【特許文献9】米国特許第5400206号

50

【特許文献10】特開昭63-261231号公報

【特許文献11】米国特許第3013215号

【0003】

一例として、エレクトロクロミック（EC）車両のバックミラー・アセンブリにおいては、EC素子の両端の電圧を変えてミラーの反射率を変え、不要なまぶしさを回避する又は減少させることができるようにする駆動回路が提供される。しかしながら、駆動電流を駆動回路に与える電源が、例えば9ボルトから16ボルトまで変化することは珍しいことではない。既述したように、駆動回路により負荷に送られる電流を監視するために直列抵抗器を用いるとき、固定しきい値を、例えば12.5ボルトなどの公称電圧に設定することは、固定しきい値がより低い電圧で達成可能な値より上に設定されたときに、監視回路が、最低限の電圧の負荷で短絡を検知するのを防ぐことができる。

10

したがって、電源出力レベルにおけるばらつきを追跡することができる可変しきい値を有する電流検出回路が必要とされる。

【発明の開示】

【0004】

本発明の実施形態は、電流検出装置及び電圧検出装置を含む電流検出回路に向けられる。電流検出装置は、駆動回路によって負荷に与えられた駆動電流を検出するために配置される。電圧検出装置は、電流検出装置の両端に結合され、第1の入力において可変しきい値信号を受け取り、出力の出力信号を提供し、その値は、第2の入力における検出信号が、可変しきい値信号より上であるか又は下であるかによって決まり、そのレベルは、駆動電流を駆動回路に与える電源の電圧レベルに応じて変化する。1つの実施形態において、負荷は、エレクトロクロミック素子である。別の実施形態において、電流検出装置は、抵抗器である。さらに別の実施形態において、電圧検出装置は、差動増幅器である。別の実施形態において、電圧検出装置の出力は、出力信号にตอบสนองして、駆動回路によって与えられる駆動電流のレベルを制御する制御ユニットの入力に結合される。

20

本発明のこれらの及び他の特徴、利点、及び目的は、以下の明細書、上記の特許請求の範囲、及び添付の図面を参照することによって、当業者によりさらに理解され、認識されるであろう。

【発明を実施するための最良の形態】

【0005】

本発明の実施形態によると、電力を駆動回路に供給する電源の出力が変化する（例えば、9ボルトから16ボルトに）ときでさえ、負荷（例えば、エレクトロクロミック素子）における短絡を検知することを可能にする電流検出回路が提供される。1つの実施形態によると、短絡負荷が検知されると、電流検出回路が出力を制御回路に提供し、制御回路は、これにตอบสนองして信号を駆動回路に提供し、これにより、駆動回路は、例えば、電流を負荷に与えるのを中止する。

30

【0006】

当業者には明らかであるように、本発明の特定の態様は、オーバーヘッド・コンソール、サンバイザー、フロント・ピラー・トリムパネル、計器パネル等のような、ミラー・アセンブリ以外の車両アクセサリ内に実装することができる。それらの実装に関して、ミラー・アセンブリに関連する下記の説明が、本発明の範囲を他の方法でこうしたミラー・アセンブリに限定することなく、例示目的のために提供される。本発明は、エレクトロクロミック・フィルタ又は建築物の窓、或いは、いずれかの他の電気光学装置又は電気装置を制御するといった、非自動車用途のために使用することもできる。

40

【0007】

図1を参照すると、例示的なバックミラー制御システム100が、電圧検出装置104及び駆動回路112に結合された制御ユニット106を含む。駆動回路112は、調整されていない電源とすることができる電源114に結合され、そこから電力を受け取る。駆動回路112はまた、例えば、エレクトロクロミック（EC）素子108などの負荷に結合された電流検出装置102にも結合される。電源114はまた、電圧検出装置104に

50

結合された可変しきい値回路 110 にも結合される。電圧検出装置 104 はまた、電流検出装置 102 の両端にも結合される。電圧検出装置 104 は、電流検出装置 102 の両端に直接結合させることができ、或いは、電流検出装置 102 及び付加的な構成部品の両端に結合させることもできることを理解すべきである。この場合、付加的な構成部品のインピーダンスが周知である場合、該付加的な構成部品によって付加された電圧を容易に除去することができる。

【0008】

可変しきい値回路 110 は、電源 114 の出力電圧レベルの関数として変化する可変しきい値信号を電圧検出装置 104 に与える。すなわち、電源 114 によって供給される電圧レベルが減少した場合、可変しきい値回路 110 は、より低いしきい値信号を電圧検出装置 104 に与える。このことは、電圧検出装置 104 が、電源 114 の変化を追跡するのを可能にし、電源 114 の出力が一定範囲の値にわたって変化するとき、EC 素子 108 における短絡状態を検知することができるようになる。制御ユニット 106 は、マイクロコントローラ、メモリ・サブシステムに結合されたマイクロプロセッサ、フィールド・プログラマブル・ゲートアレイ (FPGA) 等とすることができる。1つの実施形態において、電流検出装置 102 は、駆動回路 112 と EC 素子 108 との間に直列配置された抵抗器である。実施形態において、電圧検出装置 104 は、電流検出装置 102 の両端に差動式に結合された演算増幅器である。

【0009】

図 2 は、本発明の 1つの実施形態による、例示的な電流検出回路 200 の電氣的概略を示す。図 2 に示されるように、駆動回路 G1 の第 1 の端子が、限流抵抗器 R_{limit} (例えば、20 オーム) を通して、電源 +V に結合される。駆動回路 G1 の第 2 の端子が、検出抵抗器 R_{sense} (例えば、0.33 オーム) を通して、抵抗型負荷 R_{load} (例えば、12 オーム) に結合される。抵抗器 R1 (例えば、1 キロオーム) が、抵抗器 R_{sense} の第 1 の側と演算増幅器 U1 の負入力との間に結合される。抵抗器 R2 (例えば、1 キロオーム) が、抵抗器 R_{sense} の第 2 の側と演算増幅器 U1 の正入力との間に結合される。抵抗器 R3 (例えば、66.5 キロオーム) の第 1 の側が、演算増幅器 U1 の負入力に結合され、該抵抗器 R3 の第 2 の側が、電源 +V に結合される。抵抗器 R4 (例えば、66.5 キロオーム) が、演算増幅器 U1 の正端子と共通の接地との間に結合される。抵抗器 R5 (例えば、47 キロオーム) が、演算増幅器 U1 の出力と電源 VDD との間に結合される。抵抗器 R6 (例えば、1 キロオーム) が、演算増幅器 U1 の出力と、例えば、マイクロコントローラの入力 (図 2 に図示せず) などの外部装置との間に直列結合される。

【0010】

抵抗器 R1 及び R3 は、しきい値 $V_{th} (+V \cdot (R1 / (R1 + R3)))$ にほぼ等しいを設定する分圧器を形成する。短絡負荷線の傾斜は、次のアドミタンス: $Y = 1 / R_{limit}$ により近似される。しきい値電流対入力電圧の傾斜は、ほぼ $R1 / (R_{sense} \cdot R3)$ である。抵抗器 R1、R2、R3 及び R4 は、演算増幅器 U1 への差動入力を形成し、負荷電流が抵抗器 R_{sense} を通過するとき、抵抗器 R_{sense} の両端に生じる電圧を検出する。抵抗器 R5 は、演算増幅器の出力が低くないとき、VDD への演算増幅器 U1 の出力を引く。このように、抵抗器 R5 は、識別された論理レベルが外部装置 (例えば、マイクロコントローラ) の出力に与えられることを保証する。抵抗器 R6 の値は、演算増幅器 U1 の出力と外部装置の入力との間を絶縁するように選択される。コンデンサ C1 (例えば 270 pF) を演算増幅器 U1 の負入力及び正入力の両端に設け、高周波でコモンモード阻止を改善し、外部 RF 源に対する免疫を増大させることができ、このことが、誤った過電流の表示を引き起こすことがある。

【0011】

図 4 は、多数の条件についての、負荷電流と入力電圧 (すなわち、電源電圧) の関係を示す 4つの曲線の例示的なグラフを示す。定常電流曲線 408 は、例えば 15 秒といった所定時間の後、負荷が短絡しないときに定常電流を示す。最初の電流曲線 406 は、例え

10

20

30

40

50

ば、15ミリ秒の所定の時間で負荷が短絡しない場合の最初の曲線を示す。定常電流曲線402は、負荷R_{load}が短絡した場合の定常電流を示す。しきい値曲線404は、入力電圧が増加するときにしきい値V_{th}が定常電流曲線402をどのように追跡するかを示す。すなわち、曲線404は曲線402を追跡し、電源+Vによって与えられる入力電圧が9ボルトから16ボルトに変化するとき、短絡状態を検知することが可能になる。

【0012】

このことは、短絡負荷の検知を可能にしながら、しきい値V_{th}を定常電流曲線406より上に設定することを可能にする。400ミリアンペアの固定しきい値電流が選択された場合には、入力電圧が約10ボルトより下であったとき、短絡状態を検知することができないことを、図4のグラフから理解すべきである。電流検出回路200を用いることにより、並行していつ負荷が短絡するかを依然として検知し、適切な方法で応答しながら、駆動回路G1が、可変入力電圧にわたって負荷が要求する最大電流を送ることが可能になることを理解すべきである。

10

【0013】

図3は、本発明の別の実施形態による、電流検出回路300の電氣的概略を示す。電流検出回路300(図3の)は、付加的な抵抗器R7(例えば、330オーム)及びツェナーダイオードD1(例えば、12ボルトのツェナーダイオード)を除いて、電流検出回路(図2)と類似している。抵抗器R7は、抵抗器R3と電源+Vとの間に結合される。ツェナーダイオードD1のカソードは、抵抗器R3の第2の側に結合され、ダイオードD1のアノードは、共通の接地に結合される。電源+Vの出力レベルが変化するとき、しきい値V_{th}を電源+Vの値より下の固定値に制限するために、ツェナーダイオードD1が用いられる。抵抗器R7は、ツェナーダイオードD1を通して流れることのできるツェナー電流を制限するように働く。

20

【0014】

図5を参照すると、例示的なグラフ500が、図3の電流検出回路300についての負荷電流と入力電圧(すなわち、電源電圧)の間の関係を示す。定常電流曲線508は、例えば15秒といった所定時間後に負荷が短絡しないときの負荷電流と入力電圧との間の関係を示す。最初の電流曲線506は、例えば電力を加えた後、例えば15ミリ秒などの特定の時間で負荷が短絡しないときの、負荷電流と入力電圧との間の関係を示す。しきい値曲線504は、しきい値V_{th}を示し、しきい値V_{th}は、ツェナーダイオードD1が12ボルトで作動するまで定常電流曲線502に従う。これにより、最大しきい値V_{th}を設定する区分的線形連続関数をもたらされる。抵抗器R1、R3及びR_{sense}の適切な選択によって、駆動回路G1と同じ電流・電圧特性を本質的に有する電流・電圧の関係を生じさせることができることを理解すべきである。抵抗器R1、R3及びR_{sense}についての値を適切に選択することにより、他の傾斜を達成できることも理解すべきである。

30

【0015】

少なくとも1つの実施形態において、素子駆動回路には、定常電流の限界値をわずかに下回る過負荷を検知するように構成された障害保護が与えられる。少なくとも1つの実施形態において、素子駆動回路には、負荷が通常であり、システム電圧が過大なときの状態を検知するように構成された障害保護が与えられる。少なくとも1つの実施形態において、素子駆動回路には、定常電流の限界値をわずかに下回る過負荷を検知するように構成された障害保護、及び、負荷が通常であり、システム電圧が過大であるときの状態を検知するように構成された障害保護が与えられる。少なくとも1つの実施形態において、定常電流の限界値をわずかに下回る過負荷を検知し、かつ、負荷が通常であり、システム電圧が過大であるときの状態を検知するために、共有の障害保護回路が設けられる。少なくとも1つの実施形態において、障害保護の少なくとも一部は、ハードウェア及び/又はマイクロコントローラのファームウェアを用いて構成される。

40

【0016】

ここで図6を参照すると、少なくとも1つの外部素子が設計電圧より高い電圧源に不注

50

意に接続され、例えば、設計電圧を約1.2ボルト（公称）とすることができ、素子は、不注意に約1.2ボルト（公称）の車両源に短絡された、障害を防ぐように構成された外部素子シャント保護を有する外部素子接続638を含む素子駆動回路が示される。少なくとも1つの実施形態において、外部素子シャント保護は、端子638、667間に接続された第1の抵抗器657、端子667と接地との間に接続された第2の抵抗器658、及び端子651、667と接地との間に図6に示されるように接続された第1のトランジスタ659を含むように構成される。本明細書の他のところでもより詳細に説明されるように、マイクロコントローラへの少なくとも1つの入力を、例えば、端子614、616、618、624、638、それらの任意のサブコンビネーション又は組み合わせのような、「フィードバック」端子への接続を受けるように構成することができる。所望の値を表す値と比較することができる複数の入力を有するように、素子駆動回路を構成することができる。少なくとも1つの実施形態において、障害保護は、マイクロコントローラA/Dチャンネルを用いてファームウェア内に実装される。少なくとも1つの関連した実施形態において、PWMを用いてDAC機能が実装される。少なくとも1つの関連した実施形態において、PWM時定数が測定され、マイクロコントローラによってモデル化され、ターゲット電圧と実際の素子電圧の比較を行う。少なくとも1つの実施形態において、第3の抵抗器602が、端子601、603間に接続される。少なくとも1つの実施形態において、第4の抵抗器610が、端子609、611間に接続される。少なくとも1つの実施形態において、第5の抵抗器613が、端子612、614間に接続される。少なくとも1つの実施形態において、第6の抵抗器615が、端子614、616間に接続される。少なくとも1つの実施形態において、第7の抵抗器617が、端子616、618間に接続される。少なくとも1つの実施形態において、第8の抵抗器619が、端子603と接地との間に接続される。少なくとも1つの実施形態において、第9の抵抗器626が、端子604、660間に接続される。少なくとも1つの実施形態において、第10の抵抗器628が、端子607、624間に接続される。少なくとも1つの実施形態において、第11の抵抗器629が、端子661、662間に接続される。少なくとも1つの実施形態において、第12の抵抗器639が、端子660、638間に接続される。少なくとも1つの実施形態において、第13の抵抗器640が、端子641、638間に接続される。少なくとも1つの実施形態において、第14の抵抗器634が、端子664、663間に接続される。少なくとも1つの実施形態において、第15の抵抗器642が、端子665、655間に接続される。少なくとも1つの実施形態において、第16の抵抗器647が、端子646、651間に接続される。少なくとも1つの実施形態において、第17の抵抗器648が、電源電圧と端子655との間に接続される。少なくとも1つの実施形態において、第18の抵抗器654が、端子666と接地との間に接続される。少なくとも1つの実施形態において、第19の抵抗器656が、端子624、655間に接続される。少なくとも1つの実施形態において、第1のコンデンサ605が、端子604と接地との間に接続される。少なくとも1つの実施形態において、第2のコンデンサ606が、端子607、609間に接続される。少なくとも1つの実施形態において、第3のコンデンサ620が、端子603と接地との間に接続される。少なくとも1つの実施形態において、第4のコンデンサ621が、端子603、607間に接続される。少なくとも1つの実施形態において、第5のコンデンサ623が、端子618と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ627が、端子660、664間に接続される。少なくとも1つの実施形態において、第7のコンデンサ632が、端子665、660間に接続される。少なくとも1つの実施形態において、第8のコンデンサ635が、端子624、663間に接続される。少なくとも1つの実施形態において、第9のコンデンサ636が、端子624と接地との間に接続される。少なくとも1つの実施形態において、第10のコンデンサ643が、端子666、646間に接続される。少なくとも1つの実施形態において、第11のコンデンサ644が、端子641、666間に接続される。少なくとも1つの実施形態において、第12のコンデンサ649が、端子638、651の間に接続される。少なくとも1つの実施形態において、第13のコンデンサ652が

10

20

30

40

50

、端子638と接地との間に接続される。少なくとも1つの実施形態において、第14のコンデンサ653が、端子638と接地との間に接続される。少なくとも1つの実施形態において、第2のトランジスタ637が、端子624、663及び638の間に図示されるように接続される。少なくとも1つの実施形態において、第3のトランジスタ650が、端子638、651及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第1のデュアルダイオード625が、端子607、662間に図示されるように接続される。少なくとも1つの実施形態において、第2のデュアルダイオード630が、端子662、665及び641の間に図示されるように接続される。少なくとも1つの実施形態において、第1の演算増幅器608が、端子607、609、604、603及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第2の演算増幅器631が、端子660、665、604、664及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第3の演算増幅器645が、端子641、666、604、646及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、素子駆動トランジスタ622が、端子611、618及び624の間に図示されるように接続される。少なくとも1つの実施形態において、端子601は、所望の素子電圧を表すパルス幅変調信号接続として構成される。少なくとも1つの関連した実施形態において、パルス幅変調信号が、マイクロコントローラから与えられる。少なくとも1つの実施形態において、端子661は、所望の素子クリア状態を表す素子クリア信号接続として構成される。少なくとも1つの関連した実施形態において、クリア信号が、マイクロコントローラから与えられる。少なくとも1つの実施形態において、少なくとも1つの素子が、端子624に接続される。少なくとも1つの実施形態において、少なくとも1つの素子が、端子638に接続される。

【0017】

ここで図7を参照すると、少なくとも1つの外部素子が設計電圧より高い電圧源に不注意に接続され、例えば、設計電圧を約1.2ボルト（公称）とすることができ、素子は、不注意に約1.2ボルト（公称）の車両源に短絡された、障害を防ぐように構成された外部素子シャント保護を有する外部素子接続739を含む素子駆動回路が示される。少なくとも1つの実施形態において、外部素子シャント保護が、端子739、779間に接続された第1の抵抗器777、端子779と接地との間に接続された第2の抵抗器778、及び端子769、779及び接地の間に図7に示されるように接続された第1のトランジスタ659を含むように構成される。本明細書の他のところでもより詳細に説明されるように、マイクロコントローラへの少なくとも1つの入力を、例えば、端子786、724、736、738、739、769、それらの任意のサブコンビネーション又は組み合わせのような「フィードバック」端子への接続を受けるように構成することができる。所望の値を表す値と比較することができる複数の入力を有するように、素子駆動回路を構成することができる。少なくとも1つの実施形態において、障害保護は、マイクロコントローラA/Dチャンネルを用いてファームウェア内に実装される。少なくとも1つの関連した実施形態において、PWMを用いてDAC機能が実装される。少なくとも1つの関連した実施形態において、PWM時定数が測定され、マイクロコントローラによってモデル化され、ターゲット電圧と実際の素子電圧の比較を行う。少なくとも1つの実施形態において、比較器が、端子724、736に接続され、代替的な実施形態では、例えば、端子702、786又は端子786、738への接続が可能である。見て分かるように、比較器の実施形態は、端子724、734間に接続された第3の抵抗器725、端子703、783間に接続された第4の抵抗器726、端子703、730間に接続された第5の抵抗器727、端子730、729間に接続された第6の抵抗器728、端子734と接地との間に接続された第7の抵抗器732、端子736、783間に接続された第8の抵抗器735、端子734、783間に接続された第1のコンデンサ733、端子734、783、703、739と接地との間に図示されるように接続された第1の演算増幅器731を含む。少なくとも1つの実施形態において、端子729が、素子駆動電流監視接続として構成される。少なくとも1つの実施形態において、素子駆動電流監視装置が、マイクロコントロ

10

20

30

40

50

ーラへの入力として与えられる。少なくとも1つの実施形態において、素子過電圧及び素子電流障害保護が与えられる。少なくとも1つの実施形態において、素子過電圧及び素子電流障害保護の両方が、マイクロコントローラへの入力として構成される。少なくとも1つの実施形態において、比較器の出力は、障害が発生したことをマイクロコントローラに知らせる。少なくとも1つの実施形態において、少なくとも1つの実施形態における約400msの時間遅延の後、マイクロコントローラは、素子駆動回路のスイッチを切り、直列抵抗器及び素子駆動トランジスタを冷却することを可能にする。少なくとも1つの実施形態において、ある時間遅延の後、少なくとも1つの実施形態においては付加的な時間遅延の後、及び少なくとも1つの実施形態においては約4sの後、素子駆動回路が、再び使用可能にされる。少なくとも1つの実施形態において、素子駆動回路は、障害がクリアされるまでこのサイクルを続けるように構成され、他の実施形態においては、インジケータが作動され、素子駆動回路は、障害がクリアされるまで使用不能にされる。少なくとも1つの実施形態において、第9の抵抗器704が、端子701、749間に接続される。少なくとも1つの実施形態において、第10の抵抗器705が、端子701、781間に接続される。少なくとも1つの実施形態において、第11の抵抗器709が、端子708、784間に接続される。少なくとも1つの実施形態において、第12の抵抗器711が、端子784と接地との間に接続される。少なくとも1つの実施形態において、第13の抵抗器715が、端子781、782間に接続される。少なくとも1つの実施形態において、第14の抵抗器716が、端子702、786間に接続される。少なくとも1つの実施形態において、第15の抵抗器721抵抗器が、端子724、736間に接続される。少なくとも1つの実施形態において、第16の抵抗器722が、端子724、736間に接続される。少なくとも1つの実施形態において、第17の抵抗器723が、端子724、736間に接続される。少なくとも1つの実施形態において、第18の抵抗器741が、端子740、710間に接続される。少なくとも1つの実施形態において、第19の抵抗器746が、端子744、764間に接続される。少なくとも1つの実施形態において、第20の抵抗器751が、端子720、738間に接続される。少なくとも1つの実施形態において、第21の抵抗器752が、端子701、759間に接続される。少なくとも1つの実施形態において、第22の抵抗器755が、端子785、754間に接続される。少なくとも1つの実施形態において、第23の抵抗器758が、端子757、759間に接続される。少なくとも1つの実施形態において、第24の抵抗器768が、端子766、769間に接続される。少なくとも1つの実施形態において、第25の抵抗器772が、端子773、774間に接続される。少なくとも1つの実施形態において、第26の抵抗器775が、端子776と接地との間に接続される。少なくとも1つの実施形態において、第27の抵抗器776が、端子764、738間に接続される。少なくとも1つの実施形態において、第2のコンデンサ706が、端子701と接地との間に接続される。少なくとも1つの実施形態において、第3のコンデンサ712が、端子784と接地との間に接続される。少なくとも1つの実施形態において、第4のコンデンサ714が、端子784、720間に接続される。少なくとも1つの実施形態において、第5のコンデンサ717が、端子786と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ719が、端子781、720間に接続される。少なくとも1つの実施形態において、第7のコンデンサ748が、端子701、744間に接続される。少なくとも1つの実施形態において、第8のコンデンサ750が、端子701、785間に接続される。少なくとも1つの実施形態において、第9のコンデンサ753が、端子738、754間に接続される。少なくとも1つの実施形態において、第10のコンデンサ756が、端子764、766間に接続される。少なくとも1つの実施形態において、第11のコンデンサ761が、端子739と接地との間に接続される。少なくとも1つの実施形態において、第12のコンデンサ762が、端子739と接地との間に接続される。少なくとも1つの実施形態において、第13のコンデンサ763が、端子739と接地との間に接続される。少なくとも1つの実施形態において、第14のコンデンサ765が、端子764、766間に接続される。少なくとも1つの実施形態において、第15のコンデンサ6

10

20

30

40

50

70が、端子739、769間に接続される。少なくとも1つの実施形態において、第2のトランジスタ760が、端子738、739及び754の間に図示されるように接続される。少なくとも1つの実施形態において、第3のトランジスタ771が、端子759、769及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第1のダイオード707が、端子710、720間に図示されるように接続される。少なくとも1つの実施形態において、第2のダイオード742が、端子710、745間に図示されるように接続される。少なくとも1つの実施形態において、第3のダイオード743が、端子710、745間に図示されるように接続される。少なくとも1つの実施形態において、第4のダイオード737が、端子736、738間に図示されるように接続される。少なくとも1つの実施形態において、第2の演算増幅器713が、端子749、784、701、781及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第3の演算増幅器747が、端子749、744、701、785及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第4の演算増幅器767が、端子764、745、701、766及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、素子駆動トランジスタ718が、端子786、782及び724の間に図示されるように接続される。少なくとも1つの実施形態において、端子708が、所望の素子電圧を表すパルス幅変調信号接続として構成される。少なくとも1つの関連する実施形態において、パルス幅変調信号は、マイクロコントローラからもたらされる。少なくとも1つの実施形態において、端子740が、所望の素子クリア状態を表す素子クリア信号接続として構成される。少なくとも1つの関連した実施形態において、クリア信号が、マイクロコントローラから与えられる。少なくとも1つの実施形態において、少なくとも1つの素子が、端子738に接続される。少なくとも1つの実施形態において、少なくとも1つの素子が、端子739に接続される。

【0018】

図8を参照すると、実際の素子電圧フィードバックを有する素子駆動回路が示される。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、端子836、807間に接続された第1の抵抗器816を介して与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックが与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックは、端子810を介して与えられる。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、マイクロコントローラ804への入力として構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、マイクロコントローラへの入力として構成される。少なくとも1つの実施形態において、実際の素子電流及び電圧の両方が、マイクロコントローラ804への入力として与えられる。少なくとも1つの実施形態において、端子836が、素子接続として構成される。少なくとも1つの実施形態において、素子駆動トランジスタ832が、端子823、833及び845の間に図示されるように接続される。少なくとも1つの実施形態において、実際の素子電流フィードバックが、端子806、810、846の間に接続された第1のトランジスタ818、端子810と接地との間に接続された第2の抵抗器819、端子846、823間に接続された第3の抵抗器820の間に、図示されるように接続される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、「ドロッピング抵抗器」、すなわち端子806、823間に接続された第4の抵抗器822の両端の電圧降下を検知するように構成される。少なくとも1つの実施形態において、第5の抵抗器825が、端子823、830間に接続される。少なくとも1つの実施形態において、第6の抵抗器829が、端子847、830間に接続される。少なくとも1つの実施形態において、第7の抵抗器831が、端子830、845間に接続される。少なくとも1つの実施形態において、第8の抵抗器838が、端子812、839間に接続される。少なくとも1つの実施形態において、端子812が、少なくとも1つの素子を「短絡させる」ためのマイクロコントローラの出力として構成され、このことは、素子の保護、素子の制御、素子のクリア、それらのサブコンビネーション又は組み合わせをもたらす。少なくとも1つの実施形態において、発振器クロック回路が、端子809と接地との間に接

10

20

30

40

50

続された第2のコンデンサ814、端子808と接地との間に接続された第3のコンデンサ815、端子808、809間に接続されたコイル813を有するように構成される。少なくとも1つの実施形態において、発振器クロック回路が、端子808、809により、図示されるようにマイクロコントローラ804に接続される。少なくとも1つの実施形態において、第1のコンデンサ805が、端子806と接地との間に接続される。少なくとも1つの実施形態において、端子806が、電源接続を定める端子821に接続される。少なくとも1つの実施形態において、第4のコンデンサ817が、端子811、847間に接続される。少なくとも1つの実施形態において、第5のコンデンサ824が、端子821と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ827が、端子823と接地との間に接続される。少なくとも1つの実施形態において、第7のコンデンサ842が、端子835と接地との間に接続される。少なくとも1つの実施形態において、第8のコンデンサ842が、端子835と接地との間に接続される。少なくとも1つの実施形態において、第9のコンデンサ844が、端子836と接地との間に接続される。少なくとも1つの実施形態において、チョーク837が、端子835、836間に接続される。少なくとも1つの実施形態において、インダクタ834が、端子833、835間に接続される。少なくとも1つの実施形態において、ダイオード826が、端子823、830間に接続される。少なくとも1つの実施形態において、ツェナーダイオード841が、端子833と接地との間に接続される。少なくとも1つの実施形態において、端子801が、マイクロコントローラ804への通信接続として構成される。少なくとも1つの実施形態において、マイクロコントローラ804は、端子802上で周辺光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラ804は、端子803上でグレア光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラは、接地接続を有するように構成される。

【0019】

図9は、実際の素子電圧フィードバックを有する素子駆動回路を示す。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、端子907、922間に接続された第1の抵抗器916を介して与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックが与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックは、端子910を介して与えられる。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、マイクロコントローラ904への入力として構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、マイクロコントローラへの入力として構成される。少なくとも1つの実施形態において、実際の素子電流及び電圧の両方が、マイクロコントローラ904への入力として与えられる。少なくとも1つの実施形態において、端子948が、素子接続として構成される。少なくとも1つの実施形態において、素子駆動トランジスタ936が、端子906、935及び940の間に図示されるように接続される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、端子906、950、910の間に図示されるように接続された第1のトランジスタ917、端子910と接地との間に接続された第2の抵抗器927、端子950、919間に接続された第3の抵抗器918、端子906、919、923の間に接続された第2のトランジスタ921、及び端子923、943間に接続された第9の抵抗器924を有するように構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、「ドロッピング抵抗器」、すなわち端子943、922間に接続された第4の抵抗器945の両端の電圧降下を検知するように構成される。少なくとも1つの実施形態において、第5の抵抗器928が、端子906、933間に接続される。少なくとも1つの実施形態において、第6の抵抗器932が、端子931、933間に接続される。少なくとも1つの実施形態において、第7の抵抗器934が、端子933、935間に接続される。少なくとも1つの実施形態において、第8の抵抗器937が、端子912、938間に接続される。少なくとも1つの実施形態において、端子912が、少なくとも1つの素子を「短絡させる」ためのマイクロコントローラの出力として

10

20

30

40

50

構成され、このことは、素子の保護、素子の制御、素子のクリア、それらのサブコンビネーション又は組み合わせをもたらす。少なくとも1つの実施形態において、発振器クロック回路が、端子909と接地との間に接続された第2のコンデンサ951、端子908と接地との間に接続された第3のコンデンサ952、及び端子908、909間に接続されたコイル950を有するように構成される。少なくとも1つの実施形態において、発振器クロック回路は、端子908、909により図示されるようにマイクロコントローラ904に接続される。少なくとも1つの実施形態において、第1のコンデンサ905が、端子906と接地との間に接続される。少なくとも1つの実施形態において、端子906が、電源接続を定める端子915に接続される。少なくとも1つの実施形態において、第4のコンデンサ930が、端子911、931間に接続される。少なくとも1つの実施形態において、第5のコンデンサ920が、端子915と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ925が、端子915と接地との間に接続される。少なくとも1つの実施形態において、第7のコンデンサ944が、端子943と接地との間に接続される。少なくとも1つの実施形態において、第8のコンデンサ946が、端子922と接地との間に接続される。少なくとも1つの実施形態において、第9のコンデンサ949が、端子848と接地との間に接続される。少なくとも1つの実施形態において、チョーク947が、端子922、948間に接続される。少なくとも1つの実施形態において、インダクタ942が、端子940、943間に接続される。少なくとも1つの実施形態において、ダイオード929が、端子915、933間に接続される。少なくとも1つの実施形態において、ツェナーダイオード941が、端子940と接地との間に接続される。少なくとも1つの実施形態において、端子901が、マイクロコントローラ904への通信接続として構成される。少なくとも1つの実施形態において、マイクロコントローラ904が、端子902上で周辺光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラ804は、端子903上でグレア光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラが、接地接続を有するように構成される。

【0020】

図10を参照すると、実際の素子電圧フィードバックを有する素子駆動回路が示される。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、端子1007、1035間に接続された第1の抵抗器1016を介して与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックが与えられる。少なくとも1つの実施形態において、実際の電流フィードバックは、端子1010を介して与えられる。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、マイクロコントローラ1004への入力として構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、マイクロコントローラへの入力として構成される。少なくとも1つの実施形態において、実際の素子電流及び電圧の両方が、マイクロコントローラ1004への入力として与えられる。少なくとも1つの実施形態において、端子1037が、素子接続として構成される。少なくとも1つの実施形態において、素子駆動トランジスタ1028が、端子1020、1027、1029の間に図示されるように接続される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、端子1006、1010、1022の間に図示されるように接続された第1のトランジスタ1021、端子1010と接地との間に接続された第2の抵抗器1024、及び端子1022、1020間に接続された第3の抵抗器1023を有するように構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、「ドロッピング抵抗器」、すなわち端子1006、1020間に接続された第4の抵抗器1018の両端の電圧降下を検知するように構成される。少なくとも1つの実施形態において、第6の抵抗器1026が、端子1011、1027間に接続される。少なくとも1つの実施形態において、第8の抵抗器1030が、端子1012、1031間に接続される。少なくとも1つの実施形態において、端子1012が、少なくとも1つの素子を「短絡させる」ためのマイクロコントローラの出力として構成され、このことは、素子の保護、素子の制御、素子のクリア、それらのサブコン

10

20

30

40

50

ビネーション又は組み合わせをもたらす。少なくとも1つの実施形態において、発振器クロック回路が、端子1009と接地との間に接続された第2のコンデンサ1014、端子1008と接地との間に接続された第3のコンデンサ1015、及び端子1008、1009間に接続されたコイル1013を有するように構成される。少なくとも1つの実施形態において、発振器クロック回路が、端子1008、1009により図示されるようにマイクロコントローラ1004に接続される。少なくとも1つの実施形態において、第1のコンデンサ1005が、端子1006と接地との間に接続される。少なくとも1つの実施形態において、端子1006が、電源接続を定める端子1017に接続される。少なくとも1つの実施形態において、第5のコンデンサ1019が、端子1017と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ1025が、端子1020と接地との間に接続される。少なくとも1つの実施形態において、第7のコンデンサ1038が、端子1035と接地との間に接続される。少なくとも1つの実施形態において、第8のコンデンサ1039が、端子1035と接地との間に接続される。少なくとも1つの実施形態において、第9のコンデンサ1040が、端子1037と接地との間に接続される。少なくとも1つの実施形態において、チョーク1036が、端子1035、1037間に接続される。少なくとも1つの実施形態において、インダクタ1034が、端子1029、1035間に接続される。少なくとも1つの実施形態において、ツェナーダイオード1033が、端子1029と接地との間に接続される。少なくとも1つの実施形態において、端子1001が、マイクロコントローラ1004への通信接続として構成される。少なくとも1つの実施形態において、マイクロコントローラ1004が、端子1002上で周辺光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラ1004が、端子1003上でグレア光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラが、接地接続を有するように構成される。

【0021】

図11を参照すると、実際の素子電圧フィードバックを有する素子駆動回路が示される。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、端子1142、1107間に接続された第1の抵抗器1116を介して与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックが与えられる。少なくとも1つの実施形態において、実際の素子電流フィードバックは、端子1110を介して与えられる。少なくとも1つの実施形態において、実際の素子電圧フィードバックは、マイクロコントローラ1104への入力として構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、マイクロコントローラへの入力として構成される。少なくとも1つの実施形態において、実際の素子電流及び電圧の両方が、マイクロコントローラ1104への入力として与えられる。少なくとも1つの実施形態において、端子1146が、素子接続として構成される。少なくとも1つの実施形態において、素子駆動トランジスタ1134が、端子1128、1133、1135の間に図示されるように接続される。少なくとも1つの実施形態において、実際の素子電流フィードバックが、端子1106、1110、1120の間に図示されるように接続された第1のトランジスタ1119、端子1110と接地との間に接続された第2の抵抗器1125、及び端子1120、1123の間に接続された第3の抵抗器1121を有するように構成される。少なくとも1つの実施形態において、実際の素子電流フィードバックは、「ドロッピング抵抗器」、すなわち端子1106、1123間に接続された第4の抵抗器1122の両端の電圧降下を検知するように構成される。少なくとも1つの実施形態において、第5の抵抗器1126が、端末1128、1131間に接続される。少なくとも1つの実施形態において、第6の抵抗器1130が、端子1165、1131間に接続される。少なくとも1つの実施形態において、第7の抵抗器1132が、端子1131、1133間に接続される。少なくとも1つの実施形態において、第8の抵抗器1137が、端子1112、1138間に接続される。少なくとも1つの実施形態において、端子1112が、少なくとも1つの素子を「短絡させる」ためのマイクロコントローラの出力として構成され、このことは、素子の保護、素子

10

20

30

40

50

の制御、素子のクリア、それらのサブコンビネーション又は組み合わせをもたらす。少なくとも1つの実施形態において、発振器クロック回路が、端子1109と接地との間に接続された第2のコンデンサ1114、端子1108と接地との間に接続された第3のコンデンサ1115、及び端子1108、1109間に接続されたコイル1113を有するように構成される。少なくとも1つの実施形態において、発振器クロック回路が、端子1108、1109により図示されるようにマイクロコントローラ1104に接続される。少なくとも1つの実施形態において、第1のコンデンサ1105が、端子1106と接地との間に接続される。少なくとも1つの実施形態において、端子1106が、電源接続を定める端子1118に接続される。少なくとも1つの実施形態において、第4のコンデンサ1117が、端子1111、1165間に接続される。少なくとも1つの実施形態において、第5のコンデンサ1124が、端子1118と接地との間に接続される。少なくとも1つの実施形態において、第6のコンデンサ1129が、端子1128と接地との間に接続される。少なくとも1つの実施形態において、第7のコンデンサ1143が、端子1142と接地との間に接続される。少なくとも1つの実施形態において、第8のコンデンサ1144が、端子1142と接地との間に接続される。少なくとも1つの実施形態において、第9のコンデンサ1147が、端子1146と接地との間に接続される。少なくとも1つの実施形態において、チョーク1145が、端子1142、1146間に接続される。少なくとも1つの実施形態において、インダクタ1136が、端子1135、1142間に接続される。少なくとも1つの実施形態において、ダイオード1126が、端子1128、1131間に接続される。少なくとも1つの実施形態において、ツェナーダイオード1141が、端子1135と接地との間に接続される。少なくとも1つの実施形態において、端子1101が、マイクロコントローラ1104への通信接続として構成される。少なくとも1つの実施形態において、マイクロコントローラ1104が、端子1102上で周辺光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラ1104が、端子1103上でグレア光信号を受けるように構成される。少なくとも1つの実施形態において、マイクロコントローラが、接地接続を有するように構成される。少なくとも1つの実施形態において、素子駆動トランジスタの両端の電圧が測定される。少なくとも1つの実施形態において、少なくとも1つのドロッピング抵抗器の両端の電圧降下によって増大される素子駆動トランジスタ電圧降下は、素子駆動トランジスタにおける電力損失に比例する。少なくとも1つの実施形態において、駆動トランジスタの電力損失に限界値が設定される。少なくとも1つの関連した実施形態において、高い車両バス電圧で生じる「ソフト短絡」についての障害保護すなわち過負荷が検知可能である。少なくとも1つの実施形態において、素子駆動トランジスタ及び/又は少なくとも1つのドロッピング抵抗器についての電力限界値を固定するか、又はEEPROM内に格納された定数を較正することができる。少なくとも1つの実施形態において、素子駆動トランジスタ及び/又は少なくとも1つのドロッピング抵抗器の熱時定数が、電力限界値をさらに適合させるようにモデル化される。入力として使用可能な温度を有するシステムの周囲温度の関数として、対応する限界値を調整することができる。少なくとも1つの実施形態において、集積回路1150が、端子1139、1148、1166、1164及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第10のコンデンサ1157が、端子1164と接地との間に接続される。少なくとも1つの実施形態において、第9の抵抗器1156が、端子1148、1164間に接続される。少なくとも1つの実施形態において、演算増幅器が、端子1166、1149、1160、1162及び接地の間に図示されるように接続される。少なくとも1つの実施形態において、第10の抵抗器1159が、端子1149、1160間に接続される。少なくとも1つの実施形態において、第11の抵抗1161が、端子1160と接地との間に接続される。少なくとも1つの実施形態において、第12の抵抗器が、端子1142、1162間に接続される。少なくとも1つの実施形態において、端子1148、1149が接続され、電源接続を形成する。

【0022】

10

20

30

40

50

本明細書に説明される障害保護回路のいずれかをクラスD素子駆動回路、スイッチング素子駆動回路、線形素子駆動回路、アナログ素子駆動回路、及びデジタル駆動回路と組み合わせ使用できることを理解すべきである。電流は、抵抗器、電流検出MOSFET（IR Sense fet、又は均等物）或いは変流器を介して検出できることを理解すべきである。入力電圧の関数として、電流制限しきい値を調整することが望ましい。少なくとも1つの実施形態において、素子駆動回路が、図10に示されるようなマイクロコントローラの障害から保護される。本明細書に説明されるものに加えて、紛失パルス検知器のような他の方法を障害保護のために用い得ることも理解すべきである。

【0023】

したがって、障害保護を有する素子駆動回路が、ここに説明された。少なくとも1つの実施形態において、素子駆動回路には、駆動電流を負荷にもたらず、電源の電圧レベルに応じて変化する可変しきい値が与えられる。本明細書に説明されるように、電流検出回路の少なくとも部分が、プログラム式マイクロコントローラ、プログラム式マイクロプロセッサ、特定用途向け集積回路、それらの組み合わせ、それらのサブコンビネーション等のような、制御回路などの個々の装置以外の形態で具体化することができることを理解すべきである。

10

【0024】

上記の説明は、好ましい実施形態の説明にすぎないと考えられる。当業者及び本発明を製造又は使用する人であれば、本発明の修正が思い浮かぶであろう。したがって、図面に示され、上述された実施形態は、説明のためのものであり、本発明の範囲を制限するように意図されるものではなく、均等論を含む特許法の原理に従って解釈されるような上記の特許請求の範囲によって定義されることが理解される。

20

【図面の簡単な説明】

【0025】

【図1】駆動回路により負荷に与えられた駆動電流を監視するための電流検出回路の電氣的ブロック図である。

【図2】本発明の1つの実施形態による、例示的な電流検出回路の電氣的概略である。

【図3】本発明の別の実施形態による、電流検出回路の例示的な電氣的概略である。

【図4】図2の回路についての入力電圧の関数として負荷電流を示すグラフである。

【図5】図3の回路についての入力電圧の関数として負荷電流を示すグラフである。

30

【図6】電流検出を有する素子駆動回路を示す。

【図7】電流検出を有する素子駆動回路を示す。

【図8】障害保護を有する素子駆動回路を示す。

【図9】障害保護を有する素子駆動回路を示す。

【図10】障害保護を有する素子駆動回路を示す。

【図11】障害保護及び過電圧保護を有する素子駆動回路を示す。

【図 1】

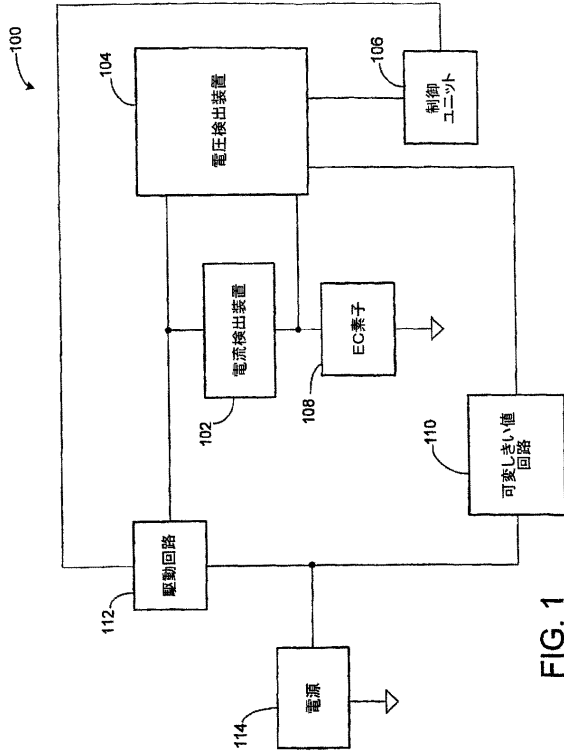


FIG. 1

【図 2】

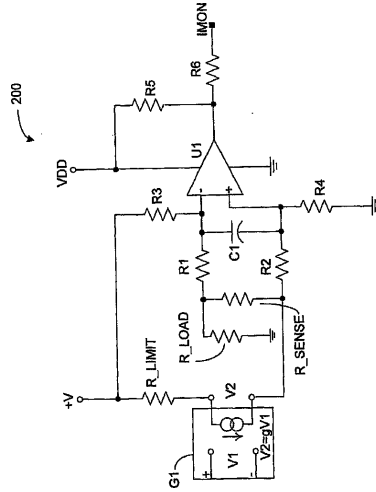


FIG. 2

【図 3】

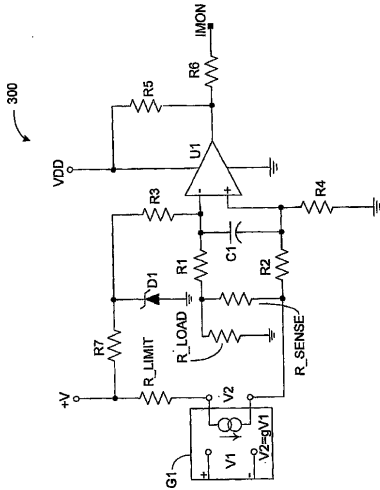


FIG. 3

【図 4】

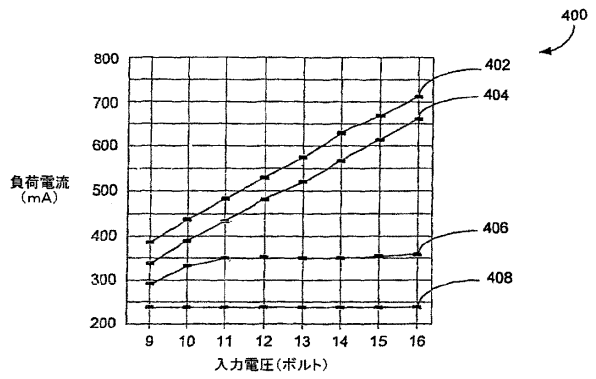


FIG. 4

【図5】

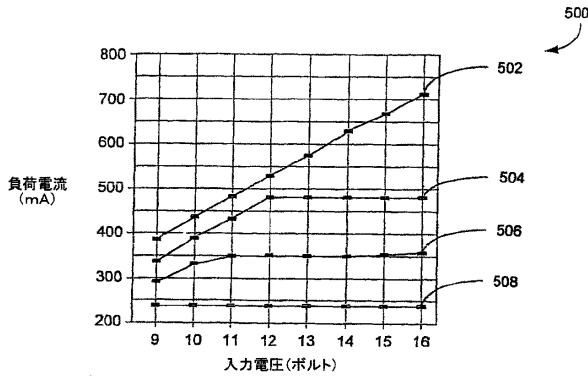


FIG. 5

【図6】

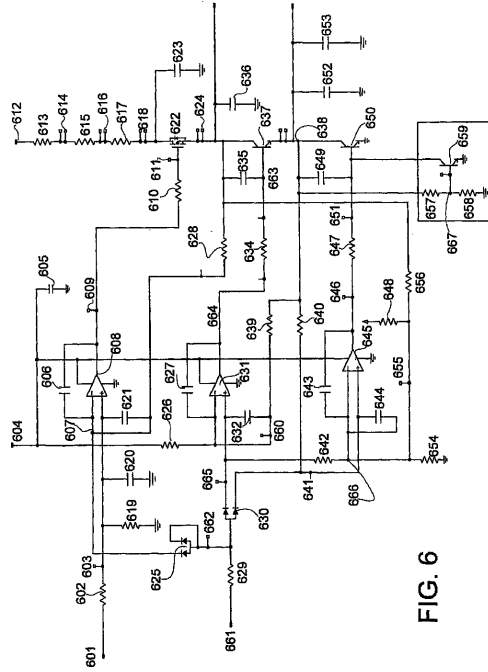


FIG. 6

【図7】

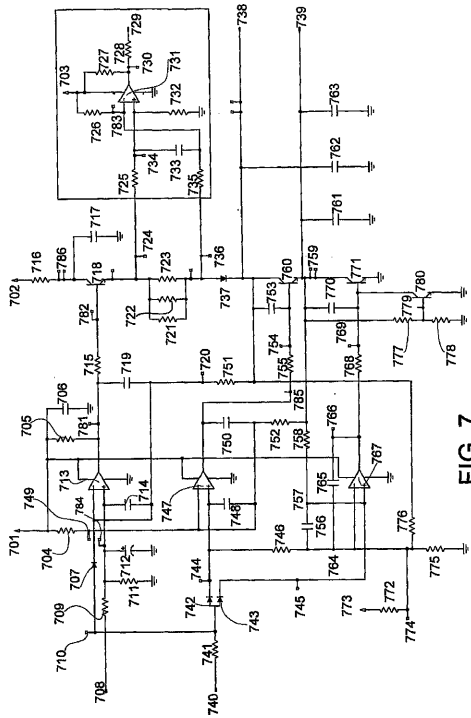


FIG. 7

【図8】

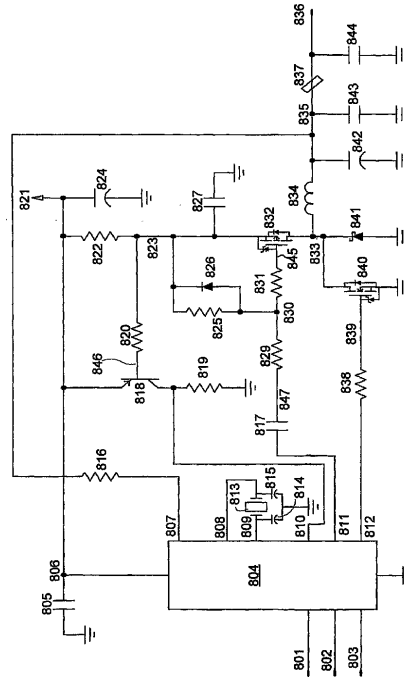


FIG. 8

【 図 9 】

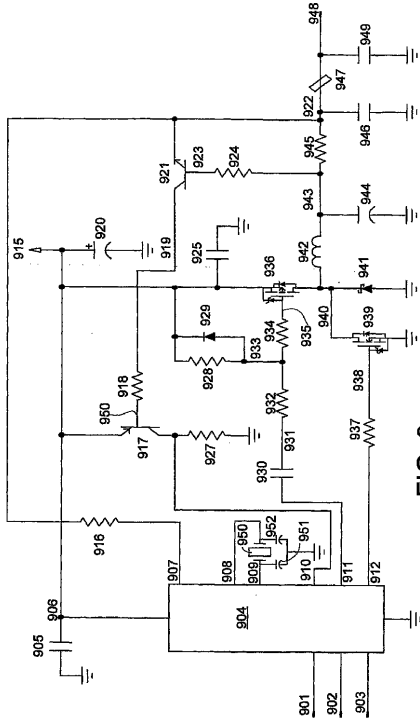


FIG. 9

【 図 10 】

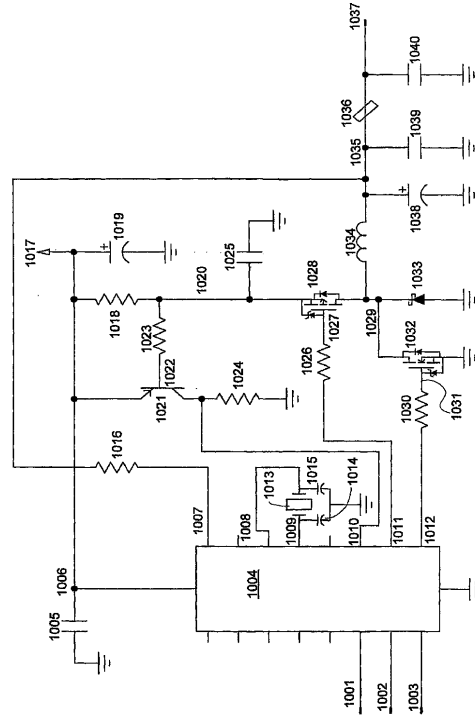


FIG. 10

【 図 11 】

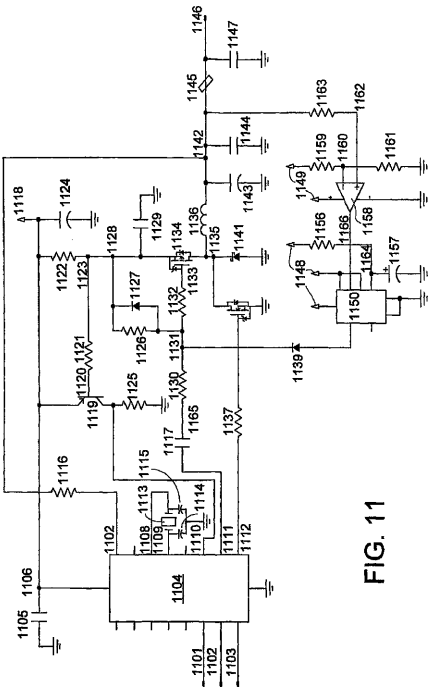


FIG. 11

フロントページの続き

- (72)発明者 ターンブル ロバート アール
アメリカ合衆国 ミシガン州 49424 ホーランド ヴァーメイ ドライヴ 3950
- (72)発明者 ポー ジー ブルース
アメリカ合衆国 ミシガン州 49419 ハミルトン フォーティセカンド ストリート 3175
- (72)発明者 フレンド ティモシー アール
アメリカ合衆国 ミシガン州 49418 グランドヴィル サウスウェスト ポート シェルドン 100
- (72)発明者 マート グレゴリー エイ
アメリカ合衆国 ミシガン州 49464 ジーランド リヴァー ブラッフ コート 1308
- (72)発明者 ミーコフ ディヴィッド エイ
アメリカ合衆国 ミシガン州 49504 グランド ラピッズ ノースウェスト メイナード 225

審査官 仲間 晃

- (56)参考文献 特表2003-503003(JP,A)
米国特許出願公開第2004/0070907(US,A1)
特開昭63-212809(JP,A)
特開昭63-261231(JP,A)
特開平05-026912(JP,A)
特開平06-074981(JP,A)
特開平08-061048(JP,A)
特開平08-296365(JP,A)
特開平09-009145(JP,A)
特開2001-333526(JP,A)
特開2003-209921(JP,A)
特表2001-519041(JP,A)
実開平01-037135(JP,U)
米国特許第03013215(US,A)
米国特許第05400206(US,A)
米国特許第06469882(US,B1)
米国特許出願公開第2003/0086229(US,A1)

(58)調査した分野(Int.Cl., DB名)

H02H 3/08
G02F 1/163
G05F 1/10