



(12) 发明专利

(10) 授权公告号 CN 111933685 B

(45) 授权公告日 2022. 09. 09

(21) 申请号 202010591568.0

H01L 21/336 (2006.01)

(22) 申请日 2020.06.24

(56) 对比文件

(65) 同一申请的已公布的文献号

JP 2005191241 A, 2005.07.14

申请公布号 CN 111933685 A

CN 102468327 A, 2012.05.23

US 2019081165 A1, 2019.03.14

(43) 申请公布日 2020.11.13

TW 200746432 A, 2007.12.16

(73) 专利权人 株洲中车时代半导体有限公司

审查员 肖玲

地址 412001 湖南省株洲市石峰区田心高

科园半导体三线办公大楼三楼309室

(72) 发明人 王亚飞 陈喜明 李诚瞻 罗海辉

(74) 专利代理机构 北京聿宏知识产权代理有限公司

公司 11372

专利代理师 吴大建 金淼

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

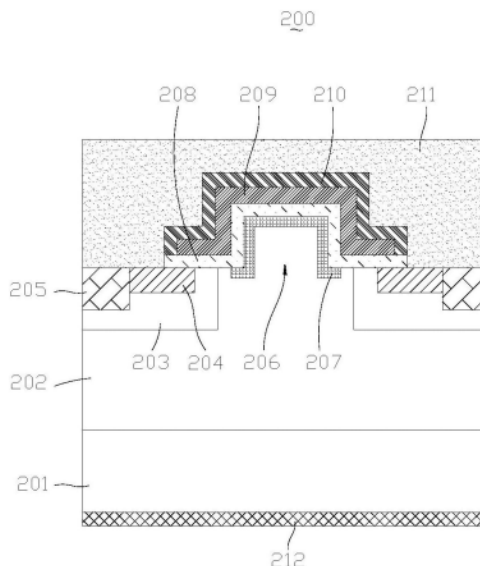
权利要求书2页 说明书8页 附图5页

(54) 发明名称

碳化硅MOSFET器件的元胞结构、其制备方法
及碳化硅MOSFET器件

(57) 摘要

本公开提供一种碳化硅MOSFET器件的元胞结构、其制备方法及碳化硅MOSFET器件,所述元胞结构包括:位于所述衬底上方的第一导电类型漂移层;其中,在元胞结构两侧,于所述漂移层表面向下设置有侧部沟槽,以在所述漂移层表面于所述元胞结构中心位置形成凸台;位于所述侧部沟槽下方的第二导电类型阱区;位于所述阱区表面内的第一导电类型源区;设置于所述漂移层内,且位于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方的第二导电类型屏蔽区。屏蔽区的加入,可大幅降低阻断态下器件的栅极氧化层的电场应力,大幅提高长期使用的可靠性。而且屏蔽区对器件导通特性的影响很小,可实现良好的栅极氧化层的电场应力和导通电阻之间的折中关系。



1. 一种碳化硅MOSFET器件的元胞结构,其特征在于,包括:

第一导电类型碳化硅衬底;

位于所述衬底上方的第一导电类型漂移层;其中,在元胞结构两侧,于所述漂移层表面向下设置有侧部沟槽,以在所述漂移层表面于所述元胞结构中心位置形成凸台;

设置于所述漂移层内且位于所述侧部沟槽下方的第二导电类型阱区;其中,所述侧部沟槽的底部靠近所述凸台的一侧未被所述阱区完全覆盖;

位于所述阱区表面内的第一导电类型源区;其中,所述阱区表面靠近所述凸台的一侧未被所述源区完全覆盖;

设置于所述漂移层内,且位于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方的第二导电类型屏蔽区;其中,所述屏蔽区不与所述阱区接触;

位于所述漂移层上方,且覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层;

位于所述栅极氧化层上方的栅极。

2. 根据权利要求1所述的碳化硅MOSFET器件的元胞结构,其特征在于,所述侧部沟槽的深度为0.5至1.0 μm ;和/或

所述屏蔽区的离子掺杂浓度大于 $5\text{E}17\text{ cm}^{-3}$,所述屏蔽区的深度大于0.2 μm 。

3. 根据权利要求1所述的碳化硅MOSFET器件的元胞结构,其特征在于,还包括:

与所述源区并排设置于所述阱区表面内且与所述源区远离所述凸台的一端接触的第二导电类型增强区;

其中,所述增强区的离子掺杂浓度大于所述阱区的离子掺杂浓度。

4. 根据权利要求3所述的碳化硅MOSFET器件的元胞结构,其特征在于,还包括:

位于所述源区和所述增强区上方且同时与所述源区和所述增强区形成欧姆接触的源极金属层;

位于所述衬底下方并与所述衬底形成欧姆接触的漏极金属层;

其中,所述栅极通过层间介质层与所述源极金属层隔离。

5. 一种碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,包括:

提供第一导电类型碳化硅衬底;

在所述衬底上方形成第一导电类型漂移层;

在所述漂移层表面于元胞结构的两侧形成侧部沟槽,以在所述漂移层表面于所述元胞结构中心位置形成凸台;

在所述漂移层内于所述侧部沟槽下方形成第二导电类型阱区;其中,所述侧部沟槽的底部靠近所述凸台的一侧未被所述阱区完全覆盖;

在所述阱区表面内形成第一导电类型源区;其中,所述阱区表面靠近所述凸台的一侧未被所述源区完全覆盖;

在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区;其中,所述屏蔽区不与所述阱区接触;

在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层;

在所述栅极氧化层上方形成栅极。

6. 根据权利要求5所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区,包括以下步骤:

在所述侧部沟槽底部形成覆盖所述阱区的掩膜层;

通过旋转注入的方式,注入第二导电类型的高能离子到所述漂移层内,以在所述凸台的顶部和侧壁以及未被所述掩膜层遮盖的所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区;

去除所述掩膜层。

7. 根据权利要求6所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,所述旋转注入的注入倾角为 30° 至 60° 。

8. 根据权利要求5所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层,包括以下步骤:

对所述漂移层表面进行牺牲氧化处理;

在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层。

9. 根据权利要求8所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,对所述漂移层表面进行牺牲氧化处理,包括以下步骤:

对所述漂移层表面进行热氧化,以形成牺牲氧化层;

通过湿法刻蚀将所述牺牲氧化层去除。

10. 根据权利要求5所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,所述在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区的步骤之前,还包括以下步骤:

在所述阱区表面内形成与所述源区并排设置,且与所述源区远离所述凸台的一端接触的第二导电类型增强区;

其中,所述增强区的离子掺杂浓度大于所述阱区的离子掺杂浓度。

11. 根据权利要求10所述的碳化硅MOSFET器件的元胞结构的制备方法,其特征在于,所述在所述栅极氧化层上方形成栅极的步骤之后,还包括以下步骤:

在所述栅极上方形成覆盖所述栅极的层间介质层;

在所述源区和所述增强区上方形成同时与所述源区和所述增强区形成欧姆接触的源极金属层;其中,所述栅极通过所述层间介质层与所述源极金属层隔离;

在所述衬底下方形成与所述衬底欧姆接触的漏极金属层。

12. 一种碳化硅MOSFET器件,其特征在于,包括若干如权利要求1至4任一项所述的碳化硅MOSFET器件的元胞结构。

碳化硅MOSFET器件的元胞结构、其制备方法及其碳化硅MOSFET器件

技术领域

[0001] 本公开涉及半导体器件技术领域，具体涉及一种碳化硅MOSFET器件的元胞结构、其制备方法及其碳化硅MOSFET器件。

背景技术

[0002] 碳化硅(SiC)是新型宽禁带半导体材料，具有出色的物理、化学和电性能。碳化硅的击穿电场强度是传统硅的10倍，导热率是硅的3倍，且具有更高的开关频率，可减小电路中储能元件的损耗和体积。理论上，SiC器件可以在600℃以上的高温环境下工作，且具有优异的抗辐射性能，大大提高了其高温稳定性。这使得基于碳化硅的功率半导体器件，在大功率和高温应用环境中非常具有吸引力和应用前景。其中，碳化硅金属氧化物半导体场效应管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)具有低导通电阻、开关速度快、耐高温等特点，在高压变频、新能源汽车、轨道交通等领域具有巨大的应用优势。

[0003] 碳化硅功率器件在阻断状态时，由于碳化硅材料的高击穿电场，相对于硅器件，碳化硅功率器件的栅氧层承受着更高的电场应力，不利于器件使用的长期可靠性。传统的碳化硅MOSFET器件的元胞结构，如图1所示，其为平面栅结构，主要依靠缩短阱区103之间的距离，即缩短JFET区105的宽度来降低阻断态时栅极氧化层107的电场应力，这通常会损害器件的通流能力，导致芯片的导通电阻增大、导通损耗增大。

发明内容

[0004] 针对上述问题，本公开提供了一种碳化硅MOSFET器件的元胞结构、其制备方法及其碳化硅MOSFET器件，解决了现有技术中碳化硅MOSFET不能实现良好的栅极氧化层的电场应力与器件导通电阻之间的折中关系的技术问题。

[0005] 第一方面，本公开提供一种碳化硅MOSFET器件的元胞结构，包括：

[0006] 第一导电类型碳化硅衬底；

[0007] 位于所述衬底上方的第一导电类型漂移层；其中，在元胞结构两侧，于所述漂移层表面向下设置有侧部沟槽，以在所述漂移层表面于所述元胞结构中心位置形成凸台；

[0008] 设置于所述漂移层内且位于所述侧部沟槽下方的第二导电类型阱区；其中，所述侧部沟槽的底部靠近所述凸台的一侧未被所述阱区完全覆盖；

[0009] 位于所述阱区表面内的第一导电类型源区；其中，所述阱区表面靠近所述凸台的一侧未被所述源区完全覆盖；

[0010] 设置于所述漂移层内，且位于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方的第二导电类型屏蔽区；其中，所述屏蔽区不与所述阱区接触；

[0011] 位于所述漂移层上方，且覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层；

[0012] 位于所述栅极氧化层上方的栅极。

- [0013] 根据本公开的实施例,优选地,所述侧部沟槽的深度为0.5至1.0 μm ;和/或
- [0014] 所述屏蔽区的离子掺杂浓度大于 $5\text{E}17\text{cm}^{-3}$,所述屏蔽区的深度大于0.2 μm 。
- [0015] 根据本公开的实施例,优选地,还包括:
- [0016] 与所述源区并排设置于所述阱区表面内且与所述源区远离所述凸台的一端接触的第二导电类型增强区;
- [0017] 其中,所述增强区的离子掺杂浓度大于所述阱区的离子掺杂浓度。
- [0018] 根据本公开的实施例,优选地,还包括:
- [0019] 位于所述源区和所述增强区上方且同时与所述源区和所述增强区形成欧姆接触的源极金属层;
- [0020] 位于所述衬底下方并与所述衬底形成欧姆接触的漏极金属层;
- [0021] 其中,所述栅极通过层间介质层与所述源极金属层隔离。
- [0022] 第二方面,本公开提供一种碳化硅MOSFET器件的元胞结构的制备方法,包括:
- [0023] 提供第一导电类型碳化硅衬底;
- [0024] 在所述衬底上方形成第一导电类型漂移层;
- [0025] 在所述漂移层表面于元胞结构的两侧形成侧部沟槽,以在所述漂移层表面于所述元胞结构中心位置形成凸台;
- [0026] 在所述漂移层内于所述侧部沟槽下方形成第二导电类型阱区;其中,所述侧部沟槽的底部靠近所述凸台的一侧未被所述阱区完全覆盖;
- [0027] 在所述阱区表面内形成第一导电类型源区;其中,所述阱区表面靠近所述凸台的一侧未被所述源区完全覆盖;
- [0028] 在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区;其中,所述屏蔽区不与所述阱区接触;
- [0029] 在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层;
- [0030] 在所述栅极氧化层上方形成栅极。
- [0031] 根据本公开的实施例,优选地,在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区,包括以下步骤:
- [0032] 在所述侧部沟槽底部形成覆盖所述阱区的掩膜层;
- [0033] 通过旋转注入的方式,注入第二导电类型的高能离子到所述漂移层内,以在所述凸台的顶部和侧壁以及未被所述掩膜层遮盖的所述侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区;
- [0034] 去除所述掩膜层。
- [0035] 根据本公开的实施例,优选地,所述旋转注入的注入倾角为 30° 至 60° 。
- [0036] 根据本公开的实施例,优选地,在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层,包括以下步骤:
- [0037] 对所述漂移层表面进行牺牲氧化处理;
- [0038] 在所述漂移层上方形成覆盖所述凸台的顶部和侧壁并与所述阱区和所述源区接触的栅极氧化层。
- [0039] 根据本公开的实施例,优选地,对所述漂移层表面进行牺牲氧化处理,包括以下步

骤：

[0040] 对所述漂移层表面进行热氧化，以形成牺牲氧化层；通过湿法刻蚀将所述牺牲氧化层去除。

[0041] 根据本公开的实施例，优选地，在所述漂移层内于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方，形成第二导电类型屏蔽区的步骤之前，还包括以下步骤：

[0042] 在所述阱区表面内形成与所述源区并排设置，且与所述源区远离所述凸台的一端接触的第二导电类型增强区；

[0043] 其中，所述增强区的离子掺杂浓度大于所述阱区的离子掺杂浓度。

[0044] 根据本公开的实施例，优选地，在所述栅极氧化层上方形成栅极的步骤之后，还包括以下步骤：

[0045] 在所述栅极上方形成覆盖所述栅极的层间介质层；

[0046] 在所述源区和所述增强区上方形成同时与所述源区和所述增强区形成欧姆接触的源极金属层；其中，所述栅极通过所述层间介质层与所述源极金属层隔离；

[0047] 在所述衬底下方形成与所述衬底欧姆接触的漏极金属层。

[0048] 第三方面，本公开提供一种碳化硅MOSFET器件，包括若干如第一方面中任一项所述的碳化硅MOSFET器件的元胞结构。

[0049] 采用上述技术方案，至少能够达到如下技术效果：

[0050] 本公开提供一种碳化硅MOSFET器件的元胞结构、其制备方法及碳化硅MOSFET器件，所述元胞结构包括：位于所述衬底上方的第一导电类型漂移层；其中，在元胞结构两侧，于所述漂移层表面向下设置有侧部沟槽，以在所述漂移层表面于所述元胞结构中心位置形成凸台；位于所述侧部沟槽下方的第二导电类型阱区；位于所述阱区表面内的第一导电类型源区；设置于所述漂移层内，且位于所述凸台的顶部和侧壁以及所述侧部沟槽的底部靠近所述凸台的一侧的下方的第二导电类型屏蔽区。屏蔽区的加入，可大幅降低阻断态下器件的栅极氧化层的电场应力，大幅提高芯片长期使用的可靠性。而且屏蔽区对器件导通特性的影响很小，可实现良好的栅极氧化层的电场应力和导通电阻之间的折中关系。

附图说明

[0051] 附图是用来提供对本公开的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本公开，但并不构成对本公开的限制。在附图中：

[0052] 图1是传统的碳化硅MOSFET器件的元胞结构的剖面结构示意图；

[0053] 图2是本公开一示例性实施例示出的一种碳化硅MOSFET器件的元胞结构的剖面结构示意图；

[0054] 图3是本公开一示例性实施例示出的一种碳化硅MOSFET器件的元胞结构的制备方法流程示意图；

[0055] 图4-10是本公开一示例性实施例示出的一种碳化硅MOSFET器件的元胞结构的制备方法的相关步骤形成的剖面结构示意图。

具体实施方式

[0056] 以下将结合附图及实施例来详细说明本公开的实施方式,借此对本公开如何应用技术手段来解决技术问题,并达到相应技术效果的实现过程能充分理解并据以实施。本公开实施例以及实施例中的各个特征,在不相冲突前提下可以相互结合,所形成的技术方案均在本公开的保护范围之内。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0057] 应理解,尽管可使用术语“第一”、“第二”、“第三”等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本公开教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0058] 应理解,空间关系术语例如“在...上方”、“位于...上方”、“在...下方”、“位于...下方”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下方”的元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下方”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0059] 在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0060] 这里参考作为本公开的理想实施例(和中间结构)的示意图的横截面图来描述本公开的实施例。这样,可以预期由于例如制备技术和/或容差导致的从所示形状的变化。因此,本公开的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制备导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本公开的范围。

[0061] 为了彻底理解本公开,将在下列的描述中提出详细结构以及步骤,以便阐释本公开提出的技术方案。本公开的较佳实施例详细描述如下,然而除了这些详细描述外,本公开还可以具有其他实施方式。

[0062] 实施例一

[0063] 如图2所示,本公开实施例提供一种碳化硅MOSFET器件的元胞结构200,包括衬底201、漂移层202、阱区203、源区204、增强区205、JFET区206、屏蔽区207、栅极氧化层208、栅极209、层间介质层210、源极金属层211、漏极金属层212。

[0064] 示例性地,衬底201为第一导电类型的碳化硅衬底201。衬底201的厚度较厚,离子掺杂浓度较高,离子掺杂浓度大于 $1E19\text{cm}^{-3}$ 。

[0065] 漂移层202为第一导电类型的漂移层202,位于衬底201上方,离子掺杂浓度约为 $1E14$ 至 $5E16\text{cm}^{-3}$,具体需要根据芯片耐压来优化。其中,在元胞结构200两侧,于漂移层202表面向下设置有侧部沟槽(图中未标注),以在漂移层202表面于元胞结构200中心位置形成凸台(图中未标注)。侧部沟槽的深度(即凸台的高度)为 0.5 至 $1.0\mu\text{m}$ 。

[0066] 阱区203为第二导电类型的阱区,位于漂移层202内,且位于元胞结构200两侧的侧部沟槽下方,阱区203的上表面与侧部沟槽底部相平齐。侧部沟槽的底部靠近凸台的一侧未被阱区203完全覆盖。阱区203的离子掺杂浓度为 $1E16$ 至 $5E18\text{cm}^{-3}$,深度为 0.5 至 $1.5\mu\text{m}$ 。

[0067] 源区204为第一导电类型的源区,位于阱区203表面内,源区204的上表面与阱区203的上表面和侧部沟槽底部相平齐。源区204的离子掺杂浓度大于衬底201的离子掺杂浓度。源区204的宽度小于阱区203的宽度,阱区203与源区204两端均有宽度差即阱区203表面靠近凸台的一侧和远离凸台的一侧均未被源区204完全覆盖,靠近凸台的宽度差与栅极氧化层208之间形成沟道(图未示出),相邻两个沟道之间的区域为JFET区206,即在元胞结构200中,两个阱区203之间的区域为JFET区206。源区204的离子掺杂浓度大于 $1E19\text{cm}^{-3}$,深度为 0.3 至 $0.5\mu\text{m}$ 。

[0068] 增强区205为第二导电类型的掺杂区,增强区205与源区204并排设置于阱区203内,增强区205的上表面与阱区203的上表面和侧部沟槽底部相平齐,增强区205与源区204远离凸台的一端接触。增强区205的离子掺杂浓度大于阱区203的离子掺杂浓度,增强区205的深度小于或等于阱区203的深度。增强区205的离子掺杂浓度大于 $5E18\text{cm}^{-3}$,深度为 0.5 至 $1.5\mu\text{m}$ 。

[0069] 屏蔽区207为第二导电类型的掺杂区,屏蔽区207设置于漂移层202内(具体位于漂移层202表面内),且位于凸台的顶部和侧壁以及侧部沟槽的底部靠近凸台的一侧的下方,即屏蔽区207从凸台的顶部沿漂移层202的表面延伸至侧部沟槽下方,但是不与阱区203接触。凸台内除屏蔽区207以外的区域的离子掺杂浓度不变,仍且漂移层202的离子掺杂浓度相同,屏蔽区207的离子掺杂浓度大于 $5E17\text{cm}^{-3}$,屏蔽区207的深度大于 $0.2\mu\text{m}$ 。

[0070] 其中,屏蔽区207的设置,大幅降低阻断态下器件的栅极氧化层208的电场应力,大幅提高芯片长期使用的可靠性。这种情况下,无需减小JFET区206的宽度,就可达到阻断栅极氧化层208的电场应力的效果。而且屏蔽区207设置在凸台上,对器件导通特性的影响很小,可实现良好的栅极氧化层208的电场应力和导通电阻之间的折中关系。

[0071] 栅极氧化层208位于漂移层202上方,且覆盖凸台的顶部和侧壁并与阱区203和源区204接触。

[0072] 栅极209位于栅极氧化层208上方,栅极209为多晶硅栅极。该多晶硅栅极为高浓度掺杂的多晶硅,离子掺杂浓度大于 $1E18\text{cm}^{-3}$ 。

[0073] 层间介质层210,位于栅极209上方且覆盖栅极209,以将栅极209与源极金属层211隔离开。

[0074] 源极金属层211,位于源区204和增强区205上方且同时与源区204和增强区205形成欧姆接触。源极金属层211可以为铝等具有低接触电阻率的金属。

[0075] 漏极金属层212,位于衬底201下方并与衬底201形成欧姆接触。

[0076] 对应地,第一导电类型和第二导电类型相反。例如,第一导电类型为N型时,第二导电类型为P型;第一导电类型为P型时,第二导电类型为N型。

[0077] 本实施例提供一种碳化硅MOSFET器件的元胞结构200,该元胞结构包括:位于衬底201上方的第一导电类型漂移层202;其中,在元胞结构两侧,于漂移层202表面向下设置有侧部沟槽,以在漂移层202表面于元胞结构200中心位置形成凸台;位于侧部沟槽下方的第二导电类型阱区203;位于阱区203表面内的第一导电类型源区204;设置于漂移层204内,且位于凸台的顶部和侧壁以及侧部沟槽的底部靠近凸台的一侧的下方的第二导电类型屏蔽区207。屏蔽区207的加入,可大幅降低阻断态下器件的栅极氧化层208的电场应力,大幅提高芯片长期使用的可靠性。而且屏蔽区207对器件导通特性的影响很小,可实现良好的栅极氧化层208的电场应力和导通电阻之间的折中关系。

[0078] 实施例二

[0079] 在实施例一的基础上,本实施例提供一种碳化硅MOSFET器件的元胞结构200的制备方法。图3是本公开实施例示出的一种碳化硅MOSFET器件的元胞结构200的制备方法流程图。图4-图10是本公开实施例示出的一种碳化硅MOSFET器件的元胞结构200的制备方法的相关步骤形成的剖面结构示意图。下面,参照图3和图4-图10来描述本公开实施例提出的碳化硅MOSFET器件的元胞结构200的制备方法一个示例性方法的详细步骤。

[0080] 如图3所示,本实施例的碳化硅MOSFET器件的元胞结构200的制备方法,包括如下步骤:

[0081] 步骤S101:如图4所示,提供第一导电类型碳化硅衬底201。

[0082] 衬底201的厚度较厚,离子掺杂浓度较高,离子掺杂浓度大于 $1E19\text{cm}^{-3}$ 。

[0083] 步骤S102:在衬底201上方形成第一导电类型漂移层202。

[0084] 具体地,漂移层202的形成采用化学气相沉积(CVD)外延方式,漂移层202为均匀掺杂的碳化硅层,离子掺杂浓度约为 $1E14$ 至 $5E16\text{cm}^{-3}$,具体需要根据芯片耐压来优化。

[0085] 步骤S103:如图5所示,在漂移层202表面于元胞结构200的两侧形成侧部沟槽(图中未标注),以在漂移层202表面于元胞结构200中心位置形成凸台(图中未标注)。

[0086] 具体的,侧部沟槽与芯片记号(图中未示出)可同步刻蚀形成,简化工艺过程,不会增加器件工艺制造成本。侧部沟槽的深度(即凸台的高度)为 0.5 至 $1.0\mu\text{m}$ 。

[0087] 步骤S104:如图6所示,在漂移层202内于侧部沟槽下方形成第二导电类型阱区203;其中,侧部沟槽的底部靠近凸台的一侧未被阱区203完全覆盖。

[0088] 具体的,采用光刻工艺,通过光刻胶选择性屏蔽凸台的上方和侧壁,再采用离子注入,将第二导电类型高能离子注入侧部沟槽下方的漂移层202内,以在侧部沟槽下方形成阱区203,阱区203的上表面与侧部沟槽底部相平齐。阱区203的离子掺杂浓度为 $1E16$ 至 $5E18\text{cm}^{-3}$,深度为 0.5 至 $1.5\mu\text{m}$ 。且侧部沟槽的底部靠近凸台的一侧未被阱区203完全覆盖,为后续形成屏蔽区207做准备。

[0089] 步骤S105:在阱区203表面内形成第一导电类型源区204;其中,阱区203表面靠近凸台的一侧未被源区204完全覆盖。

[0090] 具体的,采用光刻工艺,通过光刻胶选择性屏蔽凸台的上方和侧壁以及侧部沟槽底部不需要形成源区204的部分,然后通过离子注入在阱区203内注入第一高能离子,以在阱区203表面内形成源区204,源区204的上表面与阱区203的上表面和侧部沟槽底部相平齐。且阱区203表面靠近凸台的一侧未被源区204完全覆盖,以形成沟道。相邻两个沟道之间的区域为JFET区206,即在元胞结构200中,两个阱区203之间的区域为JFET区206。源区204

的浓度大于 $1E19\text{cm}^{-3}$,深度为0.3至0.5 μm 。

[0091] 除此之外,且阱区203表面远离凸台的一侧也未被源区204完全覆盖,用于后续形成增强区205。

[0092] 本实施例中,步骤S105之后,还包括以下步骤:

[0093] 在阱区203表面内形成与源区204并排设置,且与源区204远离凸台的一端接触的第二导电类型增强区205;其中,增强区205的离子掺杂浓度大于阱区203的离子掺杂浓度。

[0094] 具体的,采用光刻工艺,通过光刻胶选择性屏蔽凸台的上方和侧壁以及沟道和源区204上方,即通过光刻胶选择性屏蔽JFET区206以及沟道和源区204上方,然后通过离子注入,注入第二高能离子到阱区203内,以在阱区203表面内形成与源区204并排设置,且与源区204远离凸台的一端接触的增强区205。增强区205的上表面与阱区203的上表面和侧部沟槽底部相平齐。

[0095] 增强区205的离子掺杂浓度大于阱区203的离子掺杂浓度,增强区205的深度小于或等于阱区203的深度。增强区205的离子掺杂浓度大于 $5E18\text{cm}^{-3}$,深度为0.5至1.5 μm 。

[0096] 步骤S106:如图7所示,在漂移层202内于凸台的顶部和侧壁以及侧部沟槽的底部靠近凸台的一侧的下方,形成第二导电类型屏蔽区207;其中,屏蔽区207不与阱区203接触。

[0097] 具体的,步骤S106包括以下步骤:

[0098] S106a:在侧部沟槽底部形成覆盖阱区203的掩膜层213;

[0099] S106b:通过旋转注入的方式,注入第二导电类型的高能离子到漂移层202内,以在凸台的顶部和侧壁以及未被掩膜层213遮盖的侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区207;

[0100] S106c:去除掩膜层213。

[0101] 其中,掩膜层213可以为光刻工艺形成的光刻胶掩膜层213,旋转注入工艺中的注入倾角可以为 30° 至 60° ,最佳注入倾角为 45° ,掩膜层213的去除采用湿法刻蚀的方式。

[0102] 可以这样认为,屏蔽区207从凸台的顶部沿漂移层202的表面延伸至侧部沟槽下方,但是不与阱区203接触。

[0103] 屏蔽区207的离子掺杂浓度大于 $5E17\text{cm}^{-3}$,屏蔽区207的深度大于0.2 μm 。

[0104] 步骤S107:如图8所示,在漂移层202上方形成覆盖凸台的顶部和侧壁并与阱区203和源区204接触的栅极氧化层208。

[0105] 具体的,步骤S107包括以下步骤:

[0106] S107a:对漂移层202表面进行牺牲氧化处理;

[0107] S107b:在漂移层202上方形成覆盖凸台的顶部和侧壁并与阱区203和源区204接触的栅极氧化层208。

[0108] 其中,牺牲氧化处理包括以下步骤:

[0109] (a) 对漂移层202表面进行热氧化以形成牺牲氧化层(图中未示出);其中,牺牲氧化层的厚度为10至20nm;

[0110] (b) 通过湿法刻蚀将牺牲氧化层去除。

[0111] 栅极氧化层208与牺牲氧化层类似,也是在高温(如 1300°C)氧气范围内进行热氧化形成。其中,屏蔽区207的设置,大幅降低阻断态下器件的栅极氧化层208的电场应力,大幅提高芯片长期使用的可靠性。这种情况下,无需减小JFET区206的宽度,就可达到阻断栅

极氧化层208的电场应力的效果。而且屏蔽区207设置在凸台上,对器件导通特性的影响很小,可实现良好的栅极氧化层208的电场应力和导通电阻之间的折中关系。

[0112] 步骤S108:在栅极氧化层208上方形成栅极209。

[0113] 具体的,在栅极氧化层208上方进行多晶硅沉积,形成整面的多晶硅层,然后进行刻蚀,最终在栅极氧化层208上方形成栅极209。沉积的多晶硅层为高浓度掺杂的多晶硅,离子掺杂浓度大于 $1E18\text{cm}^{-3}$ 。

[0114] 步骤S109:如图9所示,在栅极209上方形成覆盖栅极209的层间介质层210。

[0115] 具体的,在栅极209上方沉积整面的层间介质层210,然后进行刻蚀开孔,在源区204和增强区205上方形成连接孔,使层间介质层210只保留覆盖栅极209的部分。

[0116] 步骤S110:如图10所示,在源区204和增强区205上方形成同时与源区204和增强区205形成欧姆接触的源极金属层211;其中,栅极209通过层间介质层210与源极金属层211隔离。

[0117] 具体的,通过金属化工艺,在层间介质层210上方形成源极金属层211,其中,源极金属层211通过层间介质层210上的连接孔与源区204和增强区205形成欧姆接触,源极金属层211通过层间介质层210与栅极209隔离开。

[0118] 步骤S111:在衬底201下方形成与衬底201欧姆接触的漏极金属层212。

[0119] 具体的,通过金属化工艺,在衬底201下方形成与衬底201欧姆接触的漏极金属层212。

[0120] 对应地,第一导电类型和第二导电类型相反。例如,第一导电类型为N型时,第二导电类型为P型;第一导电类型为P型时,第二导电类型为N型。

[0121] 本实施例提供一种碳化硅MOSFET器件的元胞结构200的制备方法,通过在漂移层202表面于元胞结构200的两侧形成侧部沟槽,以在漂移层202表面于元胞结构200中心位置形成凸台;并在漂移层202内于凸台的顶部和侧壁以及侧部沟槽的底部靠近所述凸台的一侧的下方,形成第二导电类型屏蔽区207。屏蔽区207的加入,可大幅降低阻断态下器件的栅极氧化层208的电场应力,大幅提高芯片长期使用的可靠性。而且屏蔽区207对器件导通特性的影响很小,可实现良好的栅极氧化层208的电场应力和导通电阻之间的折中关系。屏蔽区207与芯片记号可同步刻蚀形成,简化工艺过程,不会增加器件工艺制造成本。

[0122] 以上仅为本公开的优选实施例而已,并不用于限制本公开,对于本领域的技术人员来说,本公开可以有各种更改和变化。凡在本公开的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。虽然本公开所公开的实施方式如上,但的内容只是为了便于理解本公开而采用的实施方式,并非用以限定本公开。任何本公开所属技术领域内的技术人员,在不脱离本公开所公开的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本公开的保护范围,仍须以所附的权利要求书所界定的范围为准。

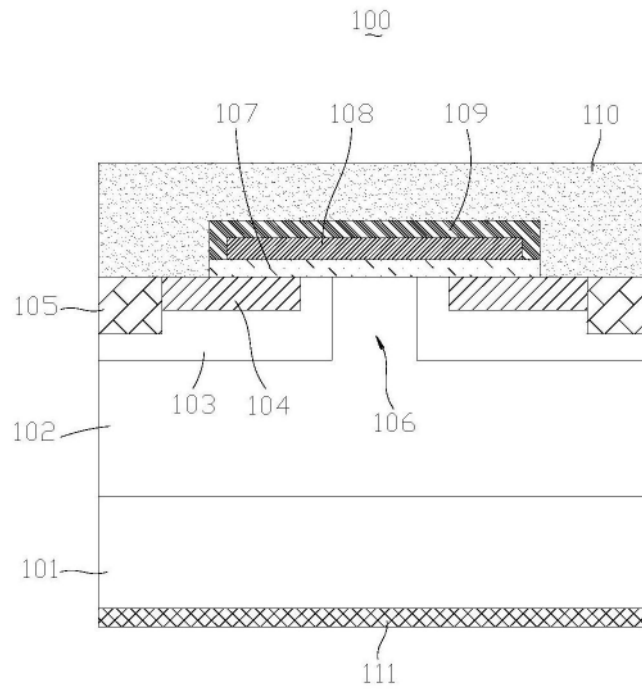


图1

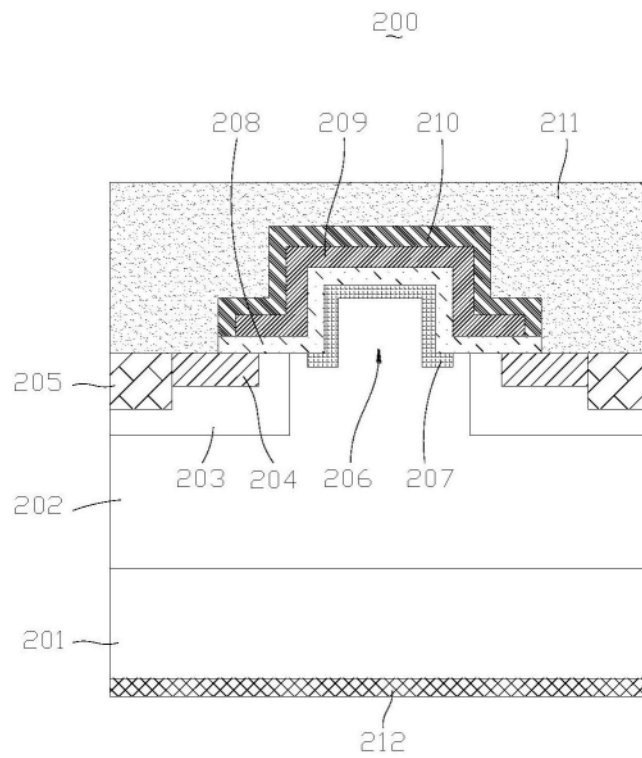


图2

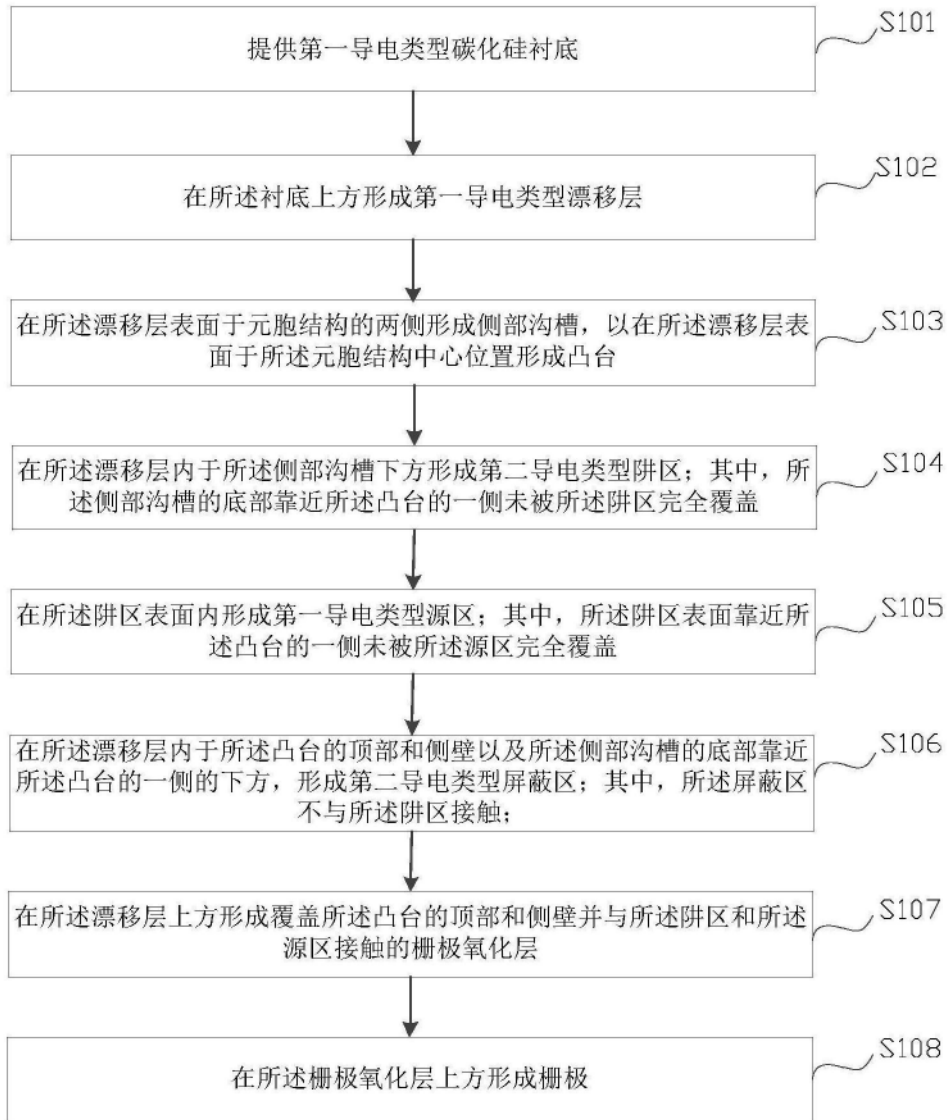


图3

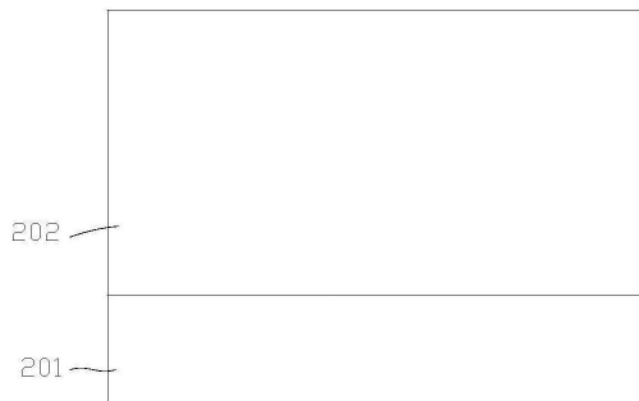


图4

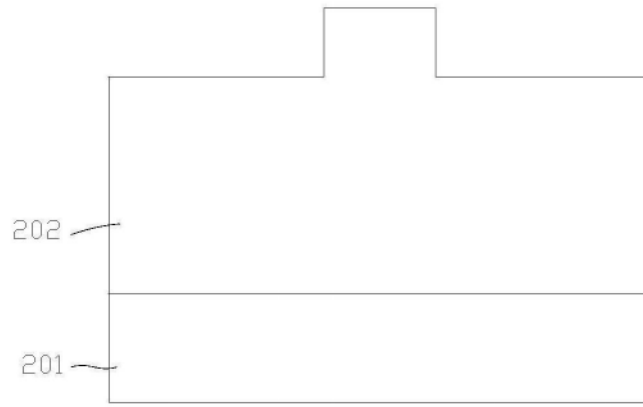


图5

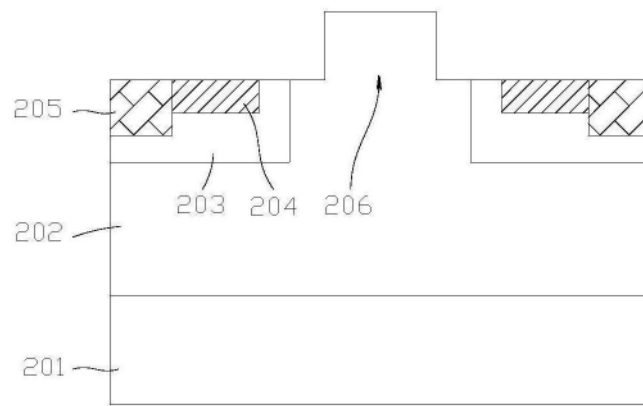


图6

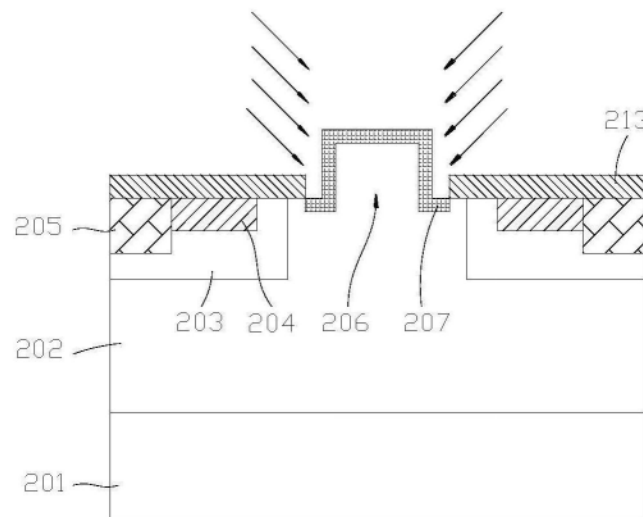


图7

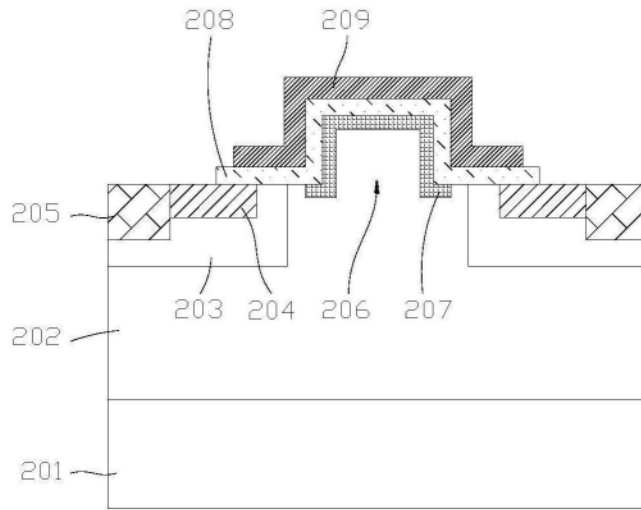


图8

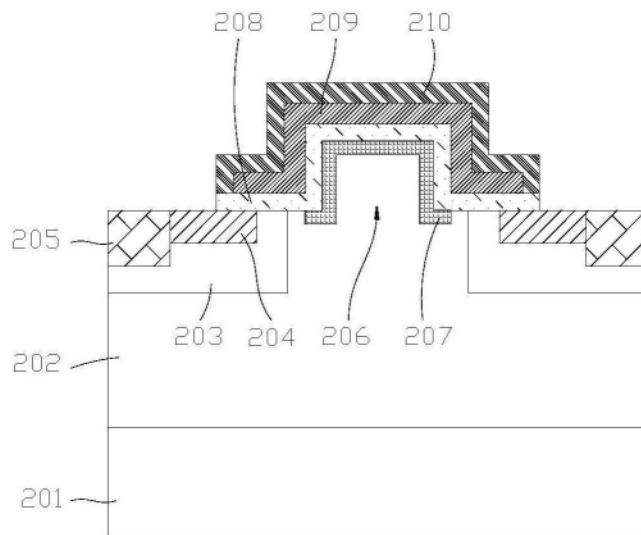


图9

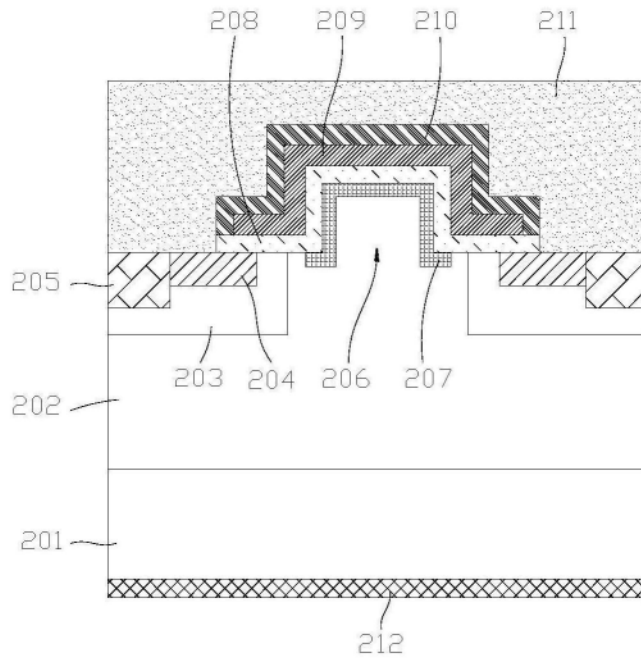


图10