

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5594407号  
(P5594407)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

(51) Int. Cl. F I  
 HO 1 L 21/8236 (2006.01) HO 1 L 27/08 3 1 1 A  
 HO 1 L 27/088 (2006.01) HO 1 L 27/04 B  
 HO 1 L 21/822 (2006.01)  
 HO 1 L 27/04 (2006.01)

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2013-153212 (P2013-153212)	(73) 特許権者	000005234
(22) 出願日	平成25年7月24日 (2013.7.24)		富士電機株式会社
(62) 分割の表示	特願2007-238924 (P2007-238924) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成19年9月14日 (2007.9.14)	(74) 代理人	100150441 弁理士 松本 洋一
(65) 公開番号	特開2013-243390 (P2013-243390A)	(72) 発明者	山路 将晴 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成25年12月5日 (2013.12.5)	(72) 発明者	北村 明夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	平成25年7月24日 (2013.7.24)	審査官	市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の基板の表面層に設けられた第2導電型の第1ウェル層と、  
 前記第1ウェル層の表面層の一部に設けられた第1導電型の第2ウェル層と、  
 前記第1ウェル層の表面層の一部に、前記第2ウェル層と離れて設けられた第1導電型  
 の第3ウェル層と、

前記第2ウェル層に設けられたデプレッション型MOSFETと、  
 前記第3ウェル層に設けられたエンハンスメント型MOSFETと、  
 を備え、

前記デプレッション型MOSFETは、

前記第2ウェル層の表面層の一部に設けられた第2導電型の第1ドレイン層と、  
 前記第2ウェル層の表面層の一部に、前記第1ドレイン層と離れて設けられた第2導電  
 型の第1ソース層と、

前記第2ウェル層の表面層の一部に、前記第1ドレイン層と、前記第1ソース層と、に  
 接するように設けられた第2導電型のデプレッション層と、

前記第2ウェル層の表面層の一部に設けられた第1導電型の第1ピックアップ層と、  
 前記デプレッション層の上に、第1ゲート酸化膜を介して設けられた第1ゲート電極と

を備え、

前記エンハンスメント型MOSFETは、

10

20

前記第3ウェル層の表面層の一部に設けられた第2導電型の第2ドレイン層と、  
 前記第3ウェル層の表面層の一部に、前記第2ドレイン層と離れて設けられた第2導電型の第2ソース層と、  
 前記第3ウェル層の表面層の一部に、前記第2ドレイン層と、前記第2ソース層と、に接するように設けられた第1導電型のチャンネル層と、  
 前記第3ウェル層の表面層の一部に設けられた第1導電型の第2ピックアップ層と、  
 前記チャンネル層の上に、第2ゲート酸化膜を介して設けられた第2ゲート電極と、  
 を備え、  
 前記第1ウェル層はフローティング電位にすることを特徴とする半導体装置。

## 【請求項2】

10

第1導電型の基板に第2導電型の埋め込み層を介して設けられた第1導電型のエピタキシャル層と、  
 前記エピタキシャル層の表面層に設けられた第1導電型のウェル層と、  
 前記ウェル層の表面層の一部に設けられたデプレッション型MOSFETと、  
 前記ウェル層の表面層の一部に、前記デプレッション型MOSFETと離れて設けられたエンハンスメント型MOSFETと、  
 を備え、  
 前記エピタキシャル層はフローティング電位にすることを特徴とする半導体装置。

## 【請求項3】

前記第1ゲート電極および前記第1ソース層と、前記第2ゲート電極および前記第2ドレイン層と、に電氣的に接続された出力端子と、  
 前記第1ドレイン層に、電氣的に接続された高電位側端子と、  
 前記第1ピックアップ層と、前記第2ソース層および前記第2ピックアップ層と、に電氣的に接続された低電位側端子と、  
 を備えることを特徴とする請求項1に記載の半導体装置。

## 【請求項4】

前記デプレッション型MOSFETは、  
 前記ウェル層の表面層の一部に設けられた第2導電型の第1ドレイン層と、  
 前記ウェル層の表面層の一部に、前記第1ドレイン層と離れて設けられた第2導電型の第1ソース層と、  
 前記ウェル層の表面層の一部に、前記第1ドレイン層と、前記第1ソース層と、に接するように設けられた第2導電型のデプレッション層と、  
 前記ウェル層の表面層の一部に設けられた第1導電型の第1ピックアップ層と、  
 前記デプレッション層の上に、第1ゲート酸化膜を介して設けられた第1ゲート電極と、  
 を備え、

前記エンハンスメント型MOSFETは、  
 前記ウェル層の表面層の一部に設けられた第2導電型の第2ドレイン層と、  
 前記ウェル層の表面層の一部に、前記第2ドレイン層と離れて設けられた第2導電型の第2ソース層と、  
 前記ウェル層の表面層の一部に、前記第2ドレイン層と、前記第2ソース層と、に接するように設けられた第1導電型のチャンネル層と、  
 前記チャンネル層の上に、第2ゲート酸化膜を介して設けられた第2ゲート電極と、  
 を備えることを特徴とする請求項2に記載の半導体装置。

## 【請求項5】

前記第1ゲート電極および前記第1ソース層と、前記第2ゲート電極および前記第2ドレイン層と、に電氣的に接続された出力端子と、  
 前記第1ドレイン層に、電氣的に接続された高電位側端子と、  
 前記第1ピックアップ層と、前記第2ソース層および前記第2ピックアップ層と、に電氣的に接続された低電位側端子と、

50

を備えることを特徴とする請求項4に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、特に、基準電圧を出力する半導体装置に関する。

【背景技術】

【0002】

従来、基準電圧回路は、IC(Integrated Circuit:集積回路)内ですべての制御回路の基準として用いられる。したがって、基準電圧回路は、温度や電源電圧の変動にも影響されず、常に一定の電圧を出力することが要求される。図6は、従来のMOS基準電圧回路を構成する半導体装置の構造を示す断面図である。図6に示すように、この半導体装置は、p基板1を用いて作製されている。p基板1の表面層には、pウェル層73が設けられている。そして、pウェル層73の表面層に、デプレッション型MOSFET101と、エンハンスメント型MOSFET102と、がフィールド酸化膜17を隔てて設けられている(たとえば、下記特許文献1参照。)

10

【0003】

デプレッション型MOSFET101において、pウェル層73の表面層の一部には、n<sup>+</sup>ドレイン層5と、n<sup>+</sup>ソース層6と、が互いに離れて設けられている。n<sup>-</sup>デプレッション層7は、pウェル層73の表面層の一部に、n<sup>+</sup>ドレイン層5と、n<sup>+</sup>ソース層6と、に接するように設けられている。n<sup>-</sup>デプレッション層7の上には、ゲート酸化膜9を介してゲート電極10が設けられている。また、エンハンスメント型MOSFET102において、pウェル層73の表面層の一部には、n<sup>+</sup>ドレイン層11と、n<sup>+</sup>ソース層12と、が互いに離れて設けられている。pチャンネル層13は、pウェル層73の表面層の一部に、n<sup>+</sup>ドレイン層11と、n<sup>+</sup>ソース層12と、に接するように設けられている。pチャンネル層13の上には、ゲート酸化膜15を介してゲート電極16が設けられている。さらに、pウェル層73の表面層の一部には、p<sup>+</sup>ピックアップ層74が設けられている。p<sup>+</sup>ピックアップ層74は、フィールド酸化膜19によってエンハンスメント型MOSFET102と隔てられている。

20

【0004】

電源高電位端子V<sub>cc</sub>は、デプレッション型MOSFET101のn<sup>+</sup>ドレイン層5に電氣的に接続されている。基準電圧を出力する出力端子V<sub>ref</sub>は、デプレッション型MOSFET101のn<sup>+</sup>ソース層6およびゲート電極10と、エンハンスメント型MOSFET102のn<sup>+</sup>ドレイン層11およびゲート電極16と、に電氣的に接続されている。グランド端子GNDは、エンハンスメント型MOSFET102のn<sup>+</sup>ソース層12およびp<sup>+</sup>ピックアップ層74に電氣的に接続されている。このような構成のMOS基準電圧回路を用いることで、たとえば、セル数が1つのリチウムイオンバッテリーのセル電圧を高精度に検出することができる。

30

【0005】

つぎに、従来の半導体装置をMOS基準電圧回路として用いた電圧検出回路の構成について説明する。図7は、従来の半導体装置を用いた電圧検出回路の構成を示す回路図である。図7に示すように、電圧検出回路110は、高抵抗R1と、抵抗R2と、電圧検出回路部112と、を備えている。電圧検出回路部112は、コンパレータ114と、MOS基準電圧回路113と、を備えている。コンパレータ114の基準電位側には、MOS基準電圧回路113から出力される基準電圧が印加される。コンパレータ114の入力電位側には、複数のリチウム電池セル111が直列に接続されたリチウムイオンバッテリーの出力電圧をR1とR2で抵抗分圧した電圧が印加される。

40

【0006】

このように、電圧検出の方法としては、高電圧を抵抗分圧して、低電圧に下げたから、基準電圧と比較する方法がある。また、他の方法としては、高電圧を差動増幅回路などで

50

低電圧に下げたから、基準電圧と比較する方法がある。

【特許文献1】特開2003-31678号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、複数のセルを有するバッテリーに対する充電制御ICなどの電圧検出回路部においては、バッテリーの電圧が高い程、基準電圧レベルまで電圧を下げる時の電圧差が大きくなり、高精度な電圧検出が難しいという問題がある。また、基準電圧回路が1つしかないため、各セルごとの電圧検出ができないという問題がある。

【0008】

この発明は、上述した従来技術による問題点を解消するため、任意の電位に対する基準電圧を出力可能な半導体装置を提供することを目的とする。また、この発明は、バッテリーのセルごとに高精度な電圧検出をおこなうことができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上述した課題を解決し、目的を達成するため、請求項1の発明にかかる半導体装置は、第1導電型の基板の表面層に、第2導電型の第1ウェル層が設けられている。第1ウェル層の表面層の一部には、第1導電型の第2ウェル層が設けられている。また、第1ウェル層の表面層の一部には、第1導電型の第3ウェル層が、第2ウェル層と離れて設けられている。第2ウェル層には、デプレッション型MOSFETが設けられている。また、第3ウェル層には、エンハンスメント型MOSFETが設けられている。デプレッション型MOSFETには、第2ウェル層の表面層の一部に、第2導電型の第1ドレイン層が設けられている。第2ウェル層の表面層の一部には、第2導電型の第1ソース層が、第1ドレイン層と離れて設けられている。また、第2ウェル層の表面層の一部には、第2導電型のデプレッション層が、第1ドレイン層と、第1ソース層と、に接するように設けられている。さらに、第2ウェル層の表面層の一部には、第1導電型の第1ピックアップ層が設けられている。デプレッション層の上には、第1ゲート酸化膜を介して第1ゲート電極が設けられている。また、エンハンスメント型MOSFETには、第3ウェル層の表面層の一部に、第2導電型の第2ドレイン層が設けられている。第3ウェル層の表面層の一部には、第2導電型の第2ソース層が、第2ドレイン層と離れて設けられている。第3ウェル層の表面層の一部には、第1導電型のチャンネル層が、第2ドレイン層と、第2ソース層と、に接するように設けられている。さらに、第3ウェル層の表面層の一部には、第1導電型の第2ピックアップ層が設けられている。チャンネル層の上に、第2ゲート酸化膜を介して第2ゲート電極が設けられている。そして、前記第1ウェル層はフローティング電位にすることを特徴とする。

【0010】

また、請求項2の発明にかかる半導体装置は、第1導電型の基板に、第1導電型のエピタキシャル層が、第2導電型の埋め込み層を介して設けられている。エピタキシャル層の表面層には、第2導電型の第1ウェル層が設けられている。第1ウェル層の表面層の一部には、第1導電型の第2ウェル層が設けられている。また、第1ウェル層の表面層の一部には、第1導電型の第3ウェル層が、第2ウェル層と離れて設けられている。第2ウェル層には、デプレッション型MOSFETが設けられている。また、第3ウェル層には、エンハンスメント型MOSFETが設けられ、前記エピタキシャル層はフローティング電位にすることを特徴とする。

【0012】

また、請求項3の発明にかかる半導体装置は、請求項1に記載の発明において、第1ゲート電極および第1ソース層と、第2ゲート電極および第2ドレイン層と、に出力端子が電気的に接続されている。また、第1ドレイン層に、高電位側端子が電気的に接続されて

10

20

30

40

50

いる。さらに、第1ピックアップ層と、第2ソース層および第2ピックアップ層と、に低電位側端子が電氣的に接続されていることを特徴とする。

#### 【0013】

また、請求項4の発明にかかる半導体装置は、請求項2に記載の発明において、デプレッション型MOSFETは、ウェル層の表面層の一部に、第2導電型の第1ドレイン層が設けられている。ウェル層の表面層の一部に、第1ドレイン層と離れて第2導電型の第1ソース層が設けられている。ウェル層の表面層の一部に、第1ドレイン層と、第1ソース層と、に接するように第2導電型のデプレッション層が設けられている。ウェル層の表面層の一部に第1導電型の第1ピックアップ層が設けられている。そして、デプレッション層の上に、第1ゲート酸化膜を介して第1ゲート電極が設けられている。エンハンスメント型MOSFETは、ウェル層の表面層の一部に第2導電型の第2ドレイン層が設けられている。ウェル層の表面層の一部に、第2ドレイン層と離れて第2導電型の第2ソース層が設けられている。ウェル層の表面層の一部に、第2ドレイン層と、第2ソース層と、に接するように第1導電型のチャンネル層が設けられている。チャンネル層の上に、第2ゲート酸化膜を介して第2ゲート電極が設けられていることを特徴とする。また、請求項5の発明に係る半導体装置は、請求項4に記載の発明において、第1ゲート電極および第1ソース層と、第2ゲート電極および第2ドレイン層と、に電氣的に接続された出力端子と、第1ドレイン層に、電氣的に接続された高電位側端子と、第1ピックアップ層および第2ソース層に電氣的に接続された低電位側端子と、を備えることを特徴とする。

10

20

#### 【0014】

上述の各発明によれば、デプレッション型MOSFETおよびエンハンスメント型MOSFETが、グランド端子から分離されたフローティング構造となっているため、この半導体装置を基準電圧回路として用いることによって、複数のセルを有するバッテリーに対してセルごとに電圧検出をおこなうことができる。また、セルごとに基準電圧と比較するため、低抵抗によってセルの電圧を分圧すればよいので、電圧降下による誤差が減少し、高精度な電圧検出をおこなうことができる。

#### 【発明の効果】

#### 【0015】

本発明にかかる半導体装置によれば、任意の電位に対する基準電圧を出力可能であるという効果を奏する。また、この半導体装置によれば、バッテリーのセルごとに高精度な電圧検出をおこなうことができるという効果を奏する。

30

#### 【発明を実施するための最良の形態】

#### 【0016】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。

#### (実施の形態1)

図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。また、図2は、実施の形態1にかかる半導体装置の構成を示す回路図である。図1に示すように、実施の形態1にかかる半導体装置は、p基板1の表面層にnウェル層2が設けられている。このnウェル層2は、フローティング層としての機能を果たしている。nウェル層2の表面層の一部には、pウェル層3と、pウェル層4とが、互いに離れて設けられている。pウェル層3の表面層には、デプレッション型NMOSFET21が設けられ、pウェル層4の表面層には、エンハンスメント型NMOSFET22が設けられている。

40

#### 【0017】

デプレッション型NMOSFET21において、n<sup>+</sup>ドレイン層5は、pウェル層3の表面層の一部に設けられている。n<sup>+</sup>ソース層6は、pウェル層3の表面層の一部に、n<sup>+</sup>ドレイン層5と離れて設けられている。n<sup>-</sup>デプレッション層7は、pウェル層3の表面層の一部に、n<sup>+</sup>ドレイン層5およびn<sup>+</sup>ソース層6と接するように設けられている。n<sup>-</sup>デプレッション層7には、たとえば、リン(P<sub>31</sub>)などの不純物がドーブされている。p

50

+ピックアップ層 8 は、p ウェル層 3 の表面層の一部に設けられている。n<sup>-</sup>デプレッション層 7 の上には、ゲート酸化膜 9 を介してゲート電極 10 が設けられている。ゲート酸化膜 9 は、たとえば、厚さが 170 である。

【0018】

エンハンスメント型 NMOSFET 22 において、n<sup>+</sup>ドレイン層 11 は、p ウェル層 4 の表面層の一部に設けられている。n<sup>+</sup>ソース層 12 は、p ウェル層 4 の表面層の一部に、n<sup>+</sup>ドレイン層 11 と離れて設けられている。p<sup>-</sup>チャネル層 13 は、p ウェル層 4 の表面層の一部に、n<sup>+</sup>ドレイン層 11 および n<sup>+</sup>ソース層 12 と接するように設けられている。p<sup>+</sup>ピックアップ層 14 は、p ウェル層 4 の表面層の一部に設けられている。p<sup>-</sup>チャネル層 13 の上には、ゲート酸化膜 15 を介してゲート電極 16 が設けられている。ゲート酸化膜 15 は、たとえば、厚さが 170 である。

10

【0019】

また、フィールド酸化膜 17 は、n ウェル層 2 の表面層の一部に設けられており、デプレッション型 NMOSFET 21 とエンハンスメント型 NMOSFET 22 を分離している。フィールド酸化膜 18 は、デプレッション型 NMOSFET 21 を、図示しない他の素子から分離している。フィールド酸化膜 19 は、エンハンスメント型 NMOSFET 22 を、図示しない他の素子から分離している。

【0020】

出力端子 V<sub>ref</sub> は、デプレッション型 NMOSFET 21 の n<sup>+</sup>ソース層 6 およびゲート電極 10 と、エンハンスメント型 NMOSFET 22 の n<sup>+</sup>ドレイン層 11 およびゲート電極 16 と、に電氣的に接続される。高電位側端子 V<sub>H</sub> は、デプレッション型 NMOSFET 21 の n<sup>+</sup>ドレイン層 5 に電氣的に接続される。また、低電位側端子 V<sub>L</sub> は、デプレッション型 NMOSFET 21 の p<sup>+</sup>ピックアップ層 8 と、エンハンスメント型 NMOSFET 22 の n<sup>+</sup>ソース層 12 および p<sup>+</sup>ピックアップ層 14 と、に電氣的に接続される。

20

【0021】

つぎに、実施の形態 1 にかかる MOS 基準電圧回路の製造方法について説明する。まず、p 基板 1 の表面層に n ウェル層 2 を形成する。ついで、フィールド酸化膜 17, 18, 19 を形成する。n ウェル層 2 の表面層に、p ウェル層 3 および p ウェル層 4 を形成する。ここで、p ウェル層 3 の表面層に n<sup>-</sup>デプレッション層 7 を形成する。n<sup>-</sup>デプレッション層 7 には、たとえば、リン (P<sub>31</sub>) をドーブする。ついで、n<sup>-</sup>デプレッション層 7 の上に、ゲート酸化膜 9 を、たとえば、170 の厚さで形成する。さらに、ゲート酸化膜 9 の上に、ゲート電極 10 を堆積する。

30

【0022】

一方、p ウェル層 4 に、p<sup>-</sup>チャネル層 13 を形成する。ついで、p<sup>-</sup>チャネル層 13 の上に、ゲート酸化膜 15 を、たとえば、170 の厚さで形成する。さらに、ゲート酸化膜 15 の上に、ゲート電極 16 を堆積する。

【0023】

ついで、n<sup>+</sup>領域以外にマスク遮蔽をして、ゲート電極 10, 16 とフィールド酸化膜 17, 18, 19 越しにインプラして、n<sup>+</sup>ドレイン層 5, 11 と n<sup>+</sup>ソース層 6, 12 を形成する。また、p<sup>+</sup>領域以外にマスク遮蔽をして、ゲート電極 10, 16 とフィールド酸化膜 17, 18, 19 越しにインプラして、p<sup>+</sup>ピックアップ層 8, 14 を形成する。

40

【0024】

ついで、出力端子 V<sub>ref</sub> を、デプレッション型 NMOSFET 21 の n<sup>+</sup>ソース層 6 およびゲート電極 10 と、エンハンスメント型 NMOSFET 22 の n<sup>+</sup>ドレイン層 11 およびゲート電極 16 と、に電氣的に接続する。また、高電位側端子 V<sub>H</sub> を、デプレッション型 NMOSFET 21 の n<sup>+</sup>ドレイン層 5 に電氣的に接続する。また、低電位側端子 V<sub>L</sub> を、デプレッション型 NMOSFET 21 の p<sup>+</sup>ピックアップ層 8 と、エンハンスメント型 NMOSFET 22 の n<sup>+</sup>ソース層 12 および p<sup>+</sup>ピックアップ層 14 に電氣的に接続する。図 2 において、符号 31 がデプレッション型 NMOSFET であり、符号 32 が

50

エンハンスメント型N M O S F E Tである。

【 0 0 2 5 】

図3は、実施の形態1にかかる半導体装置を用いた電圧検出回路の構成を示す回路図である。図3に示すように、電圧検出回路40の電圧検出回路部42は、複数のリチウム電池セル41のそれぞれに接続されるコンパレータ44と、各コンパレータ44に基準電圧を供給するM O S基準電圧回路43と、を備えている。このM O S基準電圧回路43は、図1および図2に示す半導体装置により構成される。

【 0 0 2 6 】

ここで、たとえば、リチウム電池セル41の電池電圧を4.0Vとすると、図3に示す4つのリチウム電池セル41を備えるバッテリーにおいては、高電位側の電圧は16Vとなる。また、実施の形態1にかかるM O S基準電圧回路43は、各リチウム電池セル41の基準電位側に接続されている。このため、4.0Vの電位差を分圧して、各コンパレータ44の入力電位側に供給すればよい。

10

【 0 0 2 7 】

実施の形態1にかかるM O S基準電圧回路によれば、リチウム電池セル41ごとにコンパレータ44が備えられているので、各リチウム電池セル41ごとに電圧検出をおこなうことができる。さらに、たとえば、4つのリチウム電池セル41を備える構成の場合、高電圧のセル電位から低電圧に分圧する際に、抵抗によって生じる誤差も1/4となるため高精度な電圧検出をおこなうことができる。

【 0 0 2 8 】

20

具体的には、4つのリチウム電池セル41を備える構成の場合、従来技術では、メーカーによって過充電検出電圧が数十mV単位で異なるため、また、充電検出電圧などを細かにトリミングするため、分圧抵抗R1(図7参照)として、16M~20M程度の抵抗が必要である。それに対して、本発明のように各セルごとに分圧する場合、各セルごとに4M~5M程度の抵抗があればよい。したがって、抵抗分圧による誤差は、従来技術の約1/4となる。

【 0 0 2 9 】

これらによって、複数セルを有するバッテリーの電圧検出の精度が向上し、バッテリー充電時などの安全性が向上する。また、実施の形態1によれば、複数セルを有するバッテリーの電圧をセルごとに検出する回路を、1チップで構成することができる。

30

(実施の形態2)

図4は、実施の形態2にかかる半導体装置の構造を示す断面図である。実施の形態2にかかる半導体装置は、実施の形態1にかかる半導体装置と異なり、ゲート酸化膜51, 52の厚さが300程度である。一般的に、M O S F E Tでは、ゲート酸化膜の厚さに対して3.0~3.3MV/cmの範囲が推奨動作電圧となっているため、耐圧が10V程度であれば、ゲート酸化膜の厚さが300となる。

【 0 0 3 0 】

実施の形態2にかかる半導体装置によれば、10V程度の耐圧が求められる場合においても、高精度な電圧検出をおこなうことができる。

(実施の形態3)

40

図5は、実施の形態3にかかる半導体装置の構造を示す断面図である。実施の形態3にかかる半導体装置は、実施の形態1または実施の形態2にかかる半導体装置と異なり、エピタキシャル基板を用いて作製されている。図5に示すように、エピタキシャル基板は、p基板1上にn埋め込み層71を介して、pエピタキシャル層72を積層した構成となっている。pエピタキシャル層72は、フローティング層としての機能を果たしている。pエピタキシャル層72の表面層には、pウェル層73が設けられている。pウェル層73の表面層の一部には、デプレッション型N M O S F E T 101と、エンハンスメント型N M O S F E T 102と、が互いに離れて設けられている。

【 0 0 3 1 】

実施の形態3にかかる半導体装置によれば、pエピタキシャル層72の電位をフローテ

50

ィング電位にすることで、実施の形態 1 または実施の形態 2 と同様の効果を得ることができる。

【産業上の利用可能性】

【0032】

以上のように、本発明にかかる半導体装置は、基準電圧回路に有用であり、特に、リチウムイオンバッテリーなどのバッテリーの電圧検出回路に適している。

【図面の簡単な説明】

【0033】

【図 1】実施の形態 1 にかかる半導体装置の構造を示す断面図である。

【図 2】実施の形態 1 にかかる半導体装置の構成を示す回路図である。

10

【図 3】実施の形態 1 にかかる半導体装置を用いた電圧検出回路の構成を示す回路図である。

【図 4】実施の形態 2 にかかる半導体装置の構造を示す断面図である。

【図 5】実施の形態 3 にかかる半導体装置の構造を示す断面図である。

【図 6】従来の半導体装置の構造を示す断面図である。

【図 7】従来の半導体装置を用いた電圧検出回路の構成を示す回路図である。

【符号の説明】

【0034】

1 p 基板

2 n ウェル層

20

3, 4 p ウェル層

5, 11 n<sup>+</sup>ドレイン層

6, 12 n<sup>+</sup>ソース層

7 n<sup>-</sup>デプレッション層

8, 14 p<sup>+</sup>ピックアップ層

9, 15 ゲート酸化膜

10, 16 ゲート電極

17, 18, 19 フィールド酸化膜

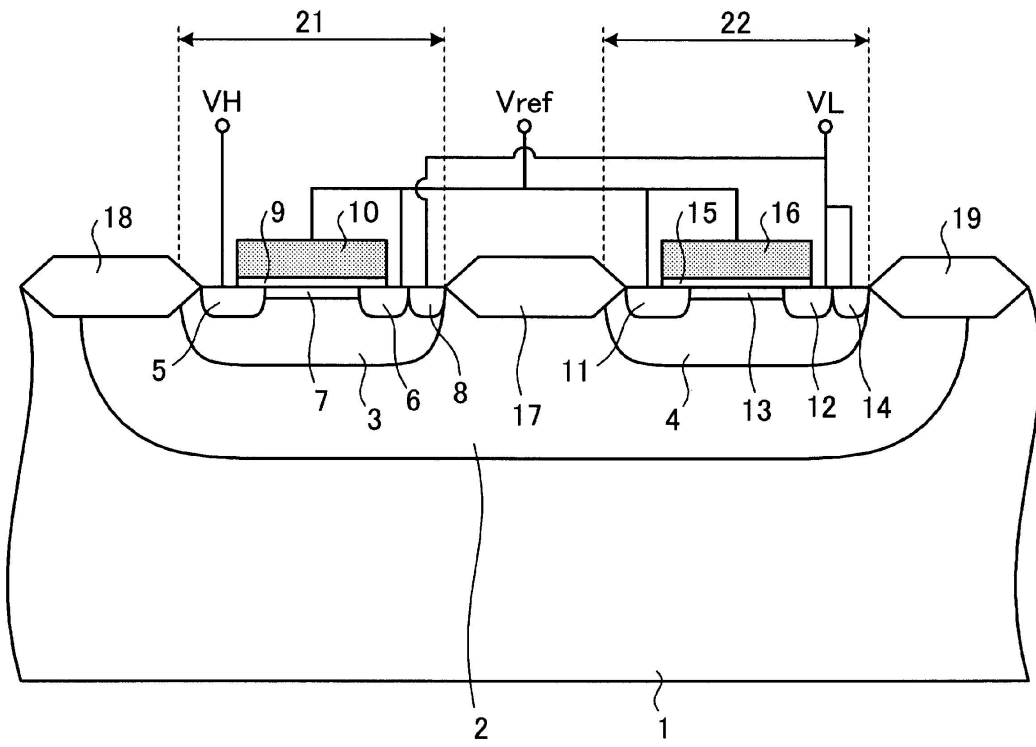
21 デプレッション型 NMOSFET

22 エンハンスメント型 NMOSFET

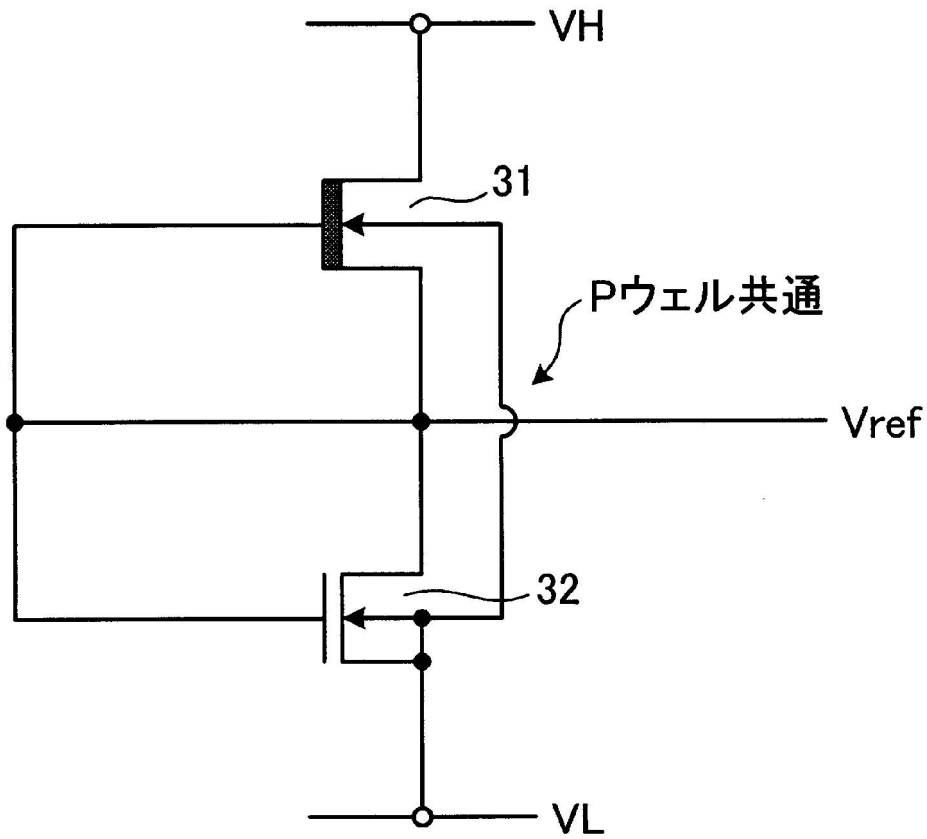
30



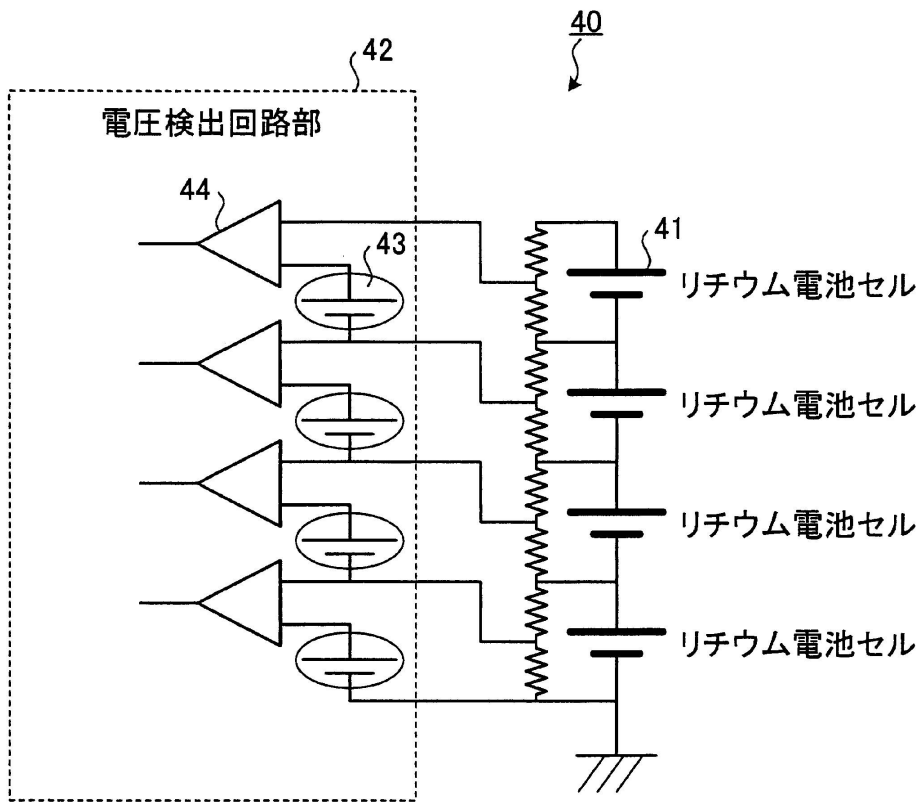
【図1】



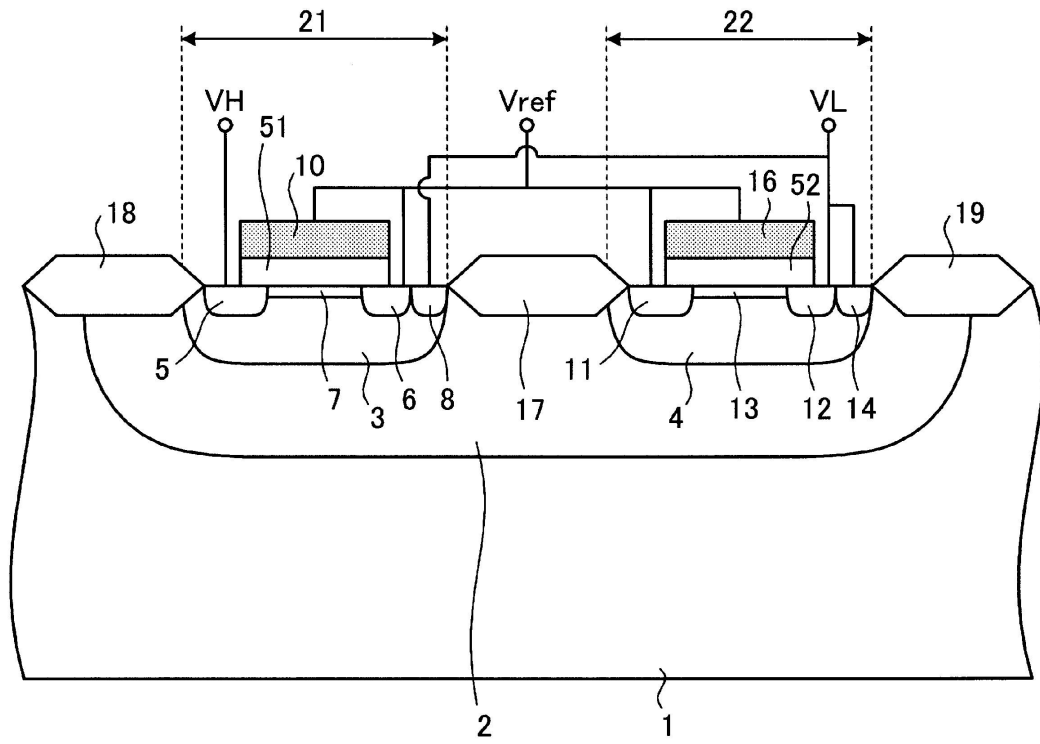
【図2】



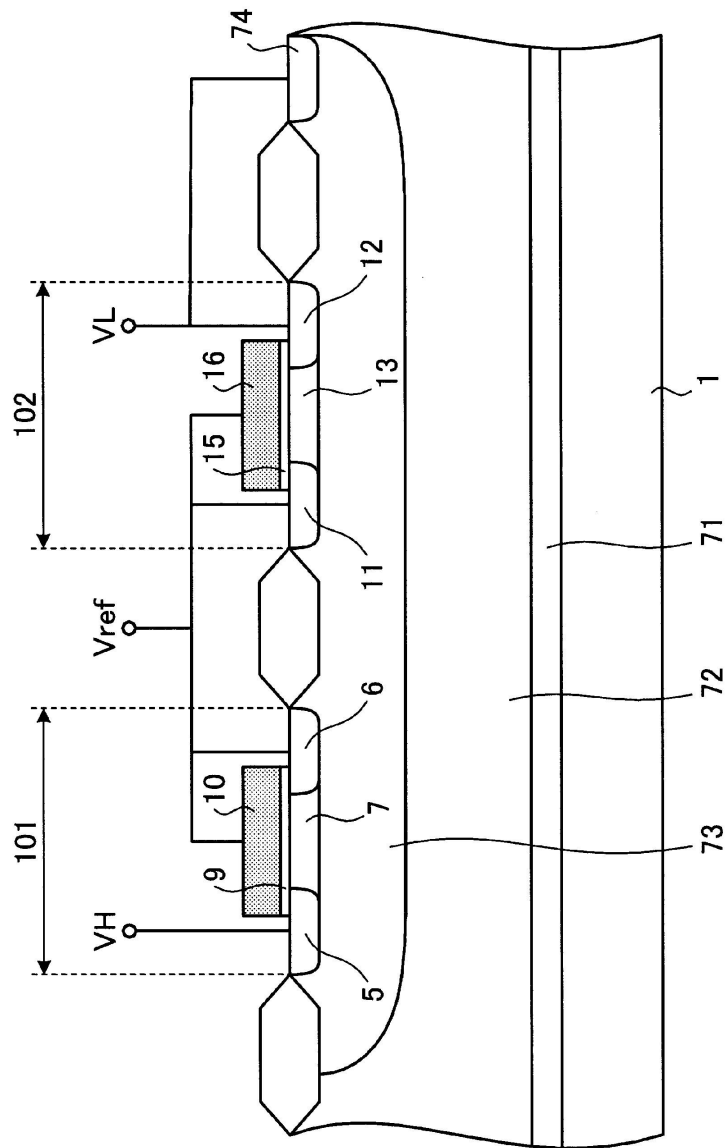
【図3】



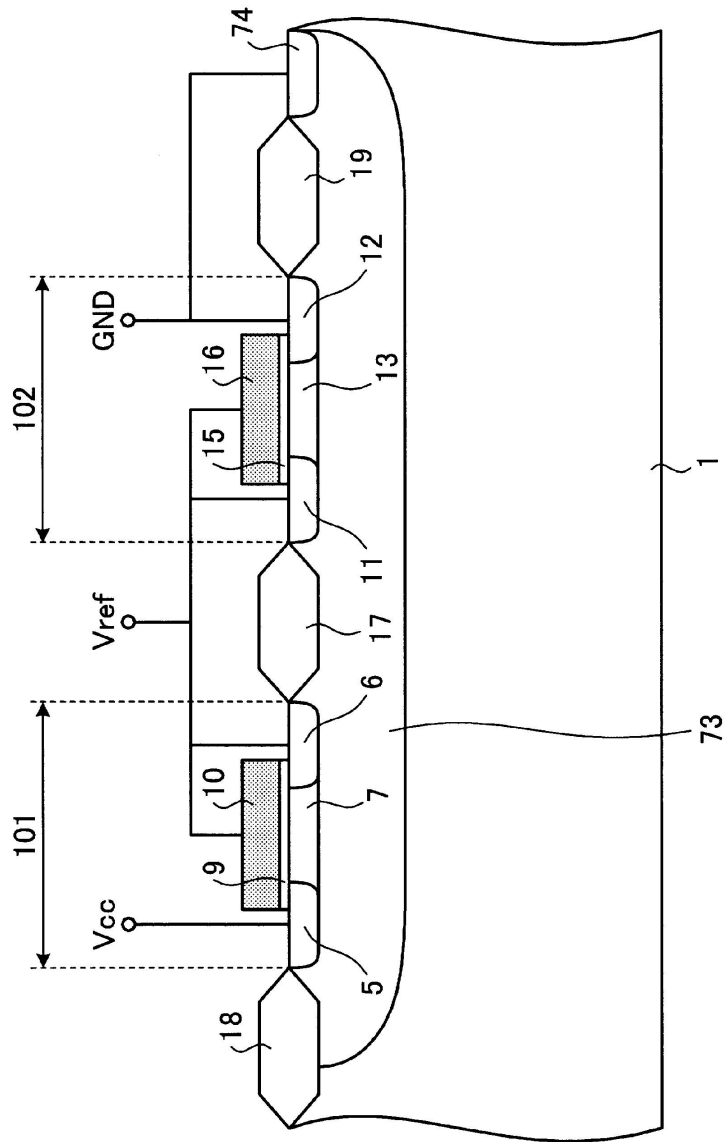
【図4】



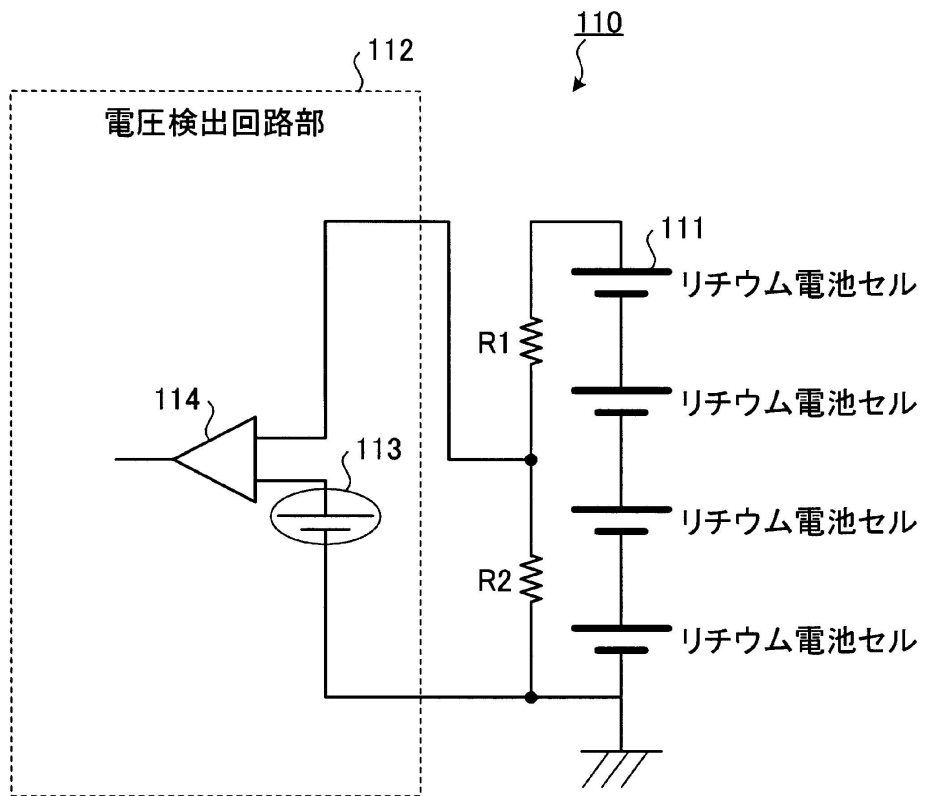
【図5】



【図6】



【図7】



---

フロントページの続き

- (56)参考文献 特開平11-135732(JP,A)  
国際公開第2006/131986(WO,A1)  
特開2006-140496(JP,A)  
特開2002-170886(JP,A)  
特開2003-031678(JP,A)