

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2019年6月13日 (13.06.2019)



(10) 国际公布号  
**WO 2019/109924 A1**

- (51) 国际专利分类号:  
*H01L 29/10* (2006.01)
- (21) 国际申请号: PCT/CN2018/119252
- (22) 国际申请日: 2018年12月5日 (05.12.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201711278066.7 2017年12月6日 (06.12.2017) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。
- (72) 发明人: 何乃龙 (HE, Nailong); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。张森 (ZHANG, Sen); 中国江苏省无锡市新

区新洲路8号, Jiangsu 214028 (CN)。张广胜 (ZHANG, Guangsheng); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。兰云 (LAN, Yun); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。

- (74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: LDMOS DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: LDMOS器件及其制备方法

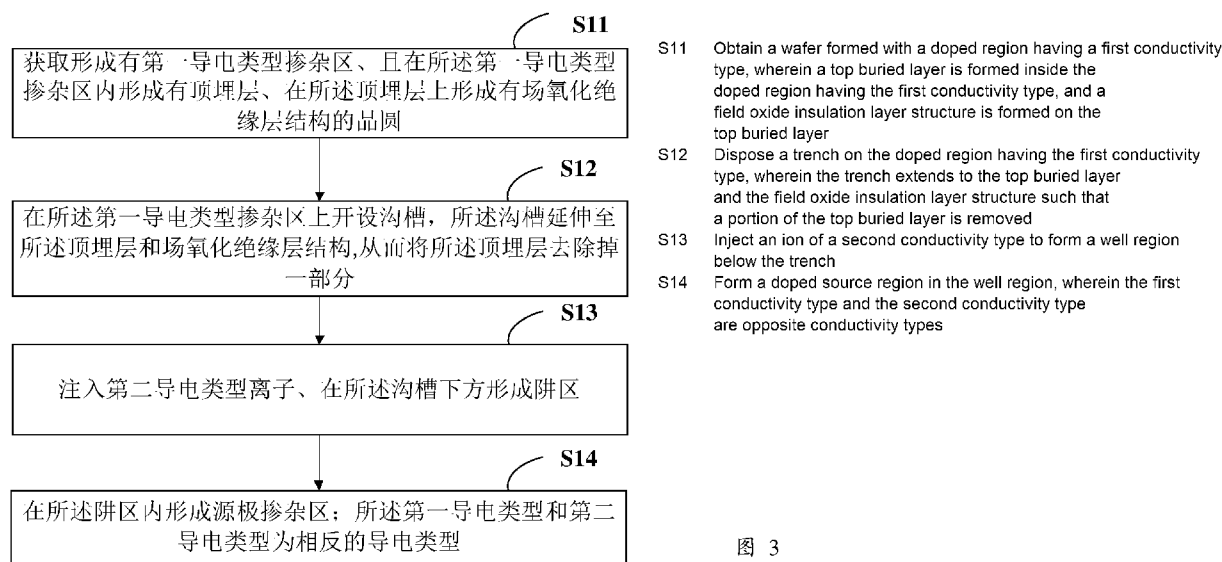


图 3

(57) Abstract: A manufacturing method of an LDMOS device comprises: obtaining a wafer formed with a doped region having a first conductivity type, wherein a top buried layer is formed inside the doped region having the first conductivity type, and a field oxide insulation layer structure is formed on the top buried layer; disposing a trench on the doped region having the first conductivity type, wherein the trench extends to the top buried layer and the field oxide insulation layer structure such that a portion of the top buried layer is removed; injecting an ion of a second conductivity type to form a well region below the trench; and forming a doped source region in the well region. The first conductivity type and the second conductivity type are opposite conductivity types.

WO 2019/109924 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW。

- (84)** 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

---

**(57) 摘要:** 一种LDMOS器件的制备方法, 包括获取形成有第一导电类型掺杂区、且在第一导电类型掺杂区内形成有顶埋层、在顶埋层上形成有场氧化绝缘层结构的晶圆; 在第一导电类型掺杂区上开设沟槽, 沟槽延伸至顶埋层和场氧化绝缘层结构, 从而将顶埋层去除掉一部分; 注入第二导电类型离子、在沟槽下方形成阱区; 在阱区内形成源极掺杂区; 第一导电类型和第二导电类型为相反的导电类型。

## 说明书

### 发明名称: LDMOS 器件及其制备方法

#### 技术领域

本发明涉及 LDMOS(Laterally Diffused Metal Oxide Semiconductor, 横向扩散金属氧化物半导体)技术领域,尤其涉及一种 LDMOS 器件及其制备方法。

5

#### 背景技术

目前的LDMOS器件,典型的有double resurf(双重降低表面电场)LDMOS器件,双重降低表面电场LDMOS器件是通过多晶硅栅极场板/金属场板结合漂移区表面的P型掺杂区来降低双重降低表面电场LDMOS器件的表面电场,从而得到高源漏击穿电压(简称BV)和低导通电阻,但是电流通道要经过JFET区域(PN结型场效应晶体管区域),JFET区域的大小以及掺杂浓度会限制LDMOS器件的导通电阻,JFET区域的大小以及掺杂浓度越大,LDMOS器件的导通电阻越大,然而要保证较高的源漏击穿电压,就需要牺牲一定的导通电阻。

10

#### 发明内容

基于此,提供一种 LDMOS 器件及其制备方法。

一种 LDMOS 器件的制备方法,包括:

获取形成有第一导电类型掺杂区、且在所述第一导电类型掺杂区内形成有顶埋层、在所述顶埋层上形成有场氧化绝缘层结构的晶圆;

在所述第一导电类型掺杂区上开设沟槽,所述沟槽延伸至所述顶埋层和场氧化绝缘层结构,从而将所述顶埋层去除掉一部分;

注入第二导电类型离子、在所述沟槽下方形成阱区;

在所述阱区内形成源极掺杂区;所述第一导电类型和第二导电类型为相反的导电类型。

25

一种 LDMOS 器件，包括：衬底；

第一导电类型掺杂区，设于所述衬底上，用于作为漂移区；

沟槽，开设于所述第一导电类型掺杂区上；

5 阱区，具有第二导电类型，设于所述沟槽下方；

源极掺杂区，设于所述阱区内；

顶埋层，具有第二导电类型，设于所述第一导电类型掺杂区内，一端延伸至所述沟槽；以及

10 场氧化绝缘层结构，设于所述顶埋层上方，一端延伸至所述沟槽；所述第一导电类型和第二导电类型为相反的导电类型。

所述沟槽的底部低于所述顶埋层的底部。

本发明的一个或多个实施例的细节在下面的附图和描述中提出。本发明的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

## 15 附图说明

通过附图中所示的本发明的优选实施例的更具体说明，本发明的上述及其它目的、特征和优势将变得更加清晰。在全部附图中相同的附图标记指示相同的部分，且并未刻意按实际尺寸等比例缩放绘制附图，重点在于示出本发明的主旨。

20 图 1 为一个实施例中的 LDMOS 器件的结构示意图；

图 2 为另一个实施例中的 LDMOS 器件的结构示意图；

图 3 为一个实施例中的 LDMOS 器件的制备方法的流程示意图。

图 4 为一个实施例中的 LDMOS 器件的制备过程的 LDMOS 器件的结构示意图；

25 图 5 为另一个实施例中的 LDMOS 器件的制备过程的 LDMOS 器件的结构示意图；

图 6 为再一个实施例中的 LDMOS 器件的制备过程的 LDMOS 器件的结

构示意图。

## 具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。

5 附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

需要说明的是，当元件被称为“固定于”另一个元件，它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件，它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“竖直的”、“水平的”、“上”、“下”、“左”、“右”以及类似的表述只是为了说明的目的。

一个实施例中，请参阅图 1，LDMOS 器件包括衬底 10、第一导电类型掺杂区 11、沟槽 12、阱区 13、源极掺杂区 14、顶埋层 15 以及场氧化绝缘层结构 16。第一导电类型掺杂区 11 设于衬底 10 上，用于作为漂移区，沟槽 12 开设于第一导电类型掺杂区 11 上，阱区 13 设于沟槽 12 下方，其中阱区 13 具有第二导电类型，源极掺杂区 14 设于阱区 13 内，顶埋层 15 设于第一导电类型掺杂区 11 内，即漂移区内，且顶埋层 15 的一端延伸至沟槽 12，顶埋层 15 具有第二导电类型，场氧化绝缘层结构 16，设于顶埋层 15 上方，一端延伸至沟槽，第一导电类型和第二导电类型为相反的导电类型。

在其中一个实施例中，请参阅图 1，源极掺杂区 14 可包括第一导电类型源极掺杂区 141 以及第二导电类型源极掺杂区 142。其中，第一导电类型和

第二导电类型一个为 P 型，另一个为 N 型，源极掺杂区 14 则包括 P 型源极掺杂区和 N 型源极掺杂区。

例如，第一导电类型为 N 型，第二导电类型对应为 P 型，那么，相应地，衬底 10 是 P 型衬底，漂移区是 N 型漂移区具体可以是 N-型漂移区（N-型代表轻掺杂浓度的 N 型），阱区 13 是 P 阱，顶埋层 15 是 P 型顶埋层。第一导电类型也可

5 电类型也可为 P 型，第二导电类型第二导电类型对应为 N 型，那么，相应地，衬底 10 是 N 型衬底，漂移区是 P 型漂移区，阱区 13 是 N 阱，顶埋层 15 是 N 型顶埋层。。

在其中一个实施例中，沟槽 12 的底部低于顶埋层 15 的底部，使得沟槽

10 12 深于顶埋层 15，沟槽 12 还可以进一步深于顶埋层 15 与漂移区形成的 PN 结。

在其中一个实施例中，请参阅图 1，部分场氧化绝缘层结构 16 设于第一导电类型掺杂区 11 的上方，其余的场氧化绝缘层结构 16 设于顶埋层 15 上方。

在其中一个实施例中，请参阅图 2，LDMOS 器件还包括栅氧结构 17、

15 栅极多晶硅 18（图 2 中条纹结构）以及栅极引出端 19。在图 2 所示的实施例中，栅氧结构 17 设于沟槽 12 的底部、沟槽 12 中靠近顶埋层 15 的侧壁，栅氧结构 17 还进一步延伸至场氧化绝缘层结构 16 部分表面上。具体地，如图 2 所示，栅氧结构 17 覆盖沟槽 12 的部分底部、沟槽 12 中靠近顶埋层 15 的侧面以及场氧化绝缘层结构 16 的部分表面。栅极多晶硅 18 设于栅氧结构 17

20 上，栅极引出端 19 与栅极多晶硅 18 电连接。在其他实施例中，栅氧结构 17 也可以设于沟槽 12 的底部和沟槽 12 中靠近顶埋层 15 的侧壁，栅氧结构 17 可不向场氧化绝缘层结构表面延伸，栅氧结构 17 覆盖沟槽 12 的部分底部以及顶埋层 15 的部分表面。

在一个实施例中，请参阅图 2，LDMOS 器件还包括源极引出端 20，源

25 极引出端 20 分别与第一导电类型源极掺杂区 141、第二导电类型源极掺杂区 142 电连接。

在一个实施例中，请参阅图 2，LDMOS 器件还包括漏极掺杂区 21 以及

漏极引出端 22，漏极掺杂区 20 设于第一导电类型掺杂区 11 上，漏极掺杂区 21 和源极掺杂区 14 被场氧化绝缘层结构隔开，漏极掺杂区 21 具有第一导电类型，漏极引出端 22 与漏极掺杂区 21 电连接。

上述 LDMOS 器件，通过开设沟槽 12，并将阱区 13 设于沟槽 12 下方，  
5 使得阱区 13 的位置向下调整，且由于顶埋层 15 和场氧化绝缘层结构 16 延伸至沟槽 12，使得顶埋层 15 和场氧化绝缘层结构 16 之间，顶埋层 15、场氧化绝缘层结构 16 和沟槽 12 之间不存在第一导电类型掺杂区，这样导电沟道就不经过 JEFT 区域，LDMOS 的导通电阻的大小能够摆脱 JFET 区域的限制，能够在获得高源漏击穿电压同时得到更低的导通电阻。

10

还提出了一种制备 LDMOS 器件的制备方法。

一个实施例中的 LDMOS 器件的制备方法可制备出如图 1 所示的 LDMOS 器件，请参阅图 3，该 LDMOS 器件的制备方法可包括以下步骤：

S11：获取形成有第一导电类型掺杂区 11、且在第一导电类型掺杂区 11  
15 内形成有顶埋层 15、在顶埋层 15 上形成有场氧化绝缘层结构 16 的晶圆。

如图 4 所示，第一导电类型掺杂区是在衬底 10 上形成，衬底 10 具有第二导电类型，然后在衬底 10 上形成第一导电类型掺杂区 11 作为漂移区，然后在漂移区内形成顶埋层 15，然后在顶埋层 15 上形成有场氧化绝缘层结构 16，衬底具有第二导电类型，晶圆则可是如图 4 所示的结构。

20 在一个实施例中，如图 4 所示，步骤 S11 的实现步骤包括以下步骤：首先在所述第一导电类型掺杂区 11 内形成顶埋层 15，然后在顶埋层 15 上形成场氧化绝缘层结构 16，将顶埋层 15 部分覆盖，顶埋层 15 在靠近后续开设沟槽的位置处有一截从场氧化绝缘层结构 16 下方露出。如图 4 所示，本实施例是在顶埋层 15 和漂移区上形成场氧化绝缘层结构 16，顶埋层 15 包住靠近源极掺杂区的场氧化绝缘层结构底部区域（如图 4 靠左的场氧化绝缘层结构底部区域）。  
25

S12：在第一导电类型掺杂区上开设沟槽，沟槽延伸至顶埋层和场氧化绝

缘层结构从而将顶埋层去除掉一部分。

如图 5 椭圆圈中所示，顶埋层和场氧化绝缘层结构之间、顶埋层、场氧化绝缘层结构和沟槽之间不存在第一导电类型掺杂区，因此导电沟道不会经过 JEFT 区域。

5 在其中一个实施例中，如图 5 所示，在第一导电类型掺杂区 11 上开设沟槽 12 的步骤是在低于顶埋层的底部的位置开设沟槽 12，使得在第一导电类型掺杂区 11 上形成的沟槽 12 的底部低于顶埋层 15 的底部。其他实施例中，形成的沟槽 12 底部还可以进一步低于顶埋层 15 与漂移区形成的 PN 结。

10 在其中一个实施例中，在第一导电类型掺杂区上开设沟槽的步骤，是以场氧化绝缘层结构为硬掩膜进行刻蚀。例如，如图 5 所示，漂移区上有场氧化绝缘层结构 A 和 B，场氧化绝缘层结构 A 和场氧化绝缘层结构 B 按照从左往右方向（电流方向）排列，是在这个场氧化绝缘层结构中间的漂移区上形成沟槽，场氧化绝缘层结构用来隔开源极掺杂区和漏极掺杂区，故场氧化绝缘层结构 A 左边的漂移区和场氧化绝缘层结构 B 右边的漂移区是用于形成漏极掺杂区的，不会开设沟槽。

S13: 注入第二导电类型离子、在沟槽 12 下方形成阱区。

本步骤是在图 5 的结构中的沟槽 12 上，以离子注入方式形成阱区，如图 1 所示是形成阱区后的结构。

20 S14: 在阱区内形成源极掺杂区，如图 1 所示是形成源极掺杂区后的结构；第一导电类型和第二导电类型为相反的导电类型。其中，第一导电类型可为 N 型，第二导电类型第二导电类型对应为 P 型。

25 在其中一个实施例中，请参阅图 1，在阱区内形成源极掺杂区的步骤是在阱区内形成第一导电类型源极掺杂区和第二导电类型源极掺杂区，第一导电类型源极掺杂区所在位置离顶埋层更近。在所述阱区内形成源极掺杂区的步骤之后，在第一导电类型的源极掺杂区和第二导电类型源极掺杂区上引出源极引出端。第一导电类型源极掺杂区可为 N 型源极掺杂区，对应地，第二导电类型源极掺杂区为 P 型掺杂区。



在其中一个实施例中，请参阅图 6，在第一导电类型掺杂区上开设沟槽之后的步骤包括栅氧结构 17 的形成步骤，具体是在沟槽 12 的底部和沟槽 12 中靠近顶埋层 15 的侧壁形成连续的栅氧结构，形成的栅氧结构 17 覆盖沟槽 12 部分底部以及顶埋层 15 的部分表面。在其他实施例中，请参阅图 6，栅氧结构 17 还可以进一步延伸至场氧化绝缘层结构 16 的部分表面上。形成的栅氧结构 17 覆盖沟槽 12 部分底部、沟槽 12 中靠近顶埋层 15 的侧壁以及场氧化绝缘层结构 16 的部分表面。例如，如图 6 所示，该沟槽 12 中靠近顶埋层 15 的侧壁是延伸至顶埋层 15 和场氧化绝缘层结构 16 的沟槽右侧壁，图中电流方向为从左往右。

10 形成栅氧结构 17 之后，在栅氧结构 17 上淀积形成栅极多晶硅 18，然后在栅极多晶硅 18 引出栅极引出端 19。

本实施例形成栅氧结构 17 以及栅极多晶硅 18 的步骤可以在开设沟槽 12 之后执行。具体可以在形成阱区、源极掺杂区之后执行。

一个实施例中，请参阅图 6，LDMOS 器件的制备方法还包括以下步骤：

15 在第一导电类型掺杂 11 内形成漏极掺杂区 20，然后在漏极掺杂区 20 引出漏极引出端。漏极掺杂区 20 和源极掺杂区 14 被场氧化绝缘层结构 16 隔开，漏极掺杂区 20 具有第一导电类型；电流是从第一导电类型的源极掺杂区流入漏极掺杂区的。

20 上述 LDMOS 器件的制备方法，将阱区的位置向下调整（形成于沟槽下方），且由于顶埋层和场氧化绝缘层结构延伸至沟槽，使得顶埋层和场氧化绝缘层结构之间，顶埋层、场氧化绝缘层结构和沟槽之间不存在第一导电类型掺杂区，这样导电沟道就不经过 JEFT 区域，LDMOS 的导通电阻的大小能够摆脱 JFET 区域的限制，能够在获得高源漏击穿电压同时得到更低的导通电阻。

25

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能组合都进行描述，然而只要这些技

术特征的组合不存在矛盾，都应当是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施例，其描述较为具体和详细，但并不能因此而理解为对本发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求为准。

5

## 权利要求书

1、一种 LDMOS 器件的制备方法，包括：

获取形成有第一导电类型掺杂区、且在所述第一导电类型掺杂区内形成有顶埋层、在所述顶埋层上形成有场氧化绝缘层结构的晶圆；

在所述第一导电类型掺杂区上开设沟槽，所述沟槽延伸至所述顶埋层和  
5 场氧化绝缘层结构，从而将所述顶埋层去除掉一部分；

注入第二导电类型离子、在所述沟槽下方形成阱区；以及

在所述阱区内形成源极掺杂区；所述第一导电类型和第二导电类型为相反的导电类型。

2、根据权利要求 1 所述的方法，其特征在于，所述在所述第一导电类型  
10 掺杂区上开设沟槽的步骤，是以所述场氧化绝缘层结构为硬掩膜进行刻蚀。

3、根据权利要求 1 所述的方法，其特征在于，所述在所述第一导电类型掺杂区上开设沟槽的步骤，形成的沟槽底部低于所述顶埋层的底部。

4、根据权利要求 1 所述的方法，其特征在于，所述在所述第一导电类型  
15 掺杂区上开设沟槽的步骤，形成的沟槽底部低于所述顶埋层与所述第一导电类型掺杂区形成的 PN 结。

5、根据权利要求 1 所述的方法，其特征在于，所述获取形成有第一导电类型掺杂区、且在所述第一导电类型掺杂区内形成有顶埋层、在所述顶埋层上形成有场氧化绝缘层结构的晶圆的步骤包括：

在所述第一导电类型掺杂区内形成所述顶埋层；

20 在所述顶埋层上形成所述场氧化绝缘层结构，将所述顶埋层部分覆盖，所述顶埋层在靠近所述沟槽的位置处有一截从所述场氧化绝缘层结构下方露出。

6、根据权利要求 1 所述的方法，其特征在于，所述第一导电类型是 N 型，所述第二导电类型是 P 型。

25 7、根据权利要求 1 所述的方法，其特征在于，在第一导电类型掺杂区上

开设沟槽之后的步骤包括：在所述沟槽的底部和所述沟槽中靠近顶埋层的侧壁形成连续的栅氧结构。

8、根据权利要求 7 所述的方法，其特征在于，所述栅氧结构还延伸至所述场氧化绝缘层结构的部分表面。

5 9、根据权利要求 1 所述的方法，其特征在于，所述在阱区内形成源极掺杂区的步骤是在所述阱区内形成第一导电类型源极掺杂区和第二导电类型源极掺杂区，第一导电类型源极掺杂区所在位置离所述顶埋层更近。

10、根据权利要求 9 所述的方法，其特征在于，还包括：

10 在所述第一导电类型掺杂内形成漏极掺杂区，所述漏极掺杂区和所述源极掺杂区被所述场氧化绝缘层结构隔开，所述漏极掺杂区具备第一导电类型。

11、一种 LDMOS 器件，包括：

衬底；

第一导电类型掺杂区，设于所述衬底上，用于作为漂移区；

沟槽，开设于所述第一导电类型掺杂区上；

15 阱区，具有第二导电类型，设于所述沟槽下方；

源极掺杂区，设于所述阱区内；

顶埋层，具有第二导电类型，设于所述第一导电类型掺杂区内，一端延伸至所述沟槽；

20 场氧化绝缘层结构，设于所述顶埋层上方，一端延伸至所述沟槽；以及所述第一导电类型和第二导电类型为相反的导电类型。

12、根据权利要求 11 所述的 LDMOS 器件，其特征在于，其特征在于，所述沟槽的底部低于所述顶埋层的底部。

13、根据权利要求 11 所述的 LDMOS 器件，其特征在于，所述沟槽的底部低于顶所述埋层与漂移区形成的 PN 结。

25 14、根据权利要求 11 所述的 LDMOS 器件，其特征在于，还包括：

栅氧结构，设于所述沟槽的底部和所述沟槽中靠近所述顶埋层的侧壁；所述栅氧结构覆盖沟槽的部分底部以及所述顶埋层的部分表面；

栅极多晶硅，设于所述栅氧结构上；以及  
栅极引出端，与所述栅极多晶硅电连接。

15、根据权利要求 14 所述的 LDMOS 器件，其特征在于，所述栅氧结构还延伸至所述场氧化绝缘层结构的部分表面。

5 16、根据权利要求 11 所述的 LDMOS 器件，其特征在于，所述源极掺杂区包括第一导电类型源极掺杂区；

第二导电类型源极掺杂区，第一导电类型源极掺杂区所在位置离顶埋层更近；以及源极引出端，分别与所述第一导电类型源极掺杂区、第二导电类型源极掺杂区电连接。

10 17、根据权利要求 16 所述的 LDMOS 器件，其特征在于，还包括：

漏极掺杂区，设于所述第一导电类型掺杂区上，所述漏极掺杂区和所述源极掺杂区被所述场氧化绝缘层结构隔开，所述漏极掺杂区具有第一导电类型；以及

漏极引出端，与所述漏极掺杂区电连接。

15 18、根据权利要求 11 所述的 LDMOS 器件，其特征在于，部分所述场氧化绝缘层结构设于所述第一导电类型掺杂区的上方。

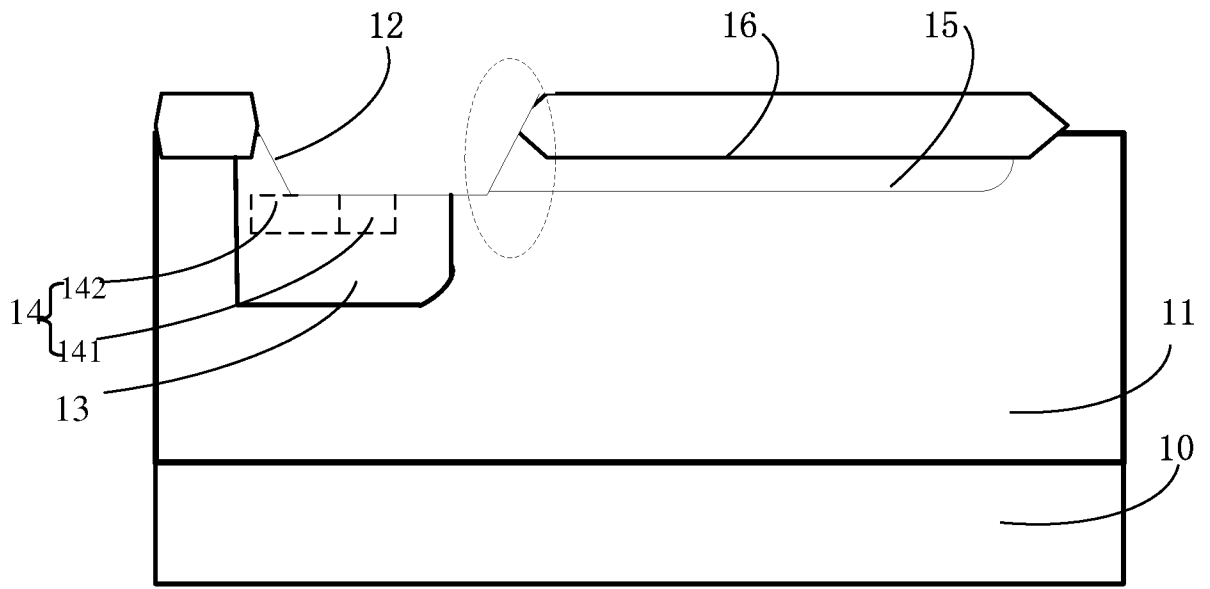


图 1

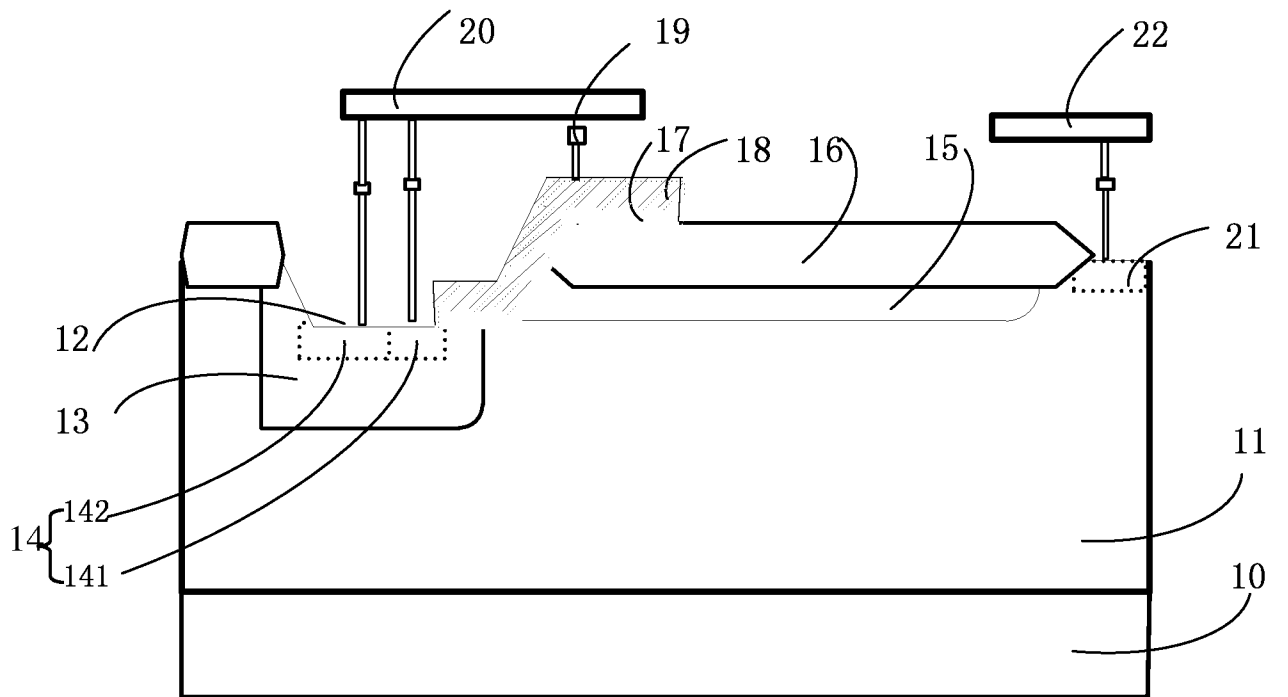


图 2

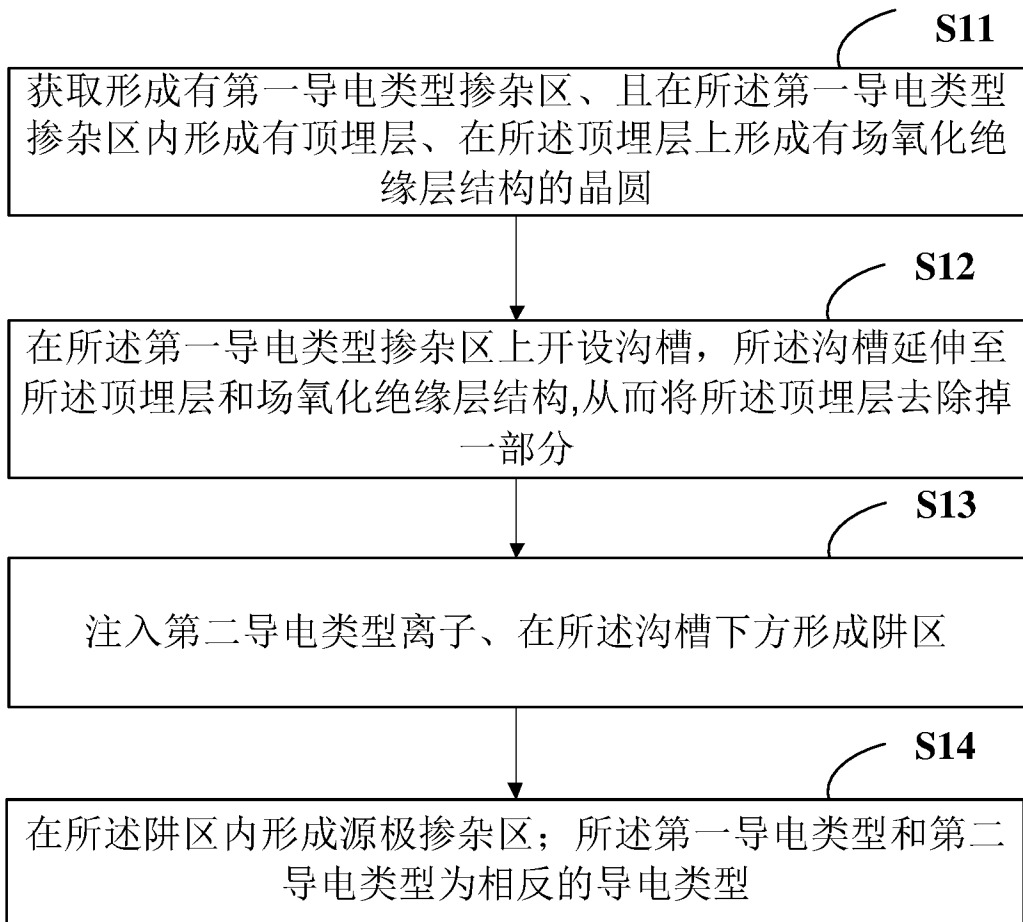


图 3

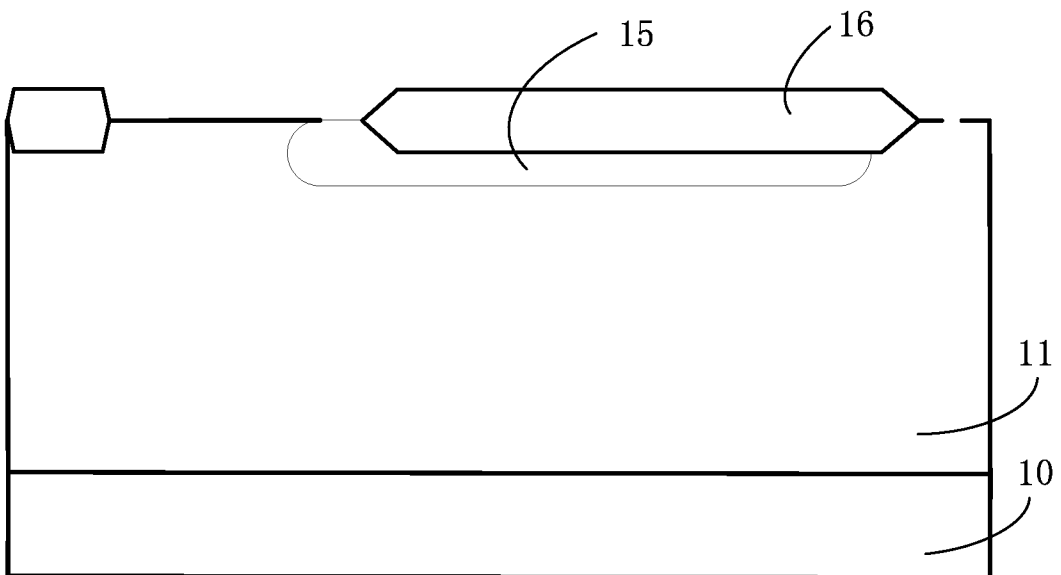


图 4

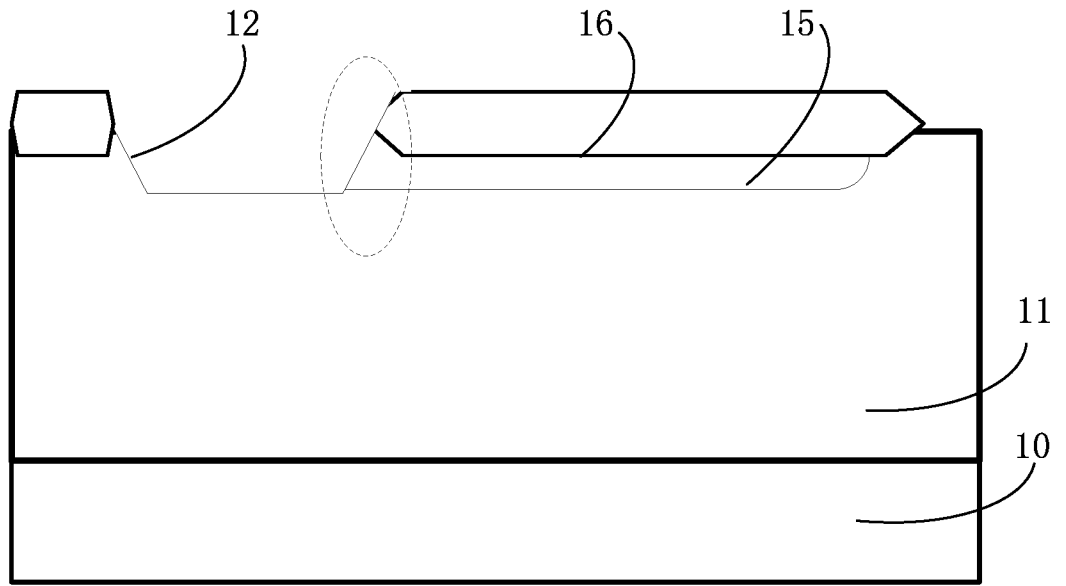


图 5

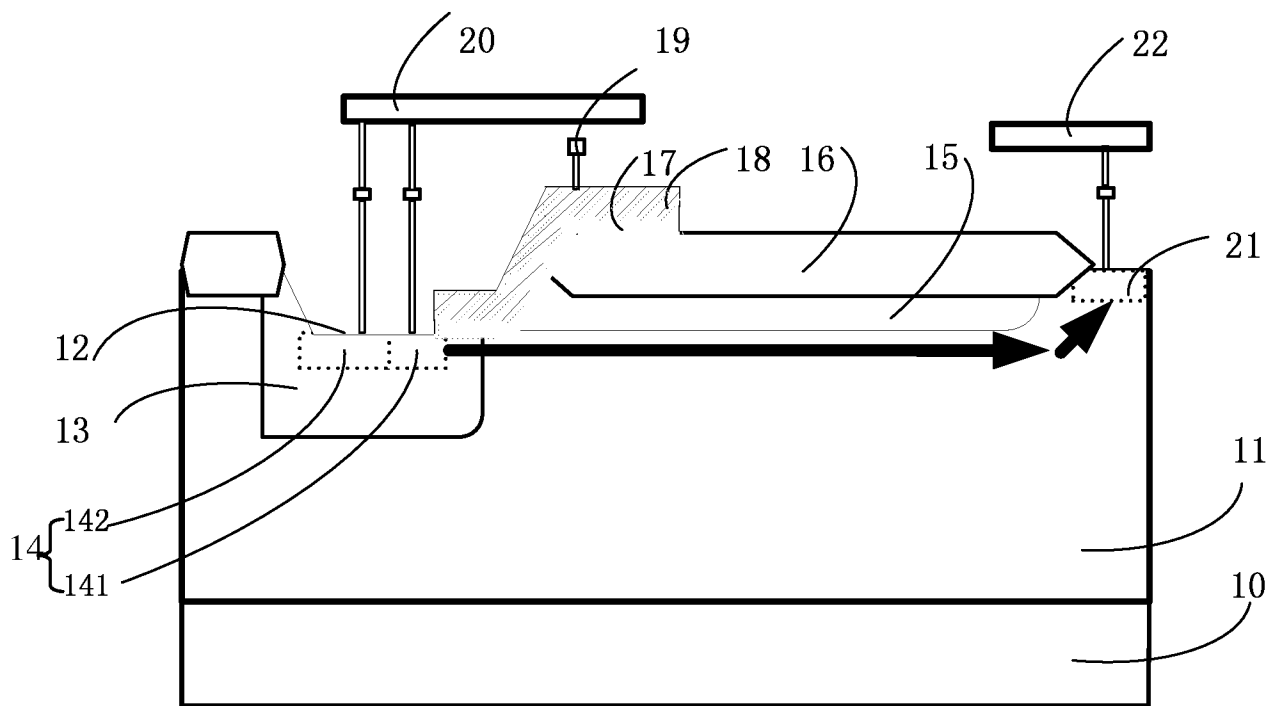


图 6



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/119252

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01L 29/10(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; CNTXT; VEN; USTXT; WOTXT; EPTXT; CNKI; 横向扩散金属氧化物半导体, 表面电场, 击穿电压, 导通电阻, 沟槽, LD MOS, laterally diffused metal oxide semiconductor, surface electric field, breakdown voltage, on resistance, groove		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105428415 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 23 March 2016 (2016-03-23) entire document	1-18
A	CN 102468335 A (CSMC TECHNOLOGIES FAB1 CO., LTD. ET AL.) 23 May 2012 (2012-05-23) entire document	1-18
A	US 5378912 A (PHILIPS ELECTRONICS NA) 03 January 1995 (1995-01-03) entire document	1-18
A	US 5777365 A (NIPPON DENSO CO.) 07 July 1998 (1998-07-07) entire document	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
13 February 2019		11 March 2019
Name and mailing address of the ISA/CN		Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2018/119252**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105428415	A	23 March 2016	CN	105428415	B	21 August 2018
CN	102468335	A	23 May 2012	WO	2012065485	A1	24 May 2012
				WO	2012065514	A1	24 May 2012
US	5378912	A	03 January 1995	KR	100359712	B1	24 January 2003
				EP	0652599	B1	21 May 1997
				DE	69403306	T2	11 December 1997
				EP	0652599	A1	10 May 1995
				DE	69403306	D1	26 June 1997
				JP	H07183522	A	21 July 1995
US	5777365	A	07 July 1998	JP	H0997832	A	08 April 1997
				JP	3435930	B2	11 August 2003

<p><b>A. 主题的分类</b></p> <p>H01L 29/10 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS; CNTXT; VEN; USTXT; WOTXT; EPTXT; CNKI; 横向扩散金属氧化物半导体, 表面电场, 击穿电压, 导通电阻, 沟槽, LDMOS, laterally diffused metal oxide semiconductor, surface electric field, breakdown voltage, on resistance, groove</p>																	
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 105428415 A (上海华虹宏力半导体制造有限公司) 2016年 3月 23日 (2016 - 03 - 23) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 102468335 A (无锡华润上华半导体有限公司 等) 2012年 5月 23日 (2012 - 05 - 23) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 5378912 A (PHILIPS ELECTRONICS NA) 1995年 1月 3日 (1995 - 01 - 03) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 5777365 A (NIPPON DENSO CO) 1998年 7月 7日 (1998 - 07 - 07) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 105428415 A (上海华虹宏力半导体制造有限公司) 2016年 3月 23日 (2016 - 03 - 23) 全文	1-18	A	CN 102468335 A (无锡华润上华半导体有限公司 等) 2012年 5月 23日 (2012 - 05 - 23) 全文	1-18	A	US 5378912 A (PHILIPS ELECTRONICS NA) 1995年 1月 3日 (1995 - 01 - 03) 全文	1-18	A	US 5777365 A (NIPPON DENSO CO) 1998年 7月 7日 (1998 - 07 - 07) 全文	1-18
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 105428415 A (上海华虹宏力半导体制造有限公司) 2016年 3月 23日 (2016 - 03 - 23) 全文	1-18															
A	CN 102468335 A (无锡华润上华半导体有限公司 等) 2012年 5月 23日 (2012 - 05 - 23) 全文	1-18															
A	US 5378912 A (PHILIPS ELECTRONICS NA) 1995年 1月 3日 (1995 - 01 - 03) 全文	1-18															
A	US 5777365 A (NIPPON DENSO CO) 1998年 7月 7日 (1998 - 07 - 07) 全文	1-18															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2019年 2月 13日</p>		<p>国际检索报告邮寄日期</p> <p>2019年 3月 11日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>张权林</p> <p>电话号码 86-(20)-28958387</p>															

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2018/119252

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105428415	A	2016年 3月 23日	CN	105428415	B	2018年 8月 21日
CN	102468335	A	2012年 5月 23日	WO	2012065485	A1	2012年 5月 24日
				WO	2012065514	A1	2012年 5月 24日
US	5378912	A	1995年 1月 3日	KR	100359712	B1	2003年 1月 24日
				EP	0652599	B1	1997年 5月 21日
				DE	69403306	T2	1997年 12月 11日
				EP	0652599	A1	1995年 5月 10日
				DE	69403306	D1	1997年 6月 26日
				JP	H07183522	A	1995年 7月 21日
US	5777365	A	1998年 7月 7日	JP	H0997832	A	1997年 4月 8日
				JP	3435930	B2	2003年 8月 11日