

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.		(45) 공고일자	2006년08월10일
<i>H01L 21/31</i> (2006.01)		(11) 등록번호	10-0611784
<i>H01L 21/336</i> (2006.01)		(24) 등록일자	2006년08월04일
<i>H01L 21/8228</i> (2006.01)			

(21) 출원번호	10-2004-0115352	(65) 공개번호	10-2006-0075968
(22) 출원일자	2004년12월29일	(43) 공개일자	2006년07월04일

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 조홍재
 경기 이천시 대월면 사동리 441-1 현대전자사원아파트 105-904

 임관용
 경기 수원시 영통구 영통동 황골마을주공아파트 139-1001

 이승룡
 서울 성동구 성수1가1동 강변건영아파트 106-1203

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌

KR1020030050680 A	KR1020030093713 A
KR1020040077969 A	KR1020040108488 A *
KR1020020042487 A *	

* 심사관에 의하여 인용된 문헌

심사관 : 김희주

(54) 다중 게이트절연막을 갖는 반도체장치 및 그의 제조 방법

요약

본 발명은 하나의 칩내에 요구되는 목적에 맞는 서로 다른 두께의 게이트절연막을 간단한 공정을 통해 형성하면서 캐리어 이동도 감소를 억제할 수 있는 다중 게이트절연막을 갖는 반도체장치 및 그의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체장치의 제조 방법은 NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판의 표면에 1차 산화공정을 통해 실리콘산화막을 형성하는 단계, 상기 주변회로영역 상의 실리콘산화막을 선택적으로 제거하는 단계, 상기 실리콘산화막 제거후 노출된 주변회로영역의 실리콘기판 표면에 실리콘-질소 본드를 형성함과 동시에 상기 셀영역에 잔류하고 있는 실리콘산화막 표면에 실리콘-산소-질소 본드를 형성하는 단계, 및 2차 산화 공정을 통해 상기 실리콘-질소 본드가 형성된 주변회로영역의 실리콘기판 표면 상에 질화산화막을 형성함과 동시에 상기 실리콘-산소-질소 본드가 형성된 실리콘산화막을 순수 실리콘산화막으로 바꾸는 단계를 포함한다.

대표도

도 3g

색인어

다중 게이트절연막, 순수 실리콘산화막, 질화산화막, 실리콘-질소 본드

명세서

도면의 간단한 설명

도 1a는 종래기술에 따른 다중 게이트절연막을 갖는 반도체장치의 구조를 도시한 도면,

도 1b는 순수한 실리콘산화막과 질화막의 노말라이즈 트랜스컨덕턴스 특성을 비교한 도면,

도 2는 본 발명의 실시예에 따른 다중 게이트절연막을 갖는 반도체장치의 구조를 도시한 도면,

도 3a 내지 도 3g는 본 발명의 실시예에 따른 다중 게이트절연막을 갖는 반도체장치의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 실시예에 따른 플라즈마질화법으로 실리콘산화막 표면을 질화시킨 시편과 이 시편을 재산화시켰을 때의 질소와 산소의 프로파일 변화를 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명

31 : 실리콘 기판 32 : 필드산화막

33 : 제1실리콘산화막 35a : 실리콘-질소 본드

35b : 실리콘-산소-질소 본드 36a : 질화산화막

36b : 순수 실리콘산화막 37a : p⁺ 실리콘전극

37b : n⁺ 실리콘전극 40 : 저저항 메탈전극

41 : 게이트하드마스크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체장치의 다중 게이트절연막 형성 방법에 관한 것이다.

최근에 여러가지 목적에 맞는 소자들은 하나의 칩내에 형성한 시스템온칩(System On Chip; SOC)이 많이 연구중에 있다.

이러한 시스템온칩(SOC)에는 각 소자의 동작전압이 틀린데, 이때 공정상 꼭 필요한 것이 서로 상이한 두께를 갖는 게이트 절연막을 형성하는 것이다.

즉, 높은 전압이 걸리는 소자에는 신뢰성 향상을 위해 두꺼운 게이트절연막이 필요하며, 소자의 동작 속도가 중요시되는 소자에는 얇은 게이트절연막이 사용되어야 한다. 또한, 소자의 동작속도 향상 및 NMOSFET와 PMOSFET가 대칭 문턱전압(Symmetric threshold voltage)을 갖도록 듀얼 폴리실리콘 게이트(Dual polysilicon gate)도 함께 연구되고 있다.

도 1a는 종래기술에 따른 다중 게이트절연막을 갖는 반도체장치의 구조를 도시한 도면이다.

도 1a에 도시된 바와 같이, NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판(11), 실리콘기판(11)의 셀영역 상부에 형성된 제1게이트절연막(12), 실리콘기판(11)의 주변회로영역의 NMOS 상부에 형성된 제2게이트절연막(13a), 실리콘기판(11)의 주변회로영역의 PMOS 상부에 형성된 제3게이트절연막(13b), 셀영역의 제1게이트절연막(12) 상에 n^+ 실리콘전극(14a), 저저항 메탈전극(15) 및 게이트하드마스크(16)의 순서로 적층된 제1게이트(21), 주변회로영역의 제2게이트절연막(13a) 상에 n^+ 실리콘전극(14a), 저저항 메탈전극(15) 및 게이트하드마스크(16)의 순서로 적층된 제2게이트(22), 주변회로영역의 제3게이트절연막(13b) 상에 p^+ 실리콘전극(14b), 저저항 메탈전극(15) 및 게이트하드마스크(16)의 순서로 적층된 제1게이트(23)을 포함한다.

도 1과 같은 종래기술의 반도체장치는 셀영역에서는 가장 두꺼운 제1게이트절연막(12)이 형성되고, 주변회로영역에는 제1게이트절연막(12)에 비해 상대적으로 두께가 얇은 제2,3게이트절연막(13a, 13b)을 갖고 있으며, 제1,2게이트절연막(12, 13a)은 열산화공정을 통해 형성한 실리콘산화막(SiO_2)이고 제3게이트절연막(13b)은 질화막이다.

그러나, 종래기술은 서로 다른 두께를 갖는 게이트절연막을 하나의 칩 내에 구현하기는 다음과 같은 여러가지 공정상 및 특성 저하의 어려움이 있게 된다.

첫째, 각각 열산화공정을 통해 서로 다른 두께의 게이트절연막을 형성해야 하므로 공정이 매우 복잡하다.

둘째, 주변회로영역의 PMOS의 p^+ 실리콘전극(14b)에서는 보론 침투(Boron penetration)를 억제하기 위해 순수한 산화막 대신 질화막을 게이트절연막으로 적용해야 한다는 것이다. 이처럼, 질화막을 게이트절연막으로 이용하게 되면 질소가 게이트절연막과 반도체기판의 계면에 존재하게 되어 캐리어 이동도(Carrier mobility)가 감소하여 소자의 속도 저하를 유발시키는 문제점이 있다.

도 1b는 순수한 실리콘산화막과 질화막의 노말라이즈드 트랜스컨덕턴스(normalized transconductance; Gm) 특성을 비교한 도면으로서, 질화막은 순수한 실리콘산화막(Pure SiO_2)에 비해 트랜스컨덕턴스 특성이 낮음을 알 수 있다. 일반적으로 트랜지스터의 특성파라미터인 트랜스컨덕턴스는 높을 수록 좋은 것으로 알려져 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 하나의 칩내에 요구되는 목적에 맞는 서로 다른 두께의 게이트절연막을 간단한 공정을 통해 형성하면서 캐리어 이동도 감소를 억제할 수 있는 다중 게이트절연막을 갖는 반도체장치 및 그의 제조 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체장치는 NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판; 상기 셀영역의 실리콘기판 상부에 형성된 순수 실리콘산화막; 상기 주변회로영역의 실리콘기판 상부에 형성된 질화산화막; 상기 셀영역의 순수 실리콘산화막 상에 n^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제1게이트; 상기 주변회로영역의 NMOS의 질화산화막 상에 n^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제2게이트; 및 상기 주변회로영역의 PMOS의 질화산화막 상에 p^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제3게이트를 포함하고, 상기 질화산화막은 실리콘-질소 본드가 표면에 형성된 상기 실리콘기판의 표면을 산화시켜 형성한 것이고, 상기 순수 실리콘산화막은 실리콘-산소-질소 본드가 표면에 형성된 실리콘산화막을 산화시켜 형성한 것을 특징으로 한다.

그리고, 본 발명의 반도체장치의 제조 방법은 NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판의 표면에 1차 산화공정을 통해 실리콘산화막을 형성하는 단계, 상기 주변회로영역 상의 실리콘산화막을 선택적으로 제거하는 단계, 상기 실리콘산화막 제거후 노출된 주변회로영역의 실리콘기판 표면에 실리콘-질소 본드를 형성함과 동시에 상기 셀영역에 잔류하고 있는 실리콘산화막 표면에 실리콘-산소-질소 본드를 형성하는 단계, 및 2차 산화공정을 통해 상기 실리콘-질소 본드가 형성된 주변회로영역의 실리콘기판 표면 상에 질화산화막을 형성함과 동시에 상기 실

리콘-산소-질소 본드가 형성된 실리콘산화막을 순수 실리콘산화막으로 바꾸는 단계를 포함하는 것을 특징으로 하며, 상기 실리콘-질소 본드와 상기 실리콘-산소-질소 본드를 형성하는 단계는 플라즈마질화법으로 진행하는 것을 특징으로 하고, 상기 플라즈마질화는 상기 실리콘 기판과 상기 실리콘산화막 표면 상부에 직접 질소 플라즈마를 형성시켜주는 방법을 이용하거나, 또는 리모트 플라즈마 질화법을 이용하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 다중 게이트절연막을 갖는 반도체장치의 구조를 도시한 구조 단면도이다.

도 2에 도시된 바와 같이, NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판(31), 셀영역의 실리콘기판(31) 상부에 형성된 순수 실리콘산화막(36b), 주변회로영역의 실리콘기판(31) 상부에 형성된 질화산화막(36a), 셀영역의 순수 실리콘산화막(36b) 상에 n⁺ 실리콘전극(37b), 저저항 메탈전극(40) 및 게이트하드마스크(41)의 순서로 적층된 제1게이트(100), 주변회로영역의 NMOS 지역의 질화산화막(36a) 상에 n⁺ 실리콘전극(37b), 저저항 메탈전극(40) 및 게이트하드마스크(41)의 순서로 적층된 제2게이트(200), 주변회로영역의 PMOS 지역의 질화산화막(36a) 상에 p⁺ 실리콘전극(37a), 저저항 메탈전극(40) 및 게이트하드마스크(41)의 순서로 적층된 제3게이트(300)를 포함한다.

도 2와 같은 반도체장치에서, 순수 실리콘산화막(36b)은 주변회로영역에 형성된 질화산화막(36a)에 비해 상대적으로 두께가 두껍다.

그리고, 질화산화막(36a)은 실리콘-질소 본드가 표면에 형성된 실리콘기판(31)의 표면을 산화시켜 형성한 것이고, 순수 실리콘산화막(36b)은 실리콘-산소-질소 본드가 표면에 형성된 실리콘산화막을 산화시켜 형성한 것이다.

그리고, 주변회로영역에 형성된 질화산화막(36a) 중의 질소 농도는 5%~30%이다.

도 3a 내지 도 3g는 본 발명의 실시예에 따른 다중 게이트절연막 구조를 갖는 반도체장치의 제조 방법을 도시한 공정 단면도이다.

도 3a에 도시된 바와 같이, 필드산화막(32)이 형성된 실리콘 기판(31)의 표면 상에 1차 산화 공정을 통해 제1실리콘산화막(33)을 5Å~100Å 두께로 형성한다. 여기서, 실리콘 기판(31)은 셀영역과 주변회로영역으로 구분되는데, 셀영역은 두꺼운 게이트절연막이 요구되는 영역이고, 주변회로영역은 셀영역에 비해 상대적으로 얇은 게이트절연막이 요구되는 영역이며, DRAM에서 셀영역에는 NMOS가 형성될 영역이고, 주변회로영역은 NMOS와 PMOS가 모두 형성될 영역이다.

위와 같이, 제1실리콘산화막(33)은 셀영역과 주변회로영역에서 모두 동일한 두께로 형성되며, 순수하게 실리콘 기판(31)의 표면을 산화시켜 형성한 SiO₂이다.

도 3b에 도시된 바와 같이, 제1실리콘산화막(33) 상부에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀영역을 덮는 제1마스크패턴(34)을 형성한다.

이어서, 제1마스크패턴(34)을 식각배리어로 주변회로영역에 형성된 제1실리콘산화막(33)을 식각하여 주변회로영역의 실리콘 기판(31)의 표면을 노출시킨다.

위와 같은, 제1마스크패턴(34)을 식각배리어로 이용한 제1실리콘산화막(34)의 선택적 식각후에, 셀영역의 실리콘기판(31) 표면상에만 제1실리콘산화막(33a)이 잔류하고, 나머지 주변회로영역의 실리콘기판(31) 표면에는 제1실리콘산화막(33a)이 잔류하지 않는다.

도 3c에 도시된 바와 같이, 제1마스크패턴(34)을 제거한 후, 플라즈마질화(Plasma nitridation) 공정을 진행하여 주변회로영역의 노출된 실리콘기판(31)의 표면과 셀영역에 잔류하고 있는 제1실리콘산화막(33a)의 표면을 질화시킨다.

이러한 플라즈마질화 공정을 통해 주변회로영역의 실리콘기판(31) 표면에는 실리콘-질소 본드(Si-N bond, 35a)가 형성되고, 제1실리콘산화막(33a)의 표면에는 표면만 질화처리되어 실리콘-산소-질소 본드(Si-O-N bond, 35b)가 형성된다.

여기서, 플라즈마질화 공정은, 실리콘 기판(31) 상부에 직접 질소 플라즈마를 형성시켜주는 방법을 이용하거나, 또는 다른 곳에서 질소플라즈마를 형성한 후, 질소 라디칼(N radical)만 실리콘 표면(31) 상부로 끌어와 질화시키는 방법(리모트 플라즈마 질화법)을 이용한다.

상기한 플라즈마질화 공정시, 플라즈마 소스 기체로는 Ar/N₂, Xe/N₂, N₂, NO, N₂O 또는 상기 기체들의 혼합기체를 이용하고, 플라즈마를 형성하기 위한 플라즈마파워는 100W~3000W를 사용하며, 플라즈마 처리시간은 5초~600초, 실리콘 기판(21)의 기판온도는 0~600℃, 소스기체 유량은 5sccm~2000sccm으로 한다.

도 3d에 도시된 바와 같이, 재산화 공정(즉 2차 산화공정)을 진행한다.

이때, 실리콘-질소 본드(35a)가 형성된 주변회로영역의 실리콘기판(31)의 표면에는 재산화공정의 산화분위기에 노출되어 질화산화막(Oxynitride; SiON)(36a)이 형성된다. 여기서, 질화산화막(36a) 중 질소 농도는 5%~30%이다.

하지만, 실리콘-산소-질소 본드(35b)가 표면에 형성된 셀영역의 제1실리콘산화막(33a)은 재산화공정을 통하여 질소가 외확산(out-diffusion)되어 질소가 없는(N-free) 순수한 산화막(Pure-SiO₂)으로 바뀌면서 일정 두께의 증가를 수반하게 된다. 결국, 셀영역의 제1실리콘산화막(33a)은 두께가 제1실리콘산화막(33a)보다 증가한 제2실리콘산화막(36b)으로 바뀐다. 이하, 제2실리콘산화막(36b)을 '순수 실리콘산화막(36b)'이라고 약칭하기로 한다.

전술한 바와 같은 재산화 공정을 통해 형성되는 질화산화막(36a)과 순수 실리콘산화막(36b)의 두께를 비교해 보면, 질화산화막(36a)은 재산화공정시 실리콘-질소 본드(35a)의 질소에 의해 산화가 억제되어 순수 실리콘산화막(36b)보다 그 두께가 얇다. 즉, 재산화공정시 실리콘-산소-질소 본드(35b) 중의 질소가 외확산하여 산화 억제 효과가 실리콘-질소 본드(35a)에 비해 약하므로 동일 조건의 재산화공정시 순수 실리콘산화막(36b)은 질화산화막(35a)보다 두께 증가가 두드러져 그 두께가 두껍다. 여기서, 실리콘-질소 본드(35a)에서는 실리콘-산소-질소 본드(35b)에 비해 결합력이 강해 재산화공정시 질소(N)가 외확산하지 않는다. 아울러, 산화에 대한 저항성은 순수한 SiO₂ 표면을 질화시키는 경우는 그 저항성이 낮아 상대적으로 두께 증가가 크고, 실리콘 표면을 질화시킨 경우는 저항성이 크기 때문에 두께 증가가 낮다.

도 4는 본 발명의 실시예에 따른 플라즈마질화법으로 실리콘산화막 표면을 질화시킨 시편과 이 시편을 재산화시켰을 때의 질소와 산소의 프로파일 변화를 나타낸 도면이다. 도 4에서, ●와 ○는 질소를 □와 ■는 산소를 나타내며, ●와 ■는 재산화전의 상태(Solid; before Ox.)를 나타내고, ○와 □는 재산화후(Open; after Ox.)의 결과를 나타낸 것이다.

도 4를 참조하면, 플라즈마질화법으로 실리콘산화막 표면을 질화시킨 시편에서는 표면에 질소가 다량 함유되어 있고, 재산화공정을 거친후에는 표면에 질소가 현저히 감소함을 알 수 있다.

그리고, 플라즈마질화법으로 실리콘산화막 표면을 질화시킨 시편에서는 표면에 산소가 다량 함유되어 있으나 깊이가 깊어 질수록 산소의 농도가 감소하고 있다.

이 시편에 대해 재산화공정을 거친 후에는 표면으로부터 일정깊이까지 산소가 골고루 분포하고 있음을 알 수 있는데, 이는 재산화공정에 의해 실리콘산화막의 두께 증가가 발생함을 의미한다.

도 3e에 도시된 바와 같이, 질화산화막(36a)과 순수 실리콘산화막(36b)이 형성된 실리콘기판(31)의 전면에 어떠한 도펀트도 도핑되어 있지 않는 언도우프드 실리콘막(37)을 증착한다.

이어서, 언도우프드 실리콘막(37) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 주변회로영역의 PMOS 지역은 오픈시키고 NMOS가 형성될 셀영역과 주변회로영역의 일부를 덮는 제2마스크패턴(38)을 형성한다.

다음으로, 제2마스크패턴(38)을 이온주입배리어로 이용하여 3족 원소의 도펀트(또는 p형 도펀트)를 이온주입한다. 이때, 3족 원소의 도펀트는 보론(B), 불화보론(BF) 또는 이불화보론(BF₂) 중에서 선택되며, 이온주입시 에너지는

2keV~30keV, 도즈량은 1E15~1E16/cm²이다.

상기한 3족 원소의 도펀트의 이온주입은 주변회로영역의 PMOS 지역의 언도우프드 실리콘막(37)에 진행되는 것으로, 주변회로영역의 PMOS 지역의 언도우프드 실리콘막(37)은 3족 원소의 도펀트가 도핑된 p⁺ 실리콘전극(37a)으로 바뀐다. 따라서, 제2마스크패턴(38)에 의해 덮혀 있던 셀영역과 주변회로영역 일부의 언도우프드 실리콘막(37)은 여전히 어떠한 도펀트도 주입되어 있지 않은 언도우프드된 상태로 남는다.

도 3f에 도시된 바와 같이, 제2마스크패턴(38)을 제거한 후, 전면에 감광막을 도포하고 노광 및 현상으로 패터닝하여 주변회로영역의 PMOS 지역을 덮고 나머지 NMOS가 형성될 셀영역과 주변회로영역의 일부를 오픈시키는 제3마스크패턴(39)을 형성한다.

다음으로, 제3마스크패턴(39)에 의해 오픈된 셀영역과 주변회로영역 일부의 언도우프드 실리콘막(37)에 5족 원소의 도펀트(또는 n형 도펀트)를 이온주입한다. 이때, 5족 원소의 도펀트는 인(Ph) 또는 비소(As) 중에서 선택되며, 이온주입시 에너지는 3keV~50keV, 도즈량은 1E15~1E16/cm²이다.

상기한 5족 원소의 도펀트의 이온주입은 PMOS 지역을 제외한 나머지 영역 상부의 언도우프드 실리콘막(37)에 진행되는 것으로, 언도우프드 실리콘막(37)은 5족 원소의 도펀트가 이온주입된 n⁺ 실리콘전극(37b)으로 바뀐다.

도 3g에 도시된 바와 같이, 제3감광막패턴(39)을 제거한 후, 전면에 저저항 메탈전극(40)과 게이트하드마스크(41)를 차례로 형성한다. 이때, 저저항 메탈전극(40)은 텅스텐, 텅스텐질화막 또는 텅스텐실리사이드이고, 게이트하드마스크(41)는 질화막으로 형성한다.

다음으로, 게이트패터닝 공정을 진행하여 셀영역과 주변회로영역의 각 영역 상부에 각각 제1,2 및 제3게이트(100, 200, 300)를 형성한다.

위와 같은 제1게이트 내지 제3게이트(100, 200, 300) 공정후의 결과를 살펴보면, NMOS가 형성될 셀영역에 형성된 제1게이트(100)와 주변회로영역의 NMOS 지역에 형성된 제2게이트(200)를 구성하는 게이트전극은 n⁺ 실리콘전극(37b)과 저저항 메탈전극(40)의 이중층 구조를 갖고, 나머지 주변회로영역의 PMOS 지역에 형성된 제3게이트(300)를 구성하는 게이트전극은 p⁺ 실리콘전극(37a) 및 저저항 메탈전극(40)의 이중층 구조를 갖는다.

상술한 실시예에 따르면, 셀영역에 형성되는 NMOS는 순수 실리콘산화막(36b)을 게이트절연막으로 이용하고, 주변회로영역에 형성되는 NMOS와 PMOS는 순수 실리콘산화막(36b)보다 두께가 얇은 질화산화막(36a)을 게이트절연막으로 이용하므로, 하나의 칩내에서 서로 다른 두께를 갖는 다중 게이트절연막을 형성하고 있다.

위와 같이 서로 다른 두께를 갖는 순수 실리콘산화막(36b)과 질화산화막(36a)을 플라즈마질화 및 재산화 공정의 단순한 공정을 통해 하나의 칩 내에서 선택적으로 형성할 수 있으므로, 캐리어 이동도가 중요시되고 신뢰성이 우선시되는 셀영역의 트랜지스터는 순수 산화막을 게이트절연막으로 이용할 수 있고, 보론의 침투가 문제가 되는 주변회로영역의 p⁺ 실리콘전극을 갖는 트랜지스터는 질화산화막(36a)을 게이트절연막으로 사용할 수 있다.

예컨대, 본 발명을 DRAM에 적용하면, 셀영역에 형성되는 NMOS는 캐리어 이동도가 중요시되고 신뢰성이 우선시되므로 두께가 두꺼운 순수 실리콘산화막(36b)을 이용하고, 주변회로영역의 PMOS는 p⁺ 실리콘전극(37a)에 도핑되어 있는 3족 원소의 도펀트의 게이트절연막으로의 침투 문제를 방지하도록 질화산화막(36a)을 이용한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 선택적으로 순수한 산화막과 질화산화막을 형성할 수 있으므로 캐리어 이동도가 중요시되고 신뢰성이 우선시되는 트랜지스터는 순수한 산화막을 적용하면서 보론 침투가 문제가 되는 트랜지스터는 질화산화막을 적용할 수 있는 효과가 있다.

또한, 본 발명은 서로 다른 두께의 게이트절연막을 형성할 수 있으므로, 다양한 용도의 트랜지스터를 구현할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판;

상기 셀영역의 실리콘기판 상부에 형성된 순수 실리콘산화막;

상기 주변회로영역의 실리콘기판 상부에 형성된 질화산화막;

상기 셀영역의 순수 실리콘산화막 상에 n^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제1게이트;

상기 주변회로영역의 NMOS의 질화산화막 상에 n^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제2게이트; 및

상기 주변회로영역의 PMOS의 질화산화막 상에 p^+ 실리콘전극, 저저항 메탈전극 및 게이트하드마스크의 순서로 적층된 제3게이트를 포함하고,

상기 질화산화막은 실리콘-질소 본드가 표면에 형성된 상기 실리콘기판의 표면을 산화시켜 형성한 것이고, 상기 순수 실리콘산화막은 실리콘-산소-질소 본드가 표면에 형성된 실리콘산화막을 산화시켜 형성한 것을 특징으로 하는 반도체장치.

청구항 2.

제1항에 있어서,

상기 순수 실리콘산화막은 상기 질화산화막에 비해 상대적으로 두께가 더 두꺼운 것을 특징으로 하는 반도체장치.

청구항 3.

삭제

청구항 4.

제1항에 있어서,

상기 질화산화막 중의 질소 농도는 5%~30%인 것을 특징으로 하는 반도체장치.

청구항 5.

제1항에 있어서,

상기 n^+ 실리콘전극은,

인 또는 비소가 이온주입된 것을 특징으로 하는 반도체장치.

청구항 6.

제1항에 있어서,

상기 p+ 실리콘전극은,

보론, 불화보론 또는 이불화보론이 이온주입된 것을 특징으로 하는 반도체장치.

청구항 7.

NMOS가 형성될 셀영역과 NMOS와 PMOS가 형성될 주변회로영역이 정의된 실리콘기판의 표면에 1차 산화공정을 통해 실리콘산화막을 형성하는 단계;

상기 주변회로영역 상의 실리콘산화막을 선택적으로 제거하는 단계;

상기 실리콘산화막 제거후 노출된 주변회로영역의 실리콘기판 표면에 실리콘-질소 본드를 형성함과 동시에 상기 셀영역에 잔류하고 있는 실리콘산화막 표면에 실리콘-산소-질소 본드를 형성하는 단계; 및

2차 산화 공정을 통해 상기 실리콘-질소 본드가 형성된 주변회로영역의 실리콘기판 표면 상에 질화산화막을 형성함과 동시에 상기 실리콘-산소-질소 본드가 형성된 실리콘산화막을 순수 실리콘산화막으로 바꾸는 단계

를 포함하는 반도체장치의 제조 방법.

청구항 8.

제7항에 있어서,

상기 실리콘-질소 본드와 상기 실리콘-산소-질소 본드를 형성하는 단계는,

플라즈마질화법으로 진행하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 9.

제8항에 있어서,

상기 플라즈마질화는,

상기 실리콘 기판과 상기 실리콘산화막 표면 상부에 직접 질소 플라즈마를 형성시켜주는 방법을 이용하거나, 또는 리모트 플라즈마 질화법을 이용하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 10.

제9항에 있어서,

상기 플라즈마질화는,

소스 기체로는 Ar/N₂, Xe/N₂, N₂, NO, N₂O 또는 상기 기체들의 혼합기체를 이용하고, 플라즈마를 형성하기 위한 플라즈마 파워는 100W~3000W를 사용하며, 플라즈마 처리시간은 5초~600초, 기판온도는 0~600℃, 상기 소스기체의 유량은 5sccm~2000sccm으로 하여 진행하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 11.

제7항에 있어서,

상기 순수 실리콘산화막은 상기 질화산화막에 비해 상대적으로 더 두꺼운 두께로 형성되는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 12.

제7항에 있어서,

상기 2차 산화 공정후에,

상기 순수 실리콘산화막과 상기 질화산화막을 포함한 전면에 언도우프드 실리콘막을 증착하는 단계;

상기 주변회로영역의 PMOS 지역 상부의 언도우프드 실리콘막에 p형 도펀트를 이온주입하여 p⁺ 실리콘전극을 형성하는 단계;

상기 셀영역과 주변회로영역의 NMOS 지역 상부의 언도우프드 실리콘막에 n형 도펀트를 이온주입하여 n⁺ 실리콘전극을 형성하는 단계;

상기 p⁺ 실리콘전극과 n⁺ 실리콘전극 상에 저저항 메탈전극을 형성하는 단계;

상기 저저항 메탈전극 상에 게이트하드마스크를 형성하는 단계; 및

상기 게이트하드마스크, 저저항 메탈전극 및 p⁺/n⁺ 실리콘전극을 패터닝하여 게이트를 형성하는 단계

를 더 포함하는 것을 특징으로 하는 반도체장치의 제조 방법.

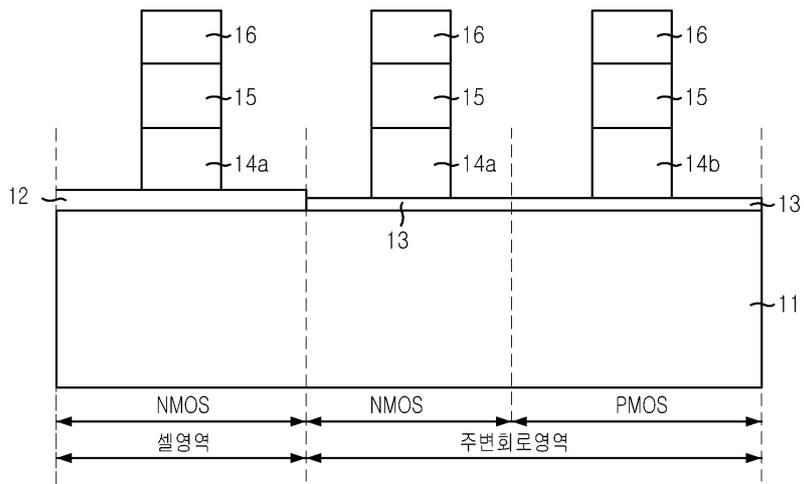
청구항 13.

제7항에 있어서,

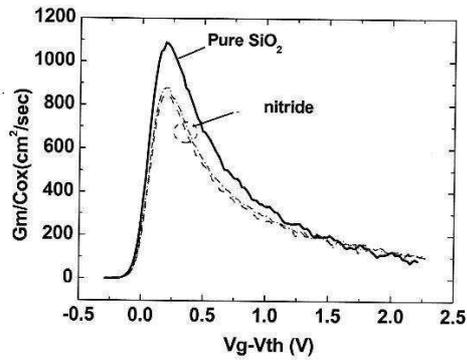
상기 1차산화공정에 의해 형성되는 실리콘산화막은 5Å~100Å 두께로 형성되는 것을 특징으로 하는 반도체장치의 제조 방법.

도면

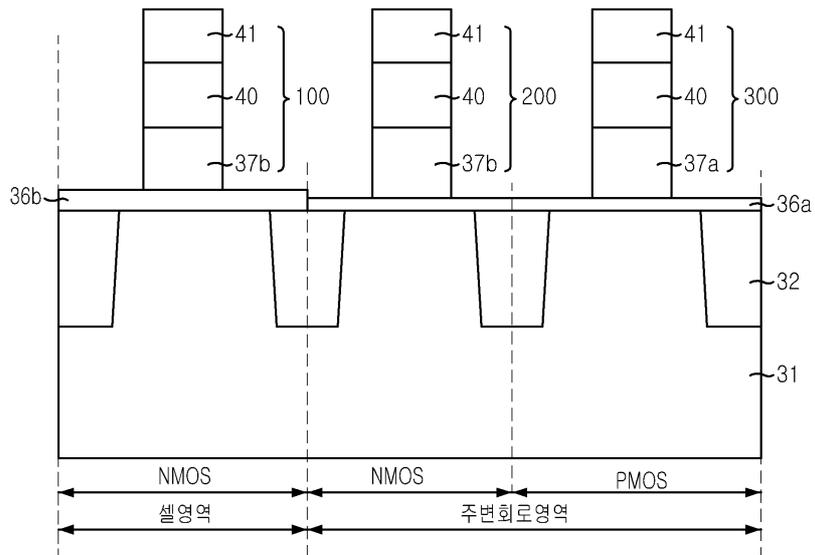
도면1a



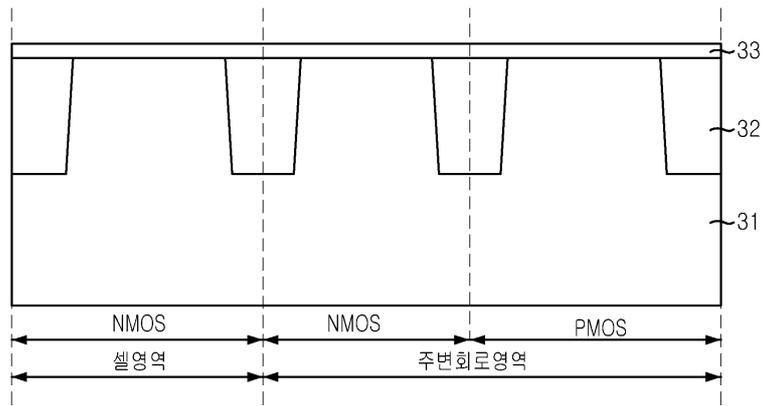
도면1b



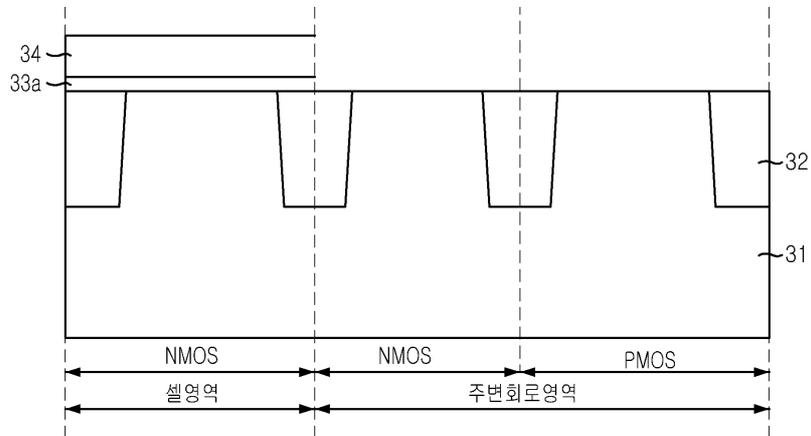
도면2



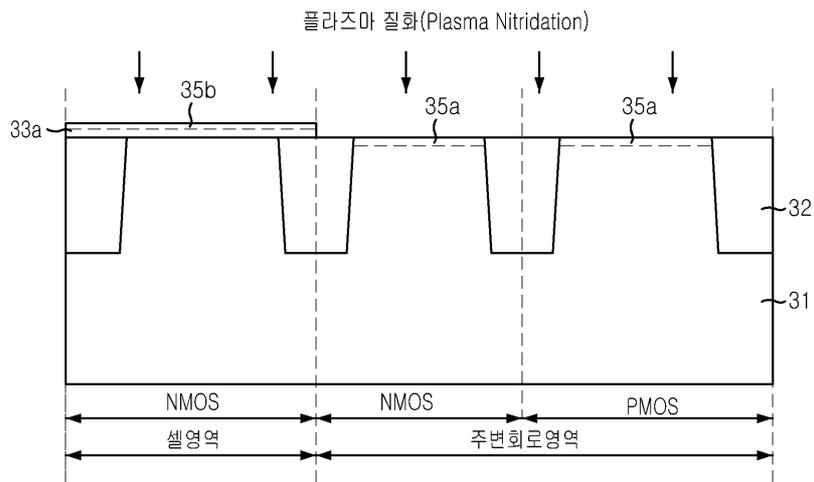
도면3a



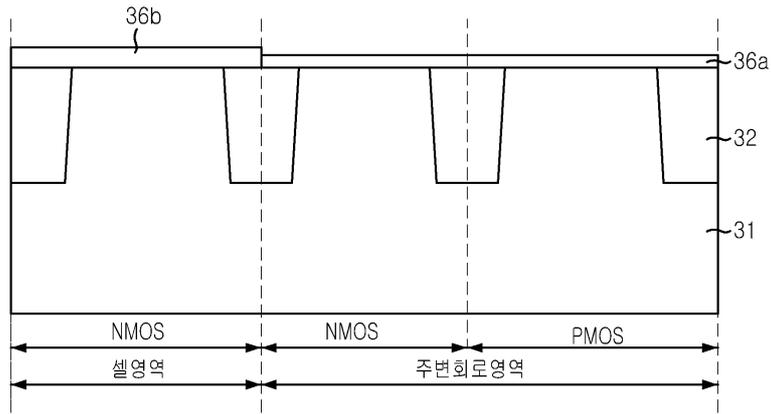
도면3b



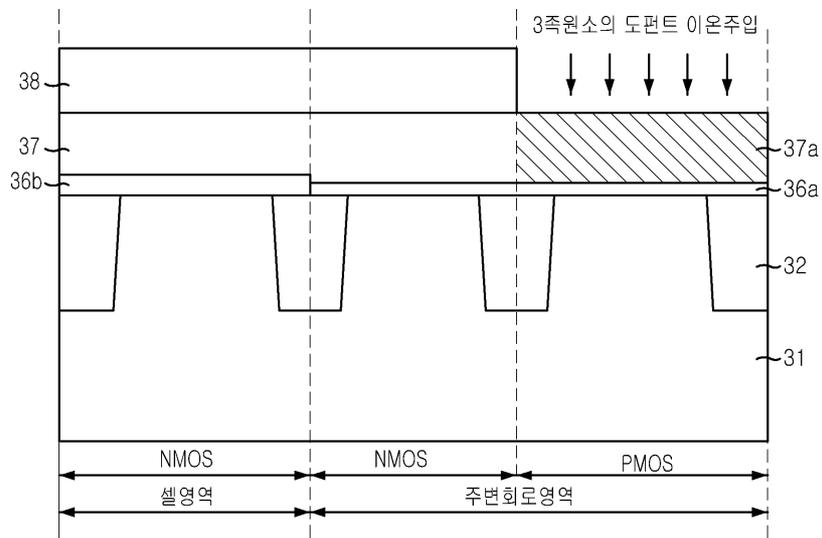
도면3c



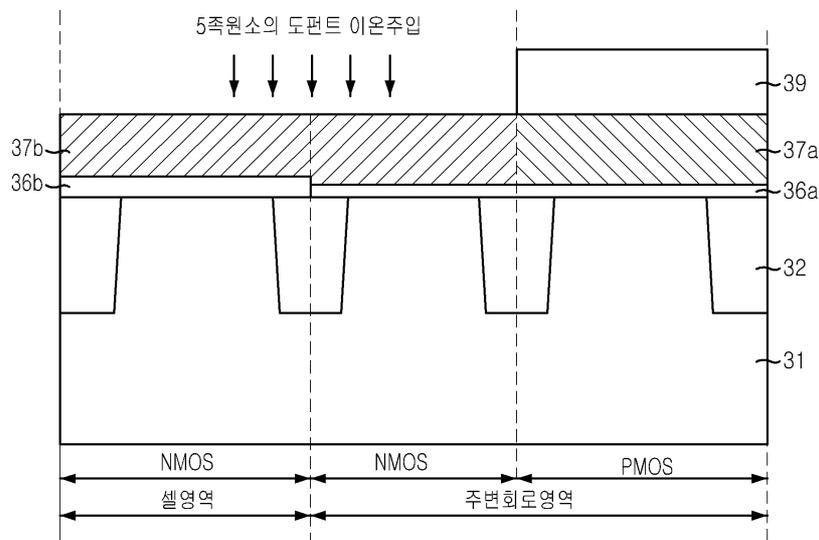
도면3d



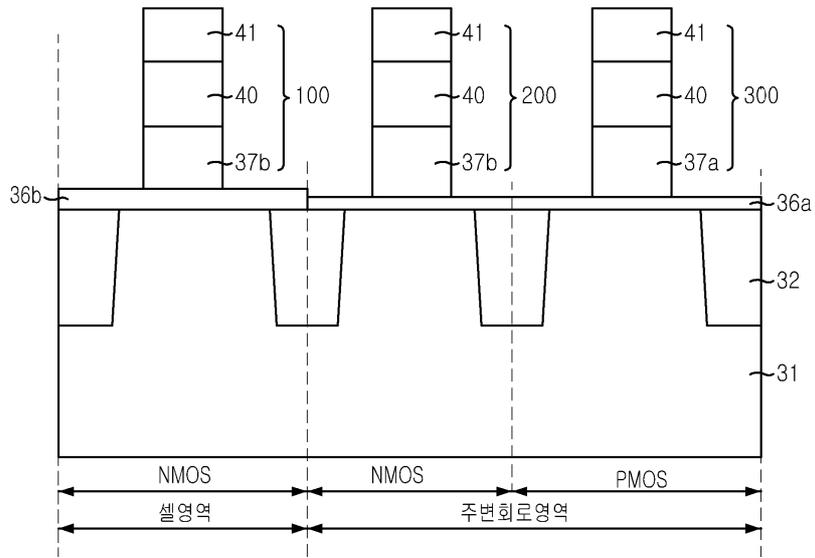
도면3e



도면3f



도면3g



도면4

