



(72) 발명자

**박동수**

경기 이천시 관고동 502-2 영우빌라 202호

**장준수**

경기 이천시 부발읍 아미리 753 현대7차아파트  
701-1702

---

**특허청구의 범위**

**청구항 1**

반도체기판 상에, 벌브 타입의 리세스 채널용 트렌치가 형성될 영역을 노출시키는 마스크층을 형성하는 단계;  
 상기 반도체기판에 벌브 타입의 리세스 채널용 트렌치를 형성하는 단계;  
 상기 반도체기판의 노출된 영역에, 소정의 틸트각도를 주어 3차원 방사형으로 불순물이온을 주입하는 단계;  
 상기 마스크층을 제거하는 단계;  
 상기 트렌치를 포함하는 영역에 게이트스택을 형성하는 단계; 및  
 상기 반도체기판에 소스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 2**

제1항에 있어서, 상기 마스크층은,  
 폴리실리콘막, 산화막, 질화막 및 금속막으로 이루어진 그룹에서 선택된 어느 하나 또는 둘 이상의 적층막으로 형성하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 3**

제1항에 있어서, 상기 마스크층은,  
 500 ~ 1,000Å의 두께로 형성하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 4**

제1항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계는,  
 X축 또는 Y축 방향으로 둘 이상의 방향으로 틸트 각도를 주어 실시하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 5**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서,  
 전체 도우즈(dose)를 각 틸트(tilt) 각도별로 균일하게 나누어 진행하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 6**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서,  
 틸트 각도를 -7도, 0도 및 7도로 하고, 각 틸트 각도별로  $1 \times 10^{12}$  이온/cm<sup>2</sup>의 도우즈로 실시하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 7**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서,  
 틸트(tilt) 각도 이외의 조건을 동일하게 유지하고 틸트 각도를 변화시키면서 인-시츄(in-situ)로 실시하는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 8**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서,  
 X축의 틸트 각도를 0도를 포함하지 않고 두 방향으로 실시하되, Y축의 각도는 고정시키는 것을 특징으로 하는

벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 9**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서, Y축의 틸트 각도를 0도를 포함하지 않고 두 방향으로 실시하되, X축의 각도는 고정시키는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 10**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서, X축의 틸트 각도를 0도를 포함하여 세 방향 이상으로 실시하되, Y축의 각도는 고정시키는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**청구항 11**

제4항에 있어서, 상기 반도체기판에 불순물이온을 주입하는 단계에서, Y축의 틸트 각도를 0도를 포함하여 세 방향 이상으로 실시하되, X축의 각도는 고정시키는 것을 특징으로 하는 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <3> 본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 벌브(bulb) 타입의 리세스(recess) 채널의 3차원 트랜지스터를 구비하는 반도체소자의 제조방법에 관한 것이다.
- <4> 최근 반도체소자의 집적도가 증가하고 디자인 룰(design rule)이 급격하게 감소함에 따라 트랜지스터의 안정적인 동작을 확보하는 데 어려움을 겪고 있다. 예컨대, 게이트의 폭이 감소되어 트랜지스터의 채널의 길이가 급격하게 짧아지고 있으며, 이에 따라 문턱전압(threshold voltage)의 감소, 누설 전류의 증가 및 리프레쉬(refresh) 특성의 저하를 유발하는 숏 채널 효과(Short Channel Effect)가 빈번하게 발행하고 있다. 이러한 숏 채널 효과로 인해 트랜지스터의 소스와 드레인 사이의 펀치쓰루(punch-through)가 심각하게 발생하고 있으며, 이러한 펀치쓰루는 소자의 오동작의 주요 원인으로 인식되고 있다. 이를 극복하기 위해 문턱전압 조절을 위한 이온주입시 도우즈(dose)를 증가시키는 방법이 고려될 수 있으나, 이는 오히려 채널의 저항을 증가시켜 TWR(Write Recovery Time) 불량을 유발하게 되며, 소자의 리프레쉬 특성을 열화시키게 되는 악순환이 지속된다.
- <5> 이러한 숏 채널 효과를 극복하고 소자의 안정적인 동작을 위해서 디자인 룰의 증가없이 채널의 길이를 보다 확보하는 방법들이 다양하게 연구되고 있다. 그 중에서도 특히 제한된 게이트 선포에 비해 채널의 길이를 보다 확장시켜 주는 구조로서, 두 단계의 식각공정을 이용하여 벌브 타입(bulb type)의 리세스 채널을 갖는 트랜지스터를 형성함으로써 채널의 길이를 보다 연장시키려는 시도가 이루어지고 있다.
- <6> 도 1은 종래의 벌브 타입의 리세스 채널을 갖는 반도체소자를 도시한 단면도이다.
- <7> 도 1을 참조하면, 반도체기판(100)에 형성된 소자분리막(102)에 의해 활성영역 및 소자분리영역이 구분된다. 상기 반도체기판(100)의 활성영역에는, 바닥면이 구(bulb) 형태로 이루어진 리세스 채널용 트렌치(104)가 형성되어 있다. 상기 벌브 타입의 트렌치의 내벽에는 얇은 절연막으로 이루어진 게이트절연막(104)이 배치되고, 상기 벌브 타입의 트렌치를 포함하는 영역에는 게이트도전막(106), 금속막(108) 및 하드 마스크(110)으로 이루어진 게이트 스택(112)이 배치된다. 상기 게이트 스택 양측의 반도체기판(100)에는 불순물 주입 및 활성화로 형성된 소스/드레인(116)이 배치된다.
- <8> 이와 같은 구조의 벌브 타입의 리세스 채널을 구비하는 반도체소자는 채널이 상기 벌브 타입의 트렌치를 따라 형성되므로, 종래의 평면 채널을 갖는 반도체소자에 비해 유효 채널의 길이가 길어지게 된다. 따라서, 셀 문턱

전압이 상승하고, 전계의 양을 감소시켜 누설전류를 감소시켜 리프레쉬 특성이 향상된다. 그러나, 소자 크기의 계속적인 감소에 따른 TWR 불량 마진 극복을 위한 리프레쉬 특성의 확보 및 개선은 고집적 메모리소자의 고성능 동작을 위해 지속적으로 해결해야할 과제로 남아 있다.

**발명이 이루고자 하는 기술적 과제**

<9> 본 발명이 이루고자 하는 기술적 과제는, 문턱전압 조절을 위한 이온주입방법을 개선함으로써 소자 크기의 감소에 따른 TWR 불량 마진 극복하고 리프레쉬 특성을 개선할 수 있는 반도체소자의 제조방법을 제공하는 데 있다.

**발명의 구성 및 작용**

<10> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법은, 반도체기판 상에, 벌브 타입의 리세스 채널용 트렌치가 형성될 영역을 노출시키는 마스크층을 형성하는 단계; 상기 반도체기판에 벌브 타입의 리세스 채널용 트렌치를 형성하는 단계; 상기 반도체기판의 노출된 영역에, 소정의 틸트각도를 주어 3차원 방사형으로 불순물이온을 주입하는 단계; 상기 마스크층을 제거하는 단계; 상기 트렌치를 포함하는 영역에 게이트스택을 형성하는 단계; 및 상기 반도체기판에 소스/드레인을 형성하는 단계를 포함하는 것을 특징으로 한다.

<11> 본 발명에 있어서, 상기 마스크층은 폴리실리콘막, 산화막, 질화막 및 금속막으로 이루어진 그룹에서 선택된 어느 하나 또는 둘 이상의 적층막으로 500 ~ 1,000Å의 두께로 형성할 수 있다.

<12> 상기 반도체기판에 불순물이온을 주입하는 단계는, X축 또는 Y축 방향으로 둘 이상의 방향으로 틸트 각도를 주어 실시할 수 있다.

<13> 이때, 전체 도우즈(dose)를 각 틸트(tilt) 각도별로 균일하게 나누어 진행할 수 있다. 예를 들어 이온주입 시 틸트 각도를 -7도, 0도 및 7도로 하고, 각 틸트 각도별로  $1 \times 10^{12}$  이온/cm<sup>2</sup>의 도우즈로 실시할 수 있다.

<14> 또는 틸트(tilt) 각도 이외의 조건을 동일하게 유지하고 틸트 각도를 변화시키면서 인-시츄(in-situ)로 실시할 수도 있다.

<15> 그리고, 상기 반도체기판에 불순물이온을 주입하는 단계에서 X축의 틸트 각도를 0도를 포함하지 않고 두 방향으로 실시하되, Y축의 각도는 고정시킬 수 있다. 또는, X축의 틸트 각도를 0도를 포함하여 세 방향 이상으로 실시하되, Y축의 각도는 고정시킬 수도 있다.

<16> 그리고, Y축의 틸트 각도를 0도를 포함하지 않고 두 방향으로 실시하되, X축의 각도는 고정시킬 수 있다. 또는, Y축의 틸트 각도를 0도를 포함하여 세 방향 이상으로 실시하되, X축의 각도는 고정시킬 수도 있다.

<17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안된다.

<18> 일반적으로, MOS 트랜지스터에서는 원하는 문턱전압(Vt)을 확보하기 위하여 문턱전압 조절용 이온주입을 실시하고 있다. 예를 들어, NMOS 트랜지스터의 경우, P형의 불순물을 이용하여 문턱전압 조절용 이온주입을 실시한다. 이때, 종래에는 문턱전압 조절을 위한 이온주입시 반도체기판에 대해 수직인 방향으로 불순물을 주입하였기 때문에 채널길이의 증가가 크지 않았다. 그러나, 본 발명에서는 채널의 문턱전압 조절을 위한 이온주입시 종래의 2차원이 아니라, 벌브형의 트렌치를 따라 3차원의 방사형으로 이온주입을 실시한다. 리세스 게이트 프로파일을 갖는 3차원 트랜지스터의 소스와 드레인간 유효 채널길이를 증가시킬 수 있으며 이에 따라 문턱전압을 증가시킬 수 있다.

<19> 동일한 도우즈로 문턱전압을 향상시키는 것이 가능하다면 문턱전압 조절용 이온주입의 도우즈 증가로 인한 문제점인 RC 특성의 열화를 방지하여 TWR 불량을 개선할 수 있다. 또한, 동일한 문턱전압 크기를 구현할 경우에는 이온주입의 도우즈를 감소시킬 수가 있으므로 컨택저항을 개선할 수 있으며, 접합영역에서의 전계(electric field)를 감소시켜 리프레쉬 특성을 개선할 수 있다.

<20> 도 2 내지 도 6은 본 발명의 실시예에 따른 벌브 타입의 리세스 채널을 구비하는 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

<21> 도 2는 반도체기판(200)에 활성영역과 비활성영역을 정의하는 소자분리막(202)을 형성하는 단계를 나타낸다. 상

세하게는, 반도체기판(200) 상에 비활성영역의 반도체기판을 노출시키는 패드산화막(도시되지 않음) 및 질화막(도시되지 않음)을 형성한다. 노출된 반도체기판(200)을 소정 깊이 식각하여 트렌치를 형성하고, 이 트렌치를 절연막을 사용하여 평탄하게 매립함으로써 소자분리막(202)을 형성한다. 그 후 패드산화막 및 질화막은 제거한다.

- <22> 도 3을 참조하면, 반도체기판(200) 상에 버퍼산화막(204) 및 하드마스크막(206)을 순차적으로 형성한다. 이 하드마스크막(206) 상에, 리세스 게이트가 형성될 영역을 노출시키는 모양의 포토레지스트 패턴(208)을 형성한다. 상기 포토레지스트 패턴(208)을 식각마스크로 하여 상기 하드마스크막(206) 및 버퍼산화막(204)을 차례로 식각하여 리세스 게이트가 형성될 영역의 반도체기판이 노출되도록 한다.
- <23> 상기 포토레지스트 패턴(208)은 반사방지막을 포함하여 형성할 수 있다. 상기 하드마스크막(206)은 폴리실리콘막, 산화막, 질화막 또는 금속막 중의 어느 하나로 형성하거나, 둘 이상의 적층막으로 형성할 수 있다. 하드마스크막(206)은 후속되는 벌브 타입의 트렌치를 형성하기 위한 반도체기판(200)에 대한 식각공정에서 식각마스크 역할을 하며, 또한 채널 형성을 위한 이온주입 공정에서 채널영역 이외의 반도체기판(200) 영역에 불순물이 주입되는 것을 방지하는 이온주입 마스크 역할을 하게 된다. 따라서, 상기 하드마스크막(206)은 500Å 이상의 두께, 바람직하게는 500 ~ 1000Å 정도로 형성한다.
- <24> 도 4를 참조하면, 포토레지스트 패턴을 제거한 후 하드마스크막(206)을 식각 마스크로 사용하여 반도체기판에 대한 1차 식각공정을 수행하여 반도체기판(200)에 소정 깊이의 제1 트렌치(210)를 형성한다. 제1 트렌치(210)는 벌브(bulb) 타입의 리세스 채널용 트렌치의 목(neck) 부분에 해당한다. 다음에, 상기 하드마스크막(206)을 식각 마스크로 하여 상기 제1 트렌치의 바닥면에 대해 등방성식각을 실시하여 상기 제1 트렌치(210)의 하부에 구현의 제2 트렌치(212)를 형성한다. 이로써, 제1 트렌치(210)와 구형의 제2 트렌치(212)로 이루어진 벌크 타입의 리세스 채널용 트렌치(214)가 형성된다.
- <25> 도 5를 참조하면, 상기 하드마스크막(206)을 이온주입 마스크로 사용하여 반도체기판(200)에 채널 문턱전압 조절을 위한 불순물 이온을 주입한다. 이때, 종래의 2차원적 이온주입이 아니라 이온주입 각도를 다양하게 변화시켜 3차원적으로 주입한다. 즉, 도시된 것과 같이 방사형으로 불순물 이온들이 주입되도록 한다. 그러면, 기존의 수직방향으로 주입하던 것과 달리 구형의 제2 트렌치(212)를 따라 이온주입층(216)이 형성된다. 따라서, 후속 단계에서 열처리 공정을 실시하면 주입되었던 불순물들이 확산하여 구형의 제2 트렌치(212)를 따라 채널이 형성되므로, 유효 채널의 길이를 증가시킬 수 있다. 즉, 도우즈를 변화시키지 않고도 문턱전압을 증가시킬 수 있으며, 동일한 문턱전압을 구현할 경우에는 감소된 도우즈로 구현할 수 있으므로 컨택저항 감소 및 전계의 감소로 리프래쉬 특성이 개선된다. 그리고, 상기 이온주입 공정은 하드마스크막(206)이 형성된 상태에서 이루어지기 때문에, 소스/드레인이 형성될 영역에는 하드마스크막(206)에 의해 이온주입이 이루어지지 않고 마스크된다. 따라서, 접합영역의 전계를 감소시키고 컨택저항이 감소되므로 RC 특성을 개선할 수 있는 효과도 있다.
- <26> 상기 문턱전압 조절을 위한 이온주입은, 도시된 바와 같이 이온주입 방향을 여러 가지로 해서 3차원 방사형으로 이루어진다.
- <27> 이때, 주입되는 불순물의 전체 도우즈를 각 이온주입 각도별로 나누어 진행할 수 있다. 예를 들면, 전체 도우즈를  $3 \times 10^{12}$  원자/cm<sup>2</sup>로 하고, 예를 들어 -7도, 0도 및 7도의 세 방향으로 주입할 경우 각 방향별로 전체 도우즈의 1/3씩인  $1 \times 10^{12}$  원자/cm<sup>2</sup>의 도우즈로 주입할 수 있다. 그리고, 상기 이온주입시 주입방향 이외의 조건, 예를 들면 주입 에너지, 도우즈 또는 불순물의 종류를 동일하게 하고 이온빔의 조건을 동일하게 유지하면서 인-시츄(in-situ)로 주입방향을 연속적으로 변화시키면서 주입할 수도 있다. 예를 들면, -7도 방향으로 이온주입을 수행한 뒤 동일한 주입조건 및 동일한 이온빔 상태를 유지하면서 0도 방향으로 주입하고, 다시 동일한 주입조건 및 동일한 이온빔 상태를 유지하면서 7도 방향으로 주입할 수 있다.
- <28> 상기 문턱전압 조절을 위한 이온주입시 주입각도를 여러 가지로 조합하여 실시할 수 있다.
- <29> 예를 들어, X축 방향의 틸트(tilt) 각도를 0도를 포함하지 않고 두 방향으로 실시하되, 벌브 타입의 리세스 채널을 위한 트렌치(214)의 식각높이에 따라 이온주입시 트렌치 바닥부에 섀도우잉(shadowing)이 생기지 않고 이온주입이 될 수 있도록 한다. 즉, 두 방향으로 주입하되 제1 방향은 -20도 ~ -1도로 하고, 제2 방향은 +1도 ~ 20도로 하여 각도와 횟수를 조합하여 주입할 수 있다. 또는, 0도를 포함하여 제1 방향은 -20도 ~ -1도로, 제2 방향은 0도로, 그리고 제3 방향은 +1도 ~ 20도로 각도와 횟수를 조합하여 주입할 수 있다. 이때, Y축 방향의 각도는 고정시킨다.

- <30> 그리고, Y축 방향의 틸트각도를 0도를 포함하지 않고 두 방향으로 실시하되, 트렌치 바닥부에 웨도우잉이 생기지 않고 이온주입이 될 수 있도록 한다. 즉, 두 방향으로 주입하되 제1 방향은 -20도 ~ -1도로 하고, 제2 방향은 +1도 ~ 20도로 하여 각도와 횡수를 조합하여 주입할 수 있다. 또는, 0도를 포함하여 제1 방향은 -20도 ~ -1도로, 제2 방향은 0도로, 그리고 제3 방향은 +1도 ~ 20도로 각도와 횡수를 조합하여 주입할 수 있다. 이때, X축 방향의 각도는 고정시킨다.
- <31> 다른 방법으로는, X축 또는 Y축 방향의 이온주입 각도를 0도를 포함하여 세 방향 이상 네 방향, 다섯 방향 또는 그 이상의 방향으로 조합하여 주입할 수도 있다. 이때, 각각의 방향에서 나머지 Y축 또는 X축 방향의 각도는 고정시킨다.
- <32> 상기 이온주입 각도를 조절하는 또 다른 방법은, 방사형으로 이온주입할 때 X축과 Y축을 함께 변화시키면서 주입각도와 횡수를 조합하여 실시할 수도 있다.
- <33> 그리고, 상기한 3차원 방사형 이온주입공정은 채널 문턱전압 조절을 위한 이온주입뿐만 아니라, 필드 스탑(field stop) 이온주입 공정, 편치쓰루를 방지하기 위한 이온주입 공정 등에도 적용될 수 있다.
- <34> 도 6을 참조하면, 상기 하드마스크막 및 버퍼산화막을 제거한 다음 벌브 타입의 리세스 채널용 트렌치(214)를 포함하는 영역에 게이트스택(220)을 형성하고, 불순물을 주입하여 소스/드레인(230)을 형성한다. 상기 게이트스택(220)은 상기 트렌치의 내벽을 따라 형성된 게이트절연막(222)과, 상기 게이트절연막 상에 순차 적층된 게이트도전막(224), 금속막(226) 및 하드마스크막(228)을 포함하여 형성할 수 있다.

**발명의 효과**

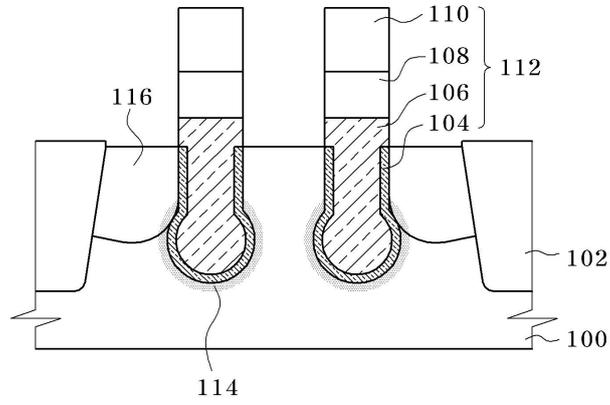
- <35> 지금까지 설명한 바와 같이, 본 발명에 의한 벌브 타입의 리세스 채널을 갖는 반도체소자의 제조방법에 따르면, 채널 문턱전압 조절을 위한 불순물 이온주입을 종래의 2차원적 이온주입이 아니라 이온주입 각도를 다양하게 변화시켜 3차원 방사형으로 주입한다. 그러면, 구형의 트렌치를 따라 채널이 형성되어 유효 채널의 길이를 증가시킬 수 있다. 따라서, 도우즈를 변화시키지 않고도 문턱전압을 증가시킬 수 있으며, 동일한 문턱전압을 구현할 경우에는 감소된 도우즈로 구현할 수 있으므로 컨택저항 감소 및 전계의 감소로 리프래쉬 특성이 개선된다. 그리고, 하드마스크막이 형성된 상태에서 이온주입이 이루어지기 때문에, 소스/드레인이 형성될 영역에는 이온주입이 이루어지지 않는다. 따라서, 접합영역의 전계를 감소시키고 컨택저항이 감소되므로 RC 특성을 개선할 수 있다.
- <36> 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

**도면의 간단한 설명**

- <1> 도 1은 종래의 벌브 타입의 리세스 채널을 갖는 반도체소자를 도시한 단면도이다.
- <2> 도 2 내지 도 6은 본 발명의 실시예에 따른 벌크 타입의 리세스 채널을 구비하는 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

도면

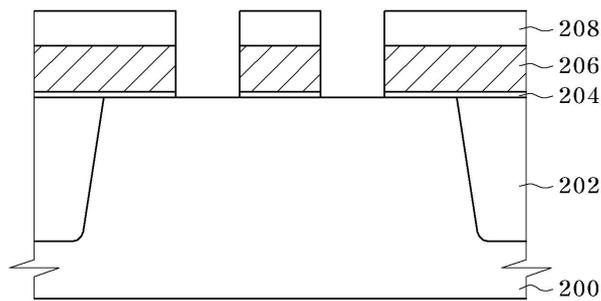
도면1



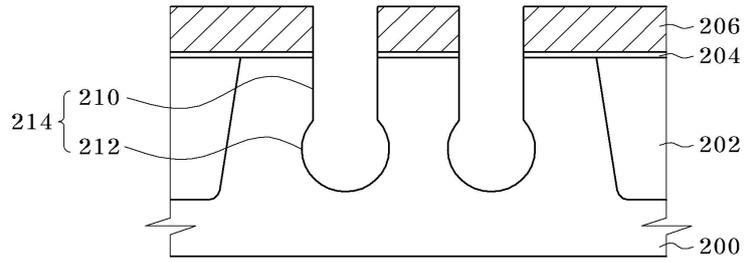
도면2



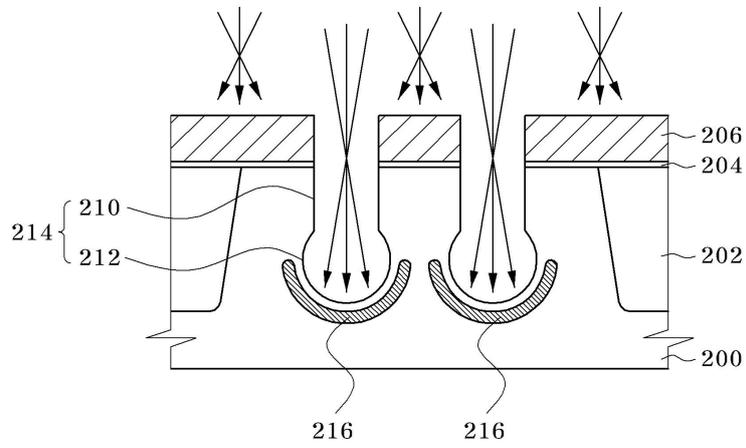
도면3



도면4



도면5



도면6

