

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-149794

(P2007-149794A)

(43) 公開日 平成19年6月14日(2007.6.14)

| (51) Int. Cl. | F I | テマコード (参考) |
|-------------------------|----------------|------------|
| HO 1 L 21/338 (2006.01) | HO 1 L 29/80 M | 5 F 1 O 2 |
| HO 1 L 29/812 (2006.01) | HO 1 L 29/80 H | |
| HO 1 L 29/778 (2006.01) | HO 1 L 29/80 U | |

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2005-339544 (P2005-339544)
 (22) 出願日 平成17年11月25日(2005.11.25)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100113859
 弁理士 板垣 孝夫
 (74) 代理人 100068087
 弁理士 森本 義弘
 (74) 代理人 100096437
 弁理士 笹原 敏司
 (74) 代理人 100100000
 弁理士 原田 洋平
 (72) 発明者 森田 電夫
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

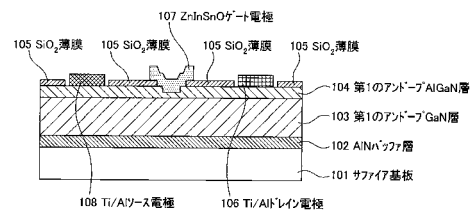
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 オン抵抗の増加を抑制しながらノーマリーオフ動作を実現する電界効果トランジスタを提供することを目的とする。

【解決方法】 ゲート電極107を構成する材料を、従来一般的に使用されるNi等に比べて仕事関数の大きい導電性酸化物を用いることにより、ヘテロ接合部分のシートキャリア濃度を低くすることなくノーマリーオフ型トランジスタを実現することができるので、オン抵抗の増加を抑制しながらノーマリーオフ動作を実現することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

仕事関数が5.6eV以上であり、かつ導電性を有する酸化物をゲート電極に用いることを特徴とする電界効果トランジスタ。

【請求項 2】

前記トランジスタのしきい値電圧が0Vよりも大きいことを特徴とする、請求項 1 記載の電界効果トランジスタ。

【請求項 3】

前記導電性を有する酸化物がZnあるいはGaを含むインジウム錫酸化物により構成されることを特徴とする、請求項 1 記載の電界効果トランジスタ。

10

【請求項 4】

前記ゲート電極が接している半導体層に開口部を有する形で絶縁膜が形成されており、前記絶縁膜に形成された開口部を覆う形で前記ゲート電極が形成されていることを特徴とする、請求項 1 記載の電界効果トランジスタ。

【請求項 5】

前記ゲート電極が接している半導体層の表面に凹部が形成されており、前記凹部の表面の少なくとも一部に接する形で前記ゲート電極が形成されていることを特徴とする、請求項 1 記載の電界効果トランジスタ。

【請求項 6】

前記ゲート電極が半導体層の表面に接しており、前記ゲート電極の側方において露出した前記半導体層の表面がエッチングされており、前記ゲート電極と前記半導体層の界面が前記ゲート電極側方の半導体層表面よりも上方に位置することを特徴とする、請求項 1 記載の電界効果トランジスタ。

20

【請求項 7】

前記ゲート電極が半導体層の表面に接しており、前記ゲート電極の側方において前記半導体層の表面が酸化してなる層が形成されていることを特徴とする、請求項 1 記載の電界効果トランジスタ。

【請求項 8】

前記ゲート電極、さらにソース及びドレイン電極が窒素を含む化合物半導体に接する形で形成されていることを特徴とする、請求項 1 ~ 7 に記載の電界効果トランジスタ。

30

【請求項 9】

前記ゲート電極が接している前記半導体層が窒素とIII族元素を同数含む無極性面であることを特徴とする、請求項 8 記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、民生機器の電源回路に用いるパワートランジスタに適用できる、窒化物半導体を用いた電界効果トランジスタに関するものである。

【背景技術】

【0002】

40

GaN系ワイドギャップ半導体材料は、Siなどの半導体材料に比べて絶縁破壊電界強度が大きく、また、電子の飽和ドリフト速度がGaAsなどの化合物半導体あるいはSi半導体などに比べて大きいという長を有しており、高周波、大電力低損失デバイスとして期待されており、研究開発が活発に行われている。また、AlGaN/GaNヘテロ構造においては(0001)面上にて自発分極及びピエゾ分極によりヘテロ界面に電荷が生じ、アンドープ時においても $1 \times 10^{13} \text{ cm}^{-2}$ 以上のシートキャリア濃度と $1000 \text{ cm}^2 \text{ V} / \text{sec}$ 以上の高移動度が得られるため、このヘテロ界面での2次元電子ガスを利用したヘテロ接合電界効果トランジスタにより、より寄生抵抗が少ない高出力トランジスタを実現することが可能である。また、基板材料としては、従来使われてきたサファイア基板やSiC基板だけでなく、大面積化が可能で熱伝導率もよく安価なSi基板上にも

50

成長可能であり、GaN系ワイドギャップ半導体材料はパワーデバイスとしての多くの利点を有している。

【0003】

以下、これまでに報告のある、窒化物半導体を用いた縦型構造を有する電界効果トランジスタの一例について、図8を用いて説明する。

図8は従来のGaN系半導体を用いた電界効果トランジスタの構造を示す断面図である。

【0004】

同図において、801はSiC基板、802はAlNバッファ層、803は第1のアンダーブGaN層、804は第1のAlGaN層、805はTi/Alドレイン電極、806は保護膜、807はNi/Auゲート電極、808はTi/Alソース電極である。ここでは、SiC基板801上にAlNバッファ層802、第1のアンダーブGaN層803、第1のAlGaN層804がこの順で形成され、前記第1のAlGaN層804上にTi/Alソース電極808とTi/Alドレイン電極805とNi/Auゲート電極807が形成され、前記Ni/Auゲート電極807及びTi/Alドレイン電極805及びTi/Alソース電極808の一部を覆うようにSiO₂とSiNで構成されている保護膜806が形成され、Ti/Alソース電極808の一部が前記保護膜806を貫き、前記保護膜806上に露出する形で形成されている。このような構造にすることで、耐圧600V・ソース-ドレイン間電流密度850A/cm²・オン抵抗(RonA)3.3mcm²の性能を有する電界効果トランジスタを実現している(例えば、非特許文献1)。

10

20

【非特許文献1】Wataru Saito et al, IEEE Trans. Electron Devices, vol. 50, pp. 2528-2531, Dec., 2003.

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、電力制御用のデバイスとして使用するには現状のSi系パワーMOSトランジスタと同様にゲート電圧0V時にソース-ドレイン間の電流を遮断するノーマリーオフ型が求められている。前記従来のSiC基板上AlGaN/GaNヘテロ構造を有した電界効果トランジスタの動作は、ゲート電圧0V時にソース・ドレイン間に電流を流してしまうノーマリーオン型である。

30

【0006】

電力制御用のデバイスとしてノーマリーオン型を適用した場合、デバイスがショートしてしまう可能性がある。そこでしきい値電圧が正となるノーマリーオフ型が必要になる。

しきい値電圧が正となるノーマリーオフ動作を実現するには、チャネル中の電子のシートキャリア濃度を低下させる必要があるが、この場合はオン抵抗を増加させてしまうという課題がある。

【0007】

本発明は前述の技術的課題に鑑み、より高い仕事関数を有する導電性酸化物をゲート電極に用いることで、ノーマリーオフ動作を実現し、低いオン抵抗と大電流を出力する電界効果トランジスタを提供することを目的とする。

40

【課題を解決するための手段】

【0008】

前記の目的を達成するために、本発明の導電性酸化物を有する電界効果トランジスタは以下に述べる構成となっている。

本発明の電界効果トランジスタにおいて、従来のPdやPtやNiなどの比較的高い仕事関数を有する金属に代わり、さらに大きい仕事関数を有するZnInSnO等の導電性酸化物をゲート電極に用いる構成となっている。ZnInSnOは仕事関数が6.1eVと従来のNiの5.1eVと比べ大きいため、前述のシートキャリア濃度Nsを大きく保

50

ちつつノーマリーオフ動作を実現できる。(Ji Cui et al , Advanced Materials . 13 , No . 19 , 1476 (2001) を参照) ノーマリーオフ化するためには、 N_s を低下させる手法だけでなく、ゲート電極の仕事関数 ϕ_M を増加させることで、しきい値電圧を上昇させることができる。

【0009】

具体的には、請求項1記載の電界効果トランジスタでは、仕事関数が5.6 eV以上であり、かつ導電性を有する酸化物をゲート電極に用いる電界効果トランジスタを構成している。

【0010】

このような構成にすることで、より高いショットキー障壁を形成するため、シートキャリア濃度を下げずにしきい値電圧が0V以上のノーマリーオフ動作が可能で、オン抵抗が小さく大電流を出力する電界効果トランジスタを実現できる。

【0011】

請求項2記載の電界効果トランジスタでは、請求項1記載のトランジスタにおいて、しきい値電圧が0Vよりも大きくなる構成となっている。

このような構成にすることで、ノーマリーオフ動作が可能な電界効果トランジスタを実現できる。

【0012】

請求項3記載の電界効果トランジスタでは、前記導電性を有する酸化物にZnあるいはGaを含むインジウム錫酸化物によりなる請求項1記載の電界効果トランジスタを構成している。

【0013】

このような構成にすることで、より高い仕事関数を有する材料でゲート電極を形成することができるので、シートキャリア濃度を低下させずにノーマリーオフ動作が可能になり、オン抵抗が小さく大電流を出力するノーマリーオフ型電界効果トランジスタを実現できる。

【0014】

請求項4記載の電界効果トランジスタでは、前記ゲート電極が接している半導体層に開口部を有する形で絶縁膜が形成されており、前記絶縁膜に形成された開口部を覆う形で前記ゲート電極が形成されていることを特徴とする、請求項1記載の電界効果トランジスタを構成している。

【0015】

このような構成にすることで、ゲート-ソース間及びゲート-ドレイン間のリーク電流を低減した電界効果トランジスタを実現できる。

請求項5記載の電界効果トランジスタでは、前記ゲート電極が接している半導体層の表面に凹部が形成されており、前記凹部の表面の少なくとも一部に接する形で前記ゲート電極が形成されている請求項1記載の電界効果トランジスタを構成している。

【0016】

このような構成にすることで、凹部以外のチャンネル中電子のシートキャリア濃度を高めることができるので、低いオン抵抗で大電流を出力するノーマリーオフ型電界効果トランジスタを実現できる。

【0017】

請求項6記載の電界効果トランジスタでは、前記ゲート電極が半導体層の表面に接しており、前記ゲート電極の側方において露出した前記半導体層の表面がエッチングされており、前記ゲート電極と前記半導体層の界面が前記ゲート電極側方の半導体層表面よりも上方に位置することを特徴とする、請求項1記載の電界効果トランジスタを構成している。

【0018】

このような構成にすることで、前記ゲート電極形成の際に半導体層中に拡散したゲート電極材料の一部を選択的に除去し、ソース及びドレインのコンタクト抵抗を大幅に低減でき、ソース-ゲート間及びドレイン-ゲート間のリーク電流を大幅に低減することができ

10

20

30

40

50

る。

【0019】

請求項7記載の電界効果トランジスタでは、前記ゲート電極が半導体層の表面に接しており、前記ゲート電極の側方において前記半導体層の表面が酸化してなる層が形成されている請求項1記載の電界効果トランジスタを構成している。

【0020】

このような構成にすることで、前記ゲート電極形成の際にゲート電極材料の一部が拡散した半導体層を酸化で選択的に高抵抗化し、ソース及びドレインのコンタクト抵抗を大幅に低減でき、ソース-ゲート間及びドレイン-ゲート間のリーク電流を大幅に低減することができる。

請求項8記載の電界効果トランジスタでは、前記ゲート電極、さらにソース及びドレイン電極が窒素を含む化合物半導体に接する形で形成されていることを特徴とする、請求項1～7に記載の電界効果トランジスタを構成している。

【0021】

このような構成にすることで、前記窒化物化合物半導体は禁制帯幅が大きく絶縁破壊電界が大きいために高耐圧の電界効果トランジスタを実現でき、また飽和ドリフト速度が大きく、ゲート長を十分短くした場合にはより大きな相互コンダクタンスを実現できるなど、より高性能な電界効果トランジスタを実現することが可能となる。

【0022】

請求項9記載の電界効果トランジスタでは、前記ゲート電極が接している前記半導体層が窒素とIII族元素を同数含む無極性面であることを特徴とする、請求項8記載の電界効果トランジスタを構成している。

【0023】

このような構成にすることで、分極に起因するキャリアをなくし、しきい値電圧をより正の方向に上昇させることができるため、容易にノーマリーオフ動作をする電界効果トランジスタを実現できる。

【発明の効果】

【0024】

本発明の電界効果トランジスタは、ゲート電極を構成する材料を、従来一般的に使用されるNi等比べて仕事関数の大きい導電性酸化物を用いることにより、ヘテロ接合部分のシートキャリア濃度を低くすることなくノーマリーオフ型トランジスタを実現することができるので、オン抵抗の増加を抑制しながらノーマリーオフ動作を実現することができる。

【発明を実施するための最良の形態】

【0025】

以下、図面を参照して、導電性酸化物としてZnInSnOをゲート電極に用いた電界効果トランジスタの実施例について説明する。

(第1の実施例)

図1は、本発明の第1の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタの断面図である。

【0026】

同図において、101はサファイア基板、102はAlNバッファ層、103は第1のアンダーブGaN層、104は第1のアンダーブAlGaN層、105はSiO₂薄膜、106はTi/Alドレイン電極、107はZnInSnOゲート電極、108はTi/Alソース電極である。

【0027】

図1は、第1の実施例における、しきい値電圧V_pが0Vより大きいいわゆるノーマリーオフ型の電界効果トランジスタの構造を示しており、ゲート電極としてZnInSnOを用いることを特長としている。ここでは、サファイア基板101(0001)面上に0.5μmのAlNバッファ層102、3μmの第1のアンダーブGaN層103、Al₀

10

20

30

40

50

$\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ の組成で形成された20nmの第1のアンドープAlGa_N層104をこの順に形成している。前記第1のアンドープAlGa_N層104は凹状に形成され、その凹部分でのAlGa_Nの膜厚は12nmで形成されている。また、ここでは第1のアンドープAlGa_N層104としたが、Siをドーブしたn型AlGa_N層でも良い。また、ここでは前記第1のアンドープAlGa_N層104の組成比をAl_{0.25}Ga_{0.75}Nとしたが、良好なトランジスタ特性を実現できる限り第1のアンドープAlGa_N層104はいかなる組成比のアンドープAlGa_N及びn型AlGa_N層でも良く、その場合には前記第1のアンドープAlGa_N層104における凹部分の膜厚はしきい値電圧が0V以上である、いわゆるノーマリーオフ動作となるような膜厚で形成される。前記第1のアンドープAlGa_N層104の凹部分でない部分の上にTi/Alソース電極108及びTi/Alドレイン電極106が形成されており、この2つの電極はTiが50nm、Alが300nmで構成され、この順に形成されている。この2つの電極の間に開口を有する膜厚400nmのSiO₂薄膜105が形成されており、その開口は前記第1のアンドープAlGa_N層104まで達し、さらに、前記第1のアンドープAlGa_N層104の凹部分が開口されるように形成されている。ここではSiO₂薄膜105を用いたが、SiN_xやポリイミドやBCB(Benzocyclobutane)などの絶縁膜でもよい。また、前記第1のアンドープAlGa_N層104の凹形状とSiO₂薄膜105に接する形で膜厚200nmのZnInSnOゲート電極107が形成されている。また、前記ZnInSnOゲート電極107は前記第1のアンドープAlGa_N層104の凹部全体とSiO₂薄膜105に接する形で形成されているが、前記第1のアンドープAlGa_N層104の凹部の底辺のみに接している形状でも良い。また、ここではゲート電極にZnInSnOを用いているが、ZnInO、GaInSnO、GaInO、ITO(indium thin oxide: 錫ドーブ酸化インジウム)、La_{2-x}Sr_xCuO₄、ZnO、イットリウム・バリウム・銅酸化物(YBCO)などを用いても良い。また、上記の電界効果トランジスタは、リセス構造を用いた電界効果トランジスタであるが、第1のアンドープAlGa_N層104の膜厚をしきい値電圧0Vとなる膜厚で形成し、背景技術で説明したようなリセス構造を有さない電界効果トランジスタでも良い。本実施例に示した電界効果トランジスタによれば、仕事関数が6.1eVと従来のNiなどに比べて大きいZnInSnOをゲート電極として用いることで、AlGa_N/Ga_Nヘテロ接合部分のシートキャリア濃度を比較的大きな値でかつノーマリーオフ型を実現できるのでノーマリーオフ動作を維持しながらオン抵抗の小さな電界効果トランジスタを実現することが可能となる。

【0028】

図1の電界効果トランジスタのしきい値電圧 V_p は式(1)で表される。

$$V_p = \frac{\phi_M - X_{\text{AlGa}_N} - \Delta E_C}{q} - \frac{qN_s d_{\text{AlGa}_N}}{\epsilon_0 \epsilon_{\text{AlGa}_N}} \quad (1)$$

(1)式において、 ϕ_M はゲート電極の仕事関数、 X_{AlGa_N} は第1のアンドープAlGa_N層104の電子親和力、 E_C は第1のアンドープAlGa_N層104と第1のアンドープGa_N層103のヘテロ構造が作るエネルギー障壁高さ、 d_{AlGa_N} はゲート直下における第1のアンドープAlGa_N層104の膜厚、 q は電子の電荷、 ϵ_0 は真空誘電率、 ϵ_{AlGa_N} はAlGa_N層の比誘電率、 N_s はゲート電極直下のチャネル中電子のシートキャリア濃度である。(1)式より、 V_p は、 N_s と ϕ_M と d_{AlGa_N} により変化し、 N_s を低下させることで V_p を0V以上にすることができるが、 N_s 低下はオン抵抗増加を伴う。

【0029】

図2は、第1の実施例における電界効果トランジスタのゲート電極の仕事関数と電界効

10

20

30

40

50

果トランジスタのピンチオフ電圧の関係を示す図であり、 N_s が $3.4 \times 10^{12} \text{ (cm}^{-2}\text{)}$ と $6.2 \times 10^{12} \text{ (cm}^{-2}\text{)}$ である電界効果トランジスタの V_p と I_M の関係である。

【0030】

図2の $N_s = 3.4 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の電界効果トランジスタにおいて、第1のアンドープAlGaIn層の組成比はAl_{0.14}Ga_{0.86}Inで、膜厚 d_{AlGaIn} は20nm、 E_C は9.43、 E_C は0.18eV、 E_C は3.61eVである。また、 $N_s = 6.2 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の電界効果トランジスタにおいて、第1のアンドープAlGaIn層の組成比はAl_{0.19}Ga_{0.81}Inで、膜厚 d_{AlGaIn} は20nm、 E_C は9.41、 E_C は0.25eV、 E_C は3.44eVである。

10

【0031】

図2から、ゲート電極に従来使われているNi(仕事関数5.1eV)を用いた場合、 V_p を0V以上とするには N_s を $3.4 \times 10^{12} \text{ (cm}^{-2}\text{)}$ まで低下させる必要があるが、高い仕事関数を有する例えばZnInSnO(仕事関数6.1eV)を用いれば、 V_p が0V以上となるノーマリーオフ動作に必要な N_s を $6.2 \times 10^{12} \text{ (cm}^{-2}\text{)}$ まで高めることができ、ノーマリーオフ化に伴うオン抵抗の増加を抑制することができる。ことがわかる。

【0032】

図2から明らかなように、導電性酸化物をゲート電極に用いることでノーマリーオフ動作を実現するために必要なシートキャリア濃度を従来の $3.4 \times 10^{12} \text{ (cm}^{-2}\text{)}$ から $6.2 \times 10^{12} \text{ (cm}^{-2}\text{)}$ まで大幅に増加させることができるため、オン抵抗を小さくすることが可能である。

20

【0033】

本実施例で示した凹形状のリセス構造を有す場合には、ノーマリーオフ動作に必要な凹部の底辺のAlGaIn層を厚くすることが出来るので、トンネル効果によるリーク電流をより少なくすることが可能であり、より高い正の電圧をゲートに印加できる。そのため、低いオン抵抗で大電流を出力するノーマリーオフ型電界効果トランジスタが実現できる。

【0034】

図1に示す電界効果トランジスタを作製する方法の例を、図3を用いて説明する。

30

図3は、本発明の第1の実施例における電界効果トランジスタの製造方法を示す工程断面図である。

【0035】

同図において、301はサファイア基板、302はAlNバッファ層、303は第1のアンドープGaIn層、304は第1のアンドープAlGaIn層、305はSiO₂薄膜、306はレジスト、307はTi/Alソース電極、308はTi/Alドレイン電極、309はZnInSnOゲート電極である。

【0036】

ここでは、サファイア基板301(0001)面上に0.5μmのAlNバッファ層302、3μmの第1のアンドープGaIn層303、25nmの第1のアンドープAlGaIn層304をこの順に有機金属気相成長法(Metal Organic Chemical Vapor Deposition: MOCVD)により形成する(図3(a))。前記第1のアンドープAlGaIn層304層は、Siを含み且つ組成がAl_{0.25}Ga_{0.75}Inとなるように形成する。前記図3(a)におけるエピタキシャル成長後、第1のアンドープAlGaIn層304上に400nmのSiO₂薄膜305を選択的に形成する(図3(b))。SiO₂の成膜には例えばSiH₄とO₂を用いた気相堆積法(Chemical Vapor Deposition: CVD)により第1のアンドープAlGaIn層304上全面に形成する。選択的にSiO₂薄膜305を除去するには、ドレイン電極およびソース電極形成領域を開口したレジスト306を用いたフォトリソグラフィ工程とフッ化水素酸によるウェットエッチングにより、ドレイン電極およびソース電極

40

50

形成領域を選択的に除去する。前記SiO₂薄膜305形成後、SiO₂薄膜305が開口した第1のアンドープAlGa_{0.25}N層304上にTi/Alソース電極307及びTi/Alドレイン電極308をTiが50nm、Alが300nmとなるようにこの順番で形成する(図3(c))。ソース電極及びドレイン電極は、例えばフォトリソグラフィ工程と電子ビーム蒸着法によるリフトオフ法で同時に形成する。前記Ti/Alソース電極307及びTi/Alドレイン電極308形成後、前記SiO₂薄膜305に開口を形成し、その開口により露出した第1のアンドープAlGa_{0.25}N層304をエッチングして選択的に薄膜化し、前記第1のアンドープAlGa_{0.25}N層304に凹状部を形成してリセス構造を形成する(図3(d))。この形成には、例えばフォトリソグラフィ工程とフッ化水素酸によるウェットエッチングにより前記SiO₂薄膜305を選択的に除去し、さらにCl₂ガスを用いたICP(Inductive Coupled Plasma: ICP)エッチングと呼ばれるエッチングで選択的に第1のアンドープAlGa_{0.25}N層304を膜厚12nmになるまで薄膜化してリセス構造を形成する。前記リセス構造形成後、第1のアンドープAlGa_{0.25}N層304の凹部の底辺に接する形でZnInSnOゲート電極309を形成する(図3(e))。ZnInSnOゲート電極309を形成するために、フォトリソグラフィを用いてレジストをパターンニングし、例えば電子ビーム蒸着法によりZnInSnOを200nm成膜し、リフトオフ法でゲート電極を形成する。本実施例における電界効果トランジスタによれば、オン抵抗が小さく、ソース・ドレイン間の電流が大きいノーマリーオフ動作をする電界効果トランジスタが実現できる。

(第2の実施例)

10

20

図4は、本発明の第2の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタの断面図である。

【0037】

同図において、401はn型Si基板、402はAlNバッファ層、403は第1のアンドープGa_{0.75}N層、404は第1のアンドープAlGa_{0.25}N層、405はTi/Alドレイン電極、406はZnInSnOゲート電極、407はTi/Alソース電極、408はAu配線、409はピアホール、410はAl裏面ソース電極である。

【0038】

図4は、第2の実施例における、ZnInSnOゲート電極406を用いた電界効果トランジスタの構造を示している。ここでは、n型Si基板401(111)面上に200nmのAlNバッファ層402、1μmの第1のアンドープGa_{0.75}N層403、Al_{0.25}Ga_{0.75}Nの組成の第1のアンドープAlGa_{0.25}N層404をこの順に形成する。前記第1のアンドープAlGa_{0.25}N層404は、凸形状をしており、凸部分の膜厚が12nm、凸部分でない部分の膜厚が10nmになるように形成されている。ここでは第1のn型AlGa_{0.25}N層404の組成比をAl_{0.25}Ga_{0.75}Nとしたが、良好なトランジスタ特性を実現できる限りいかなる組成比のアンドープAlGa_{0.25}N及びn型AlGa_{0.25}N層でも良く、その場合には第1のアンドープAlGa_{0.25}N層404における凸部分の膜厚は、ノーマリーオフ動作となる膜厚になるように設定する。前記第1のアンドープAlGa_{0.25}N層404の凸部分の上にZnInSnOゲート電極406が形成され、前記第1のアンドープAlGa_{0.25}N層404の凸部分でない部分の上にTi/Alソース電極407及びTi/Alドレイン電極405が形成される。前記第1のアンドープAlGa_{0.25}N層404を凸形状にしたのは、前記ZnInSnOゲート電極406を形成する工程でZnInSnOを基板全面に成膜するが、その時にZnInSnOのZnやInやSnが前記第1のアンドープAlGa_{0.25}N層404中に拡散し、ソース及びドレインのコンタクト抵抗や、ゲート・ドレイン間とゲート・ソース間のリーク電流を増加させてしまうことを防ぐためである。つまり、ZnやInやSnが拡散した部分を選択的に除去しアンドープAlGa_{0.25}N層を凸形状にし、凸部分でない部分にソース及びドレイン電極を形成することでコンタクト抵抗増加を防ぎ、リーク電流を抑制している。また、ここでは、ゲート電極にZnInSnOを用いているが、ZnInO、GaInSnO、GaInO、ITO(indium tin oxide: 錫ドーパ酸インジウム)、La_{2-x}Sr_xCuO₄、ZnO、イ

30

40

50

ットリウム・バリウム・銅酸化物 (YBCO) などを用いても良い。前記Ti/Alソース電極407から基板裏面まで配線を形成するために前記第1のアンドープAlGa_{0.25}N層404と前記第1のアンドープGa_{0.25}N層403とAlNバッファ層402を貫き前記n型Si基板401に達するピアホール409と呼ばれる穴が形成されている。このピアホールを介して前記Ti/Alソース電極407と前記n型Si基板401が接する形でAu配線408が形成され、n型Si基板401の裏面にAl裏面ソース電極410が形成されている。この配線構造を作ることによって、チップ面積も低減できる。

【0039】

図4に示す電界効果トランジスタを作製する方法の例を、図5を用いて説明する。

図5は、本発明の第2の実施例における電界効果トランジスタの製造方法を示す工程断面図である。

10

【0040】

同図において、501はn型Si基板、502はAlNバッファ層、503は第1のアンドープGa_{0.25}N層、504は第1のアンドープAlGa_{0.25}N層、505はZnInSnO薄膜、506はZnInSnOゲート電極、507はレジスト、508はTi/Alソース電極、509はTi/Alドレイン電極、510はピアホール、511はAu配線、512はAl裏面ソース電極である。ここでは、n型Si基板501の(111)面上に200nmのAlNバッファ層502、1μmの第1のアンドープGa_{0.25}N層503、12nmの第1のn型AlGa_{0.25}N層504をこの順にMOCVD法により形成する(図5(a))。このとき、前記第1のアンドープAlGa_{0.25}N層504は、組成がAl_{0.25}Ga_{0.75}Nとなるように形成する。前記図5(a)におけるエピタキシャル成長後、100nmのZnInSnO薄膜505を例えばRFスパッタリングで形成する(図5(b))。ここでは、ZnInSnO薄膜505をRFスパッタリング法で成膜したが、レーザーアブレーション法などでも成膜が出来る。前記ZnInSnO薄膜505形成後、ZnInSnOゲート電極506形成領域をマスクするレジスト507をマスクとしてZnInSnO薄膜505を選択的に除去し、ZnInSnOゲート電極506と第1のアンドープAlGa_{0.25}N層504を凸形状に形成する。ZnInSnO薄膜505を選択的に除去してZnInSnOゲート電極506を形成するために、レジスト507を用いたフォトリソグラフィ工程とCF₄ガスとO₂ガスの混合ガスによるICPEッチング法でZnInSnO薄膜505を選択的に除去し、Cl₂ガスを用いたICPEッチングで第1のアンドープAlGa_{0.25}N層2nmを選択的に除去し、第1のアンドープAlGa_{0.25}N層504を凸形状にする(図5(c))。前記第1のアンドープAlGa_{0.25}N層504エッチング後、第1のアンドープAlGa_{0.25}N層504の凸部分でない部分の上にTi/Alソース電極508及びTi/Alドレイン電極509をTiが50nm、Alが300nmの構成となるようにこの順番で形成する(図5(d))。前記ソース電極及びドレイン電極は、例えばフォトリソグラフィ工程と電子ビーム蒸着法によるリフトオフ法で同時に形成する。前記Ti/Alソース電極508及びTi/Alドレイン電極509形成後、前記Ti/Alソース電極508から基板裏面までの配線を形成するために前記第1のアンドープAlGa_{0.25}N層504と前記第1のアンドープGa_{0.25}N層503層を貫き前記n型Si基板501に達するピアホール510と呼ばれる穴を形成する(図5(e))。このピアホール510の形成には、例えばフォトリソグラフィ工程とCl₂ガスを用いたICPEッチングで選択的に前記第1のアンドープAlGa_{0.25}N層504と前記第1のアンドープGa_{0.25}N層503を選択的に除去して形成する。前記ピアホール510形成後、前記n型Si基板501の裏面にAl裏面ソース電極512を形成し、前記ピアホール510を介して前記Ti/Alソース電極508と前記n型Si基板501に接するようにAu配線511を形成する(図5(f))。前記Al裏面ソース電極512の形成は、電子ビーム蒸着法で形成する。前記Au配線511は、フォトリソグラフィ工程と電気メッキ法を用いたリフトオフ法で形成する。本実施例に示した電界効果トランジスタによれば、仕事関数が高くないゲート電極材料により、よりオン抵抗が小さいノーマリーオフ型電界効果トランジスタが実現でき、ソース及びドレインのコンタクト抵抗とゲートリーク電流を低減できる。

20

30

40

50

【0041】

以上のように、第1の実施例と同様に、ゲート電極としてZnInSnO等の仕事関数の大きな導電性酸化物を用いることにより、シートキャリア濃度を低くすることなく、オン抵抗の増加を抑制しながらノーマリーオン動作を実現することができる。さらに、アンドープAlGaIn層等のヘテロ接合窒化物半導体層のZnやInやSnが拡散した部分を選択的に除去して凸形状に形成し、凸形状部にゲート電極を形成し、凸部分でない部分にソース及びドレイン電極を形成することにより、ソース及びドレイン電極のコンタクト抵抗増加を防ぎ、リーク電流を抑制している。

(第3の実施例)

図6は、本発明の第3の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタの断面図である。 10

【0042】

同図において、601はGaN基板、602は第1のアンドープGaN層、603は第1のアンドープAlGaIn層、604はTi/Alドレイン電極、605はAlGaInO_x酸化層、606はZnInSnOゲート電極、607はTi/Alソース電極である。

【0043】

図6は、第3の実施例における、ZnInSnOをゲート電極に用いた電界効果トランジスタの構造を示している。ここでは、GaN基板601(0001)面上に5μmの第1のアンドープGaN層602、Al_{0.25}Ga_{0.75}Nの組成で12nmの第1のアンドープAlGaIn層をこの順に形成する。ここでは、第1のn型AlGaIn層603の組成比をAl_{0.25}Ga_{0.75}Nとしたが、良好なトランジスタ特性を実現できるかぎりはいかなる組成比のアンドープAlGaIn層及びn型AlGaIn層でも良く、その場合、前記第1のアンドープAlGaIn層603の膜厚は、ノーマリーオフ動作となる膜厚になるように設定する。前記第1のアンドープAlGaIn層603上にZnInSnOゲート電極606及びAlGaInO_x酸化層605を形成する。前記ZnInSnOゲート電極606形成時にZnInSnOを前記第1のアンドープAlGaIn層603上全面に形成するが、その時に前記第1のアンドープAlGaIn層603中にZnInSnOのZnやInやSnが拡散されてしまい、ソース及びドレインのコンタクト抵抗や、ゲート-ドレイン間とゲート-ソース間のリーク電流を増加させてしまう。そこで、ZnやInやSnが拡散したAlGaIn層部分を電氣的に無効化するため、前記AlGaInO_x酸化層605を形成し高抵抗化する。また、ここではゲート電極にZnInSnOを用いているが、ZnInO、GaInSnO、GaInO、ITO(indium thin oxide: 錫ドープ酸化インジウム)、La_{2-x}Sr_xCuO₄、ZnO、イットリウム・バリウム・銅酸化物(YBCO)などを用いても良い。前記AlGaInO_x層は選択的に除去され第1のアンドープAlGaIn層603が露出しており、その露出された部分にTi/Alソース電極607とTi/Alドレイン電極604が形成されている。 20 30

【0044】

図6に示すような電界効果トランジスタの作成方法の例を、図7を用いて説明する。

図7は、本発明の第3の実施例における電界効果トランジスタの製造方法を示す工程断面図である。 40

【0045】

同図において、701はGaN基板、702は第1のアンドープGaN層、703は第1のアンドープAlGaIn層、704はZnInSnOゲート電極、705はAlGaInO_x酸化層、706はTi/Alソース電極、707はTi/Alドレイン電極である。

【0046】

まず、GaN基板701(0001)面上に5μmの第1のアンドープGaN層702、12nmの第1のn型AlGaIn層703をこの順にMOCVD法により形成する(図7(a))。このとき、前記第1のアンドープAlGaIn層703は、組成がAl_{0.25}Ga_{0.75}Nとなるように形成する。前記図7(a)のエピタキシャル成長後、ZnInSnOゲート電極704を形成する(図7(b))。前記ZnInSnOゲート電極 50

704の形成には、例えばRFスパッタリング法でZnInSnO薄膜を全面に成膜したあと、フォトリソグラフィ工程とCF₄ガスとO₂ガスの混合ガスによるICPエッチング法でZnInSnO薄膜を選択的に除去し、ゲート電極を形成する。ここでは、前記ZnInSnO薄膜の成膜にRFスパッタリング法を用いたが、レーザーアブレーション法で成膜しても良い。前記ZnInSnOゲート電極704形成後、AlGaNO_x酸化層705を形成する(図7(c))。前記AlGaNO_x酸化膜層705の形成には、O₂雰囲気中にて約1000で加熱し、第1のアンドープAlGaIn層2nmを酸化させ、AlGaNO_x酸化層705を形成する。前記AlGaNO_x酸化層705形成後、ソース電極及びドレイン電極の形成領域のAlGaNO_x酸化層705を選択的に除去して第1のアンドープAlGaIn層を露出させる(図7(d))。この第1のアンドープAlGaIn層703露出には、フォトリソグラフィ工程とCl₂ガスを用いたICPエッチングで前記AlGaNO_x酸化膜層705を選択的に除去して、露出させる。前記第1のアンドープAlGaIn層703露出後、開口された第1のアンドープAlGaIn層703上にTi/Alソース電極706及びTi/Alドレイン電極707をTiが50nm、Alが300nmとなるようにこの順番で形成する(図7(e))。このソース電極及びドレイン電極は、例えばフォトリソグラフィと電子ビーム蒸着法によるリフトオフで同時に形成する。本実施例に示した電界効果トランジスタによれば、仕事関数が大きなゲート電極材料により、よりオン抵抗が小さいノーマリーオフ型電界効果トランジスタが実現でき、ソース及びドレインのコンタクト抵抗とゲートリーク電流を低減できる。

10

20

【0047】

以上のように、第1の実施例と同様に、ゲート電極としてZnInSnO等の仕事関数の大きな導電性酸化物を用いることにより、シートキャリア濃度を低くすることなく、オン抵抗の増加を抑制しながらノーマリーオン動作を実現することができる。さらに、ゲート電極を構成する不純物が拡散したヘテロ接合窒化物半導体を電氣的に無効化するために酸化させ、ソース及びドレイン電極のコンタクト抵抗や、ゲート-ドレイン間とゲート-ソース間のリーク電流の増加を抑制することができる。

【0048】

前記の図1及び図4及び図6に示す実施例で用いた基板は、いかなる面方位でも良く、例えば(0001)面等の代表面からオフアングルのついた面方位であっても良い。基板はGaNあるいはSiCあるいはZnOあるいはSiあるいはGaAsあるいはGaPあるいはInPあるいはLiGaO₂あるいはLiAlO₂あるいはこれらの混晶などであっても良い。バッファ層はAlN層のみならず、バッファ層上に良好なGaN結晶が形成できる限りはGaNあるいはいかなる組成比の窒化物半導体層であっても良い。ここで示した電界効果トランジスタのエピタキシャル成長層は所望のトランジスタ特性が実現できる限りは窒化物半導体のいかなる組成比、あるいはいかなる多層構造を含んでも良く、その結晶成長方法はMOCVDでなく、例えば、分子線エピタキシー(Molecular Beam Epitaxy: MBE)あるいはハイドライド気相成長法(Hydride Vapor Phase Epitaxy: HVPE)による層を含む形でも良い。エピタキシャル成長層はAs, PなどのV族元素あるいはBなどのIII族元素を構成元素として含んでも良い。

30

40

【産業上の利用可能性】

【0049】

本発明は、オン抵抗の増加を抑制しながらノーマリーオフ動作を実現することができ、民生機器の電源回路に用いるパワートランジスタに適用できる、窒化物半導体を用いた電界効果トランジスタ等に有用である。

【図面の簡単な説明】

【0050】

【図1】本発明の第1の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタを示す断面図

【図2】第1の実施例における電界効果トランジスタのゲート電極の仕事関数と電界効果

50

トランジスタのピンチオフ電圧の関係を示す図

【図 3】本発明の第 1 の実施例における電界効果トランジスタの製造方法を示す工程断面図

【図 4】本発明の第 2 の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタを示す断面図

【図 5】本発明の第 2 の実施例における電界効果トランジスタの製造方法を示す工程断面図

【図 6】本発明の第 3 の実施例における導電性酸化物をゲート電極に用いた電界効果トランジスタを示す断面図

【図 7】本発明の第 3 の実施例における電界効果トランジスタの製造方法を示す工程断面図 10

【図 8】従来の GaN 系半導体を用いた電界効果トランジスタの構造を示す断面図

【符号の説明】

【0051】

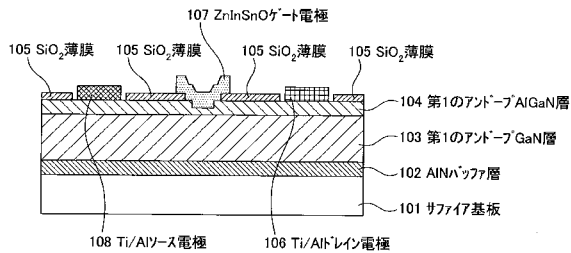
| | | |
|-----|---------------------|----|
| 101 | サファイア基板 | |
| 102 | AlN バッファ層 | |
| 103 | 第 1 のアンドープ GaN 層 | |
| 104 | 第 1 のアンドープ AlGaIn 層 | |
| 105 | SiO ₂ 薄膜 | |
| 106 | Ti/Al ドレイン電極 | 20 |
| 107 | ZnInSnO ゲート電極 | |
| 108 | Ti/Al ソース電極 | |
| 301 | サファイア基板 | |
| 302 | AlN バッファ層 | |
| 303 | 第 1 のアンドープ GaN 層 | |
| 304 | 第 1 のアンドープ AlGaIn 層 | |
| 305 | SiO ₂ 薄膜 | |
| 306 | レジスト | |
| 307 | Ti/Al ソース電極 | |
| 308 | Ti/Al ドレイン電極 | 30 |
| 309 | ZnInSnO ゲート電極 | |
| 401 | n 型 Si 基板 | |
| 402 | AlN バッファ層 | |
| 403 | 第 1 のアンドープ GaN 層 | |
| 404 | 第 1 のアンドープ AlGaIn 層 | |
| 405 | Ti/Al ドレイン電極 | |
| 406 | ZnInSnO ゲート電極 | |
| 407 | Ti/Al ソース電極 | |
| 408 | Au メッキ配線 | |
| 409 | ビアホール | 40 |
| 410 | Al 裏面ソース電極 | |
| 501 | n 型 Si 基板 | |
| 502 | AlN バッファ層 | |
| 503 | 第 1 のアンドープ GaN 層 | |
| 504 | 第 1 のアンドープ AlGaIn 層 | |
| 505 | ZnInSnO 薄膜 | |
| 506 | ZnInSnO ゲート電極 | |
| 507 | レジスト | |
| 508 | Ti/Al ソース電極 | |
| 509 | Ti/Al ドレイン電極 | 50 |

- 5 1 0 ピアホール
- 5 1 1 Au配線
- 5 1 2 Al裏面ソース電極
- 6 0 1 GaN基板
- 6 0 2 第1のアンドープGaN層
- 6 0 3 第1のアンドープAlGaN層
- 6 0 4 Ti/Alドレイン電極
- 6 0 5 AlGaN_x酸化層
- 6 0 6 ZnInSnOゲート電極
- 6 0 7 Ti/Alソース電極
- 7 0 1 GaN基板
- 7 0 2 第1のアンドープGaN層
- 7 0 3 第1のアンドープAlGaN層
- 7 0 4 ZnInSnOゲート電極
- 7 0 5 AlGaN_x酸化層
- 7 0 6 Ti/Alソース電極
- 7 0 7 Ti/Alドレイン電極
- 8 0 1 SiC基板
- 8 0 2 AlNバッファ層
- 8 0 3 第1のアンドープGaN層
- 8 0 4 第1のAlGaN層
- 8 0 5 Ti/Alドレイン電極
- 8 0 6 保護膜
- 8 0 7 Ni/Auゲート電極
- 8 0 8 Ti/Alソース電極

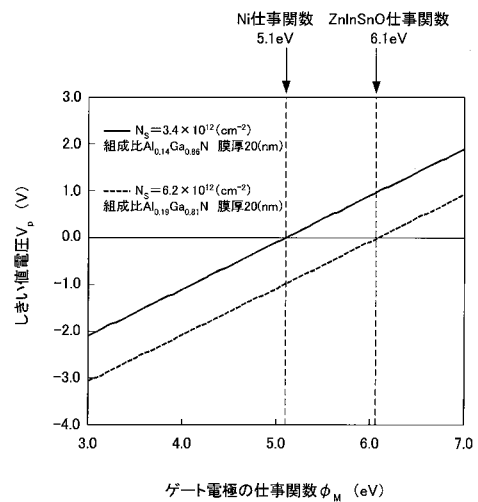
10

20

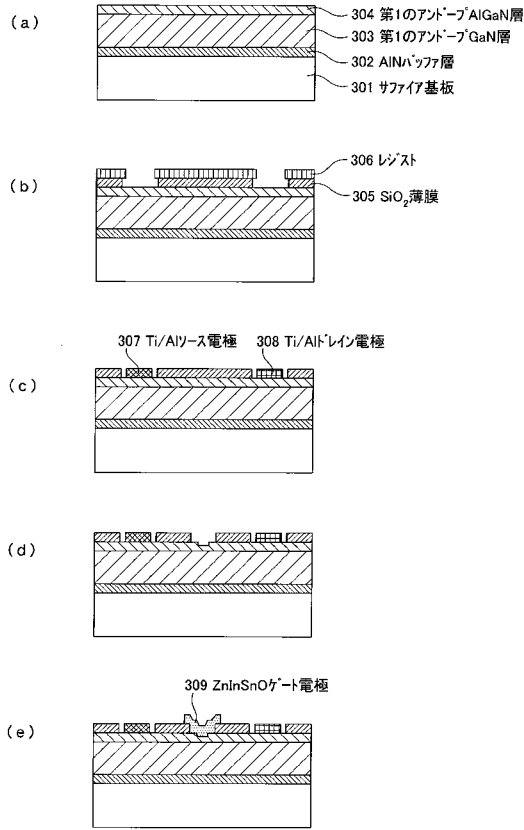
【図1】



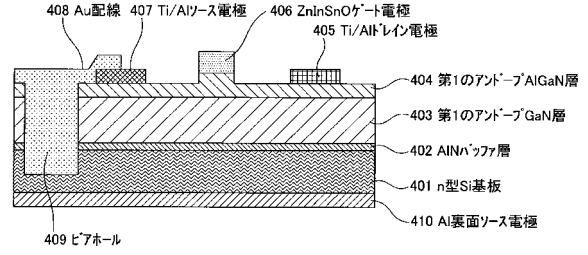
【図2】



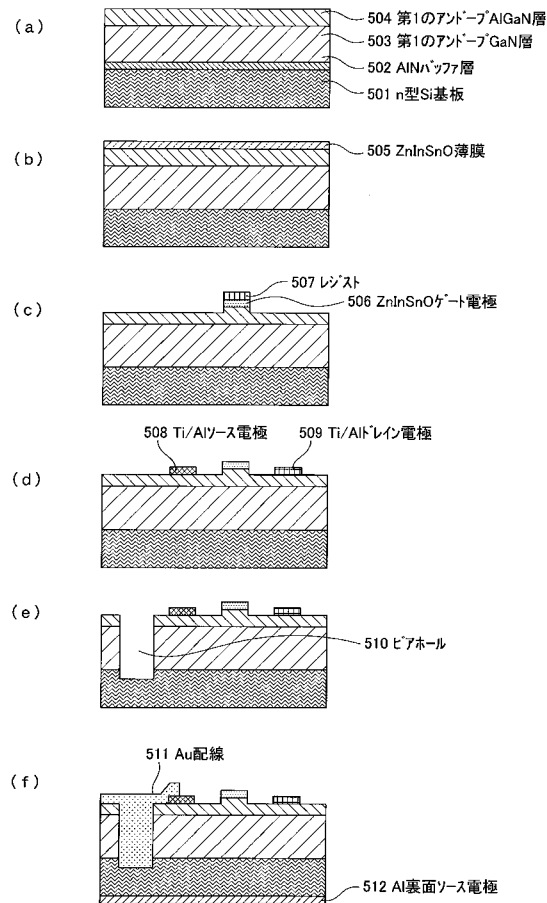
【 図 3 】



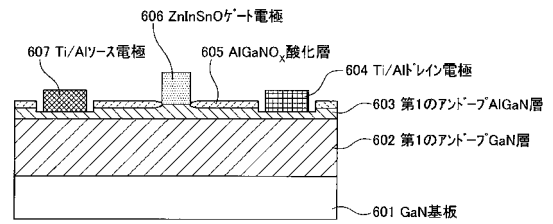
【 図 4 】



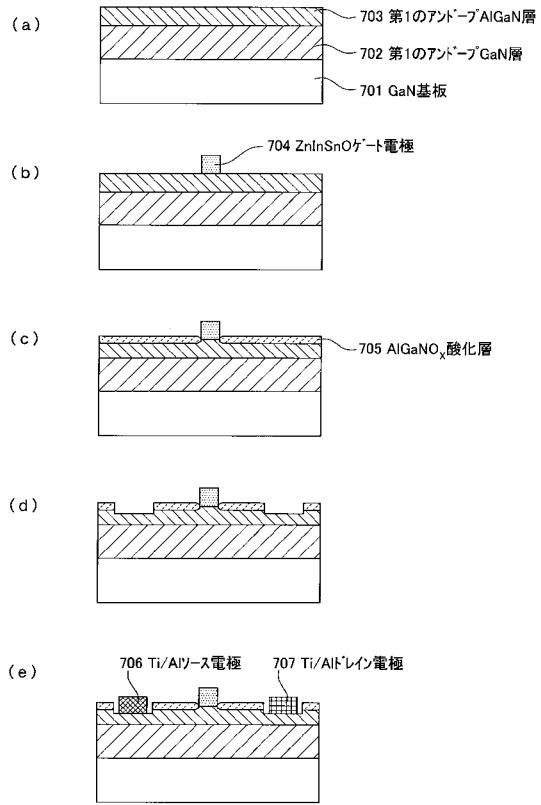
【 図 5 】



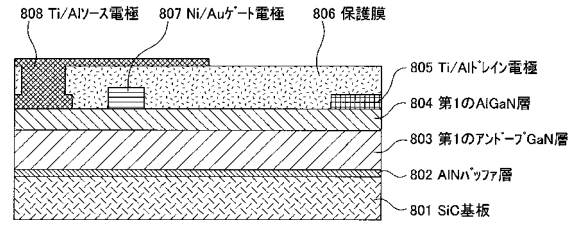
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 上田 哲三

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F102 FA03 GB01 GB02 GC01 GD01 GJ03 GJ04 GJ10 GK04 GQ01
GR01 GR03 GR04 GS04 GT04 GV05 GV07 HC01 HC11 HC15
HC19