



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월01일  
(11) 등록번호 10-0771873  
(24) 등록일자 2007년10월25일

(51) Int. Cl.

H01L 23/488(2006.01)

(21) 출원번호 10-2006-0054924  
(22) 출원일자 2006년06월19일  
심사청구일자 2006년06월19일  
(56) 선행기술조사문헌  
JP14110850 A  
KR1020010068590 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박창영

경기 안양시 동안구 신촌동 무궁화아파트  
712-1201

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 15 항

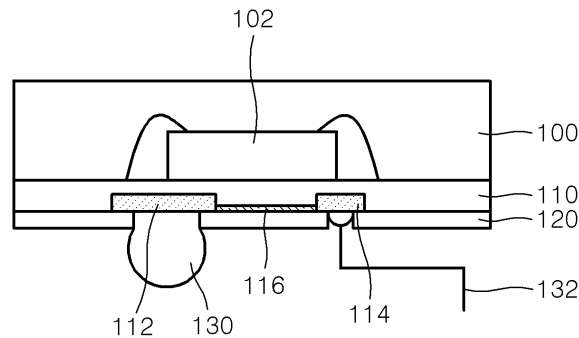
심사관 : 이정재

(54) 반도체 패키지 및 그 실장방법

(57) 요약

외부의 기판과 접속이 양호하고, 반도체 칩의 전기적인 특성을 체크하기가 용이하며, 충분한 입출력 단자의 수를 확보할 수 있는 반도체 패키지 및 그 실장방법을 제공한다. 그 패키지 및 방법은 각각 분리되어 배열된 복수개의 솔더 접속단자와, 접속단자와 이격되어 배치된 복수개의 도전성 와이어(wire)를 포함한다. 접속단자와 와이어는 몸체의 일면에 부착되고, 몸체 내에는 접속단자와 와이어로 이루어진 적어도 하나의 쌍을 연결하는 배선을 포함한다.

대표도 - 도1a



## 특허청구의 범위

### 청구항 1

각각 분리되어 배열된 복수개의 솔더 접속단자;

상기 접속단자와 이격되어 배치된 복수개의 도전성 와이어(wire);

상기 접속단자와 상기 와이어를 일면에 부착하는 몸체; 및

상기 몸체 내에 배치되고 상기 접속단자와 상기 와이어로 이루어진 쌍의 일부를 전기적으로 연결하는 배선을 포함하는 반도체 패키지.

### 청구항 2

제1항에 있어서, 상기 몸체는 상기 접속단자와 상기 도전성 와이어가 각각 부착되는 본딩패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 3

제1항에 있어서, 상기 접속단자는 볼(ball) 형태의 솔더볼인 것을 특징으로 하는 반도체 패키지.

### 청구항 4

제1항에 있어서, 상기 접속단자는 범프(bump) 형태인 솔더범프인 것을 특징으로 하는 반도체 패키지.

### 청구항 5

제1항에 있어서, 상기 와이어는 절연층에 의해 덮이는 것을 특징으로 하는 반도체 패키지.

### 청구항 6

제1항에 있어서, 상기 몸체는 반도체 칩이 부착된 기판인 것을 특징으로 하는 반도체 패키지.

### 청구항 7

제1항에 있어서, 상기 몸체는 반도체 칩인 것을 특징으로 하는 반도체 패키지.

### 청구항 8

제1항에 있어서, 상기 배선은 상기 몸체의 일면에 동일한 레벨을 이루면서 형성된 것을 특징으로 하는 반도체 패키지.

### 청구항 9

제1항에 있어서, 상기 배선은 상기 몸체의 일면에 대하여 수직하게 형성된 비아를 연결하여 형성되는 것을 특징으로 하는 반도체 패키지.

### 청구항 10

삭제

### 청구항 11

삭제

### 청구항 12

반도체 칩을 포함하는 몸체에 복수개의 제1 및 제2 본딩패드를 형성하는 단계;

상기 제1 및 제2 본딩패드의 적어도 한 쌍을 전기적으로 연결하는 배선을 형성하는 단계;

상기 제1 본딩패드에 솔더 접속단자를 부착하는 단계;

상기 제1 본딩패드와 쌍을 이루는 상기 제2 본딩패드에 도전성 와이어를 부착하는 단계; 및

상기 제1 및 제2 본딩패드에 대응하여 전기적인 접속패드가 형성된 외부 회로기관에 상기 솔더 접속단자 및 상기 도전성 와이어의 일부를 각각 전기적으로 연결하여, 상기 솔더 접속단자와 상기 도전성 와이어의 쌍을 형성하는 단계를 포함하는 반도체 패키지 실장방법.

**청구항 13**

제12항에 있어서, 상기 배선을 형성하는 단계는,

상기 제1 및 제2 본딩패드 사이의 상기 몸체의 일면을 식각하는 단계; 및

상기 식각된 영역에 배선을 위한 도전성 물질을 채우는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 실장방법.

**청구항 14**

제12항에 있어서, 상기 배선을 형성하는 단계는 상기 도전성 패드를 형성하는 단계 이전에,

상기 제1 및 제2 본딩패드가 형성될 영역의 상기 몸체를 관통하는 비아홀을 형성하는 단계;

상기 비아홀에 배선을 위한 도전성 물질을 채우는 단계; 및

상기 비아홀에 채워진 도전성 물질을 연결하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 실장방법.

**청구항 15**

제12항에 있어서, 상기 도전성 와이어를 부착하는 단계 이후에,

상기 반도체 칩의 전기적인 특성을 측정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지 실장방법.

**청구항 16**

제12항에 있어서, 상기 도전성 와이어를 부착하는 단계 이전에,

상기 반도체 칩의 전기적인 특성을 측정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지 실장방법.

**청구항 17**

제12항에 있어서, 외부 회로기관에 상기 솔더 접속단자 및 상기 도전성 와이어를 접속하는 단계는 리플로우(reflow) 공정을 이용하는 것을 특징으로 하는 반도체 패키지 실장방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <12> 본 발명은 반도체 패키지 및 그 실장방법에 관한 것으로, 특히 볼(ball)과 같은 솔더 접속단자와 도전성 와이어를 전기적으로 연결하는 배선을 이용한 반도체 패키지 및 그 실장방법에 관한 것이다.
- <13> 통상적으로, 밀봉된 반도체 칩은 다양한 방법으로 외부의 기관과 전기적으로 접속된다. 예컨대, 솔더 접속(solder joint), 와이어(wire) 및 리드프레임(lead frame)을 이용하여 상기 밀봉된 칩을 상기 기관에 부착한다. 그런데, 위와 같은 방법은 여러 가지 문제점을 안고 있다.
- <14> 솔더 접속은 상대적으로 넓은 면적을 배선으로 사용할 수 있으나, 외부의 기관에 부착될 때 신뢰성이 떨어진다. 예를 들어, 충격이나 열 등에 의해 솔더 접속이 떨어질 수 있다. 와이어는 외부의 기관에 잘 부착되나, 구조적으로 와이어가 부착된 칩의 전기적인 특성을 측정하기 어렵다. 리드프레임의 경우는 입출력 단자의 수에 제약이 있으며 상대적으로 전기적인 특성이 열악하다는 단점이 있다. 따라서, 외부의 기관과 접속이 양호하고, 반도체 칩의 전기적인 특성을 체크하기가 용이하며, 충분한 입출력 단자의 수를 확보할 수 있는 반도체 패키지가 필요

하다.

**발명이 이루고자 하는 기술적 과제**

- <15> 따라서, 본 발명이 이루고자 하는 기술적 과제는 외부의 기관과 접속이 양호하고, 반도체 칩의 전기적인 특성을 체크하기가 용이하며, 충분한 입출력 단자의 수를 확보할 수 있는 반도체 패키지를 제공하는 데 있다.
- <16> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 패키지를 실장하는 방법을 제공하는 데 있다.

**발명의 구성 및 작용**

- <17> 상기 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 패키지는 각각 분리되어 배열된 복수개의 솔더 접속단자와, 상기 접속단자와 이격되어 배치된 복수개의 도전성 와이어(wire)를 포함한다. 상기 접속단자와 상기 와이어는 몸체의 일면에 부착되고, 상기 몸체 내에는 상기 접속단자와 상기 와이어로 이루어진 적어도 하나의 쌍을 연결하는 배선을 포함한다.
- <18> 본 발명의 실시예에 의한 배선은 상기 몸체의 일면에 동일한 레벨을 이루면서 형성될 수 있고, 상기 몸체의 일면에 대하여 수직하게 형성된 비아를 연결하여 형성될 수 있다. 또한, 상기 배선은 상기 솔더 접속단자와 상기 도전성 와이어의 일부를 전기적으로 연결할 수 있고, 상기 배선은 상기 솔더 접속단자와 상기 도전성 와이어의 전부를 전기적으로 연결할 수 있다.
- <19> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 패키지의 실장방법은 먼저 반도체 칩을 포함하는 몸체에 복수개의 제1 및 제2 본딩패드를 형성한다. 그후, 상기 제1 및 제2 본딩패드의 적어도 한 쌍을 전기적으로 연결하는 배선을 형성한다. 상기 제1 본딩패드에 솔더 접속단자를 부착한다. 상기 제1 본딩패드와 쌍을 이루는 상기 제2 본딩패드에 도전성 와이어를 부착한다. 상기 제1 및 제2 본딩패드에 대응하여 전기적인 접속패드가 형성된 외부 회로기관에 상기 솔더 접속단자 및 상기 도전성 와이어를 부착한다.
- <20> 이하 첨부된 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명한다. 다음에서 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예들은 당분야에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 실시예 전체에 걸쳐서 동일한 참조부호는 동일한 구성요소를 나타낸다.
- <21> 본 발명의 실시예들은 쌍을 이루는 솔더 접속단자와 도전성 와이어를 연결하는 배선을 포함하는 반도체 패키지 및 그 실장방법을 제시할 것이다. 설명의 편의를 위하여, 본 발명의 실시예들은 반도체 칩이 밀봉된 형태에 따라 구분하였다. 하지만, 본 발명의 실시예는 다양한 방법으로 구분되어 설명될 수 있을 것이다.
- <22> (제1 실시예)
- <23> 도 1a는 본 발명의 제1 실시예에 의한 반도체 패키지 나타내는 단면도이고, 도 1b는 도전성 패드(112, 114)가 형성된 몸체(110), 여기서는 기관을 설명하기 위한 평면도이다. 다만, 도 1b는 설명의 편의를 위하여 인접하는 일부의 도전성 패드를 추가하였다.
- <24> 도 1a 및 도 1b를 참조하면, 일면에 반도체 칩(102)이 형성된 몸체(110), 예컨대 기관(substrate)의 타면(이하, 배면)에는 각각 분리되어 배열된 복수개의 솔더 접속단자(130)와, 접속단자(130)와 이격되어 배치된 복수개의 도전성 와이어(132)가 예컨대 감광성 레지스트(photosensitive resist; 120)를 통해 외부로 돌출되어 있다. 접속단자(130)와 와이어(132)는 이후에 외부의 기관(도 3의 150)에 실장되도록 동일한 방향으로 돌출된다. 이때, 반도체 칩(102)은 예폭시와 같은 몰딩재(100)에 의해 밀봉된다.
- <25> 접속단자(130)와 와이어(132)는 적어도 하나의 쌍을 이루면서 배선을 통하여 전기적으로 연결된다. 즉, 기관(110)은 접속단자(130)를 전기적 및 기계적으로 본딩하기 위한 제1 본딩패드(112)와 와이어(132)를 본딩하기 위한 제2 본딩패드(114) 그리고 제1 및 제2 본딩패드(112, 114)를 전기적으로 연결하는 배선(116)을 포함한다. 도 1a에는 한 쌍의 제1 본딩패드(112)와 제2 본딩패드(114)를 표현하였으나, 실제 패키지에서는 기관(110)의 배면에 복수개가 형성되어 있다. 여기서, 각각 접속단자(130)와 와이어(132)가 본딩되는 제1 및 제2 본딩패드(112, 114)와 감광성 레지스트(120)와 접하는 배선(116)은 기관(110)의 배면과 동일한 레벨을 이루면서 배치될 수 있다.
- <26> 배선(116)은 모든 접속단자(130)가 와이어(132)와 쌍을 이루도록 할 수 있다. 예컨대, 기관(110)에 100개의 접속단자(130)가 있다면, 100개의 접속단자(130) 모두에 와이어(132)가 쌍을 이루도록 배선(116)을 형성할 수 있

다. 경우에 따라, 접속단자(130)의 일부와 이에 대응하는 와이어(132)가 쌍을 이루도록 배선(116)을 형성할 수 있다. 접속단자(130)의 일부가 쌍을 이루도록 하는 것은 접속단자(130)의 본딩이 취약한 부분을 사전에 정하거나 원하는 입출력단자의 수를 조절하는 등의 다양한 목적을 위하여 결정된다. 배선(116)은 제1 및 제2 본딩패드(112, 114) 사이의 기관(110)을 소정의 깊이만큼 식각한 후, 식각된 영역에 도전성 물질을 채워 형성할 수 있다.

- <27> 접속단자(130)는 통상의 방법에 의해 형성될 수 있고, 리플로우(reflow) 공정을 수행하여 외부의 회로기관과 접속하도록 준비할 수 있다. 접속단자(130)는 볼(ball) 형태의 솔더볼일 수 있고, 범프(bump) 형태인 솔더범프일 수 있다. 또한, 와이어(132)는 통상의 와이어 본딩 방법 또는 와이어(132)가 부착된 테이프를 이용하여 형성할 수 있다. 와이어(132)의 표면은 절연층으로 도포하여, 와이어(132)의 강도(strength)를 향상시키고 와이어(132) 사이의 전기적인 쇼트로 방지할 수 있다.
- <28> 본 발명의 제1 실시예에 의한 접속단자(130)와 와이어(132)는 모두 입출력단자로 활용될 수 있다. 따라서, 본 발명의 패키지는 입출력단자를 충분하게 확보할 수 있다.
- <29> 도 2는 본 발명의 제1 실시예에 의한 반도체 패키지의 배선(116a)에 대한 변형예를 나타낸 단면도이다. 도 2는 패키지와 배선 부분을 제외하고 도 1a와 동일하다. 즉, 도 1a와 동일한 참조부호는 동일한 구성요소를 지칭한다.
- <30> 도 2를 참조하면, 배선(116a)은 기관(110)의 배면에 대하여 수직하게 형성된 비아홀(118)을 통하여 연결될 수 있다. 구체적으로, 제1 및 제2 본딩패드(112, 114)를 형성하기 이전에, 본딩패드(112, 114)의 하부의 기관(110)을 관통하는 비아홀(118)을 형성한다. 그 후, 비아홀(118)에 배선을 위한 도전성 물질을 채우고, 비아홀(118)에 채워진 도전성 물질을 연결하여 배선(116a)을 형성한다. 이때, 배선(116a)은 별도의 절연층(140)을 통하여 형성될 수 있고, 기관(110) 내에 형성될 수 있다.
- <31> 도 3은 본 발명의 제1 실시예에 의한 반도체 패키지가 외부의 회로기관(150)에 실장되는 것을 설명하기 위한 사시도이다. 여기서, 필요한 부분은 도 1a 및 도 1b를 참조한다.
- <32> 도 3을 참조하면, 반도체 패키지는 반도체 칩(102)을 포함하는 몸체(110)에 복수개의 제1 및 제2 본딩패드(112, 114)를 형성한다. 그 후, 제1 및 제2 본딩패드(112, 114)의 적어도 한 쌍을 전기적으로 연결하는 배선(116)을 형성한다. 제1 본딩패드(112)에 솔더 접속단자(130)를 부착한다. 이때, 접속단자(130)는 상기 쌍을 이루지 않은 제1 본딩패드(112)에도 형성한다. 이어서, 제1 본딩패드(112)와 쌍을 이루는 제2 본딩패드(114)에 도전성 와이어(132)를 부착한다. 다음에, 제1 및 제2 본딩패드(112, 114)에 대응하여 전기적인 접속패드(152)가 형성된 외부 회로기관(150)에 솔더 접속단자(130) 및 도전성 와이어(132)를 부착한다.
- <33> 배선(116)은 모든 접속단자(130)가 와이어(132)와 쌍을 이루도록 할 수 있다. 예컨대, 기관(110)에 100개의 접속단자(130)가 있다면, 100개의 접속단자(130) 모두에 와이어(132)가 쌍을 이루도록 배선(116)을 형성할 수 있다. 경우에 따라, 접속단자(130)의 일부와 이에 대응하는 와이어(132)가 쌍을 이루도록 배선(116)을 형성할 수 있다. 접속단자(130)의 일부가 쌍을 이루도록 하는 것은 접속단자(130)의 본딩이 취약한 부분을 사전에 정하거나 원하는 입출력단자의 수를 조절하는 등의 다양한 목적을 위하여 결정된다.
- <34> 이때, 반도체 칩의 전기적인 특성은 솔더 접속단자(130)와 도전성 와이어(132)를 부착한 이후에 측정할 수 있다. 필요한 경우, 상기 특성은 솔더 접속단자(130)를 부착한 이후, 즉 도전성 와이어(132)를 부착하기 이전에 측정할 수 있다. 즉, 측정이 용이한 솔더 접속단자(130)에 의해 전기적인 테스트를 실시하고, 외부 회로기관(150)과 접속이 잘되는 와이어(132)와 함께 솔더 접속단자(130)를 외부 회로기관(150)에 부착할 수 있다. 솔더 접속단자(130) 및 도전성 와이어(132)는 외부 회로기관(150)에 리플로우(reflow) 공정을 이용하여 접속할 수 있다.
- <35> 본 발명의 제1 실시예에 의한 반도체 패키지의 실장방법은 솔더 접속단자(130)를 이용함으로써, 상대적으로 넓은 면적을 배선으로 사용하면서 전기적인 특성을 용이하게 측정할 수 있다. 또한, 외부의 회로기관(150)과 접속 신뢰성이 우수한 와이어(132)를 이용함으로써, 충격이나 열 등에 의해 접속단자(130)가 떨어져도 와이어(132)에 의해 보장된다. 나아가, 모든 접속단자(130) 및 와이어(132)를 입출력 단자로 활용할 수 있으므로, 상대적으로 충분한 입출력단자의 수를 확보할 수 있다.
- <36> (제2 실시예)
- <37> 도 4는 본 발명의 제2 실시예에 의한 반도체 패키지가 외부의 회로기관(150)에 실장되는 것을 설명하기 위한 사

시도이다. 이때, 기판을 이용하지 않고 반도체 칩 자체에 직접 도 1a와 같은 접속단자, 와이어 및 배선을 형성한다는 점이 제1 실시예와 다르다.

- <38> 도 4를 참조하면, 플립칩(200)의 활성부분에 제1 실시예를 참조하여 설명한 접속단자(130), 와이어(132) 및 배선(도 1a의 116)을 형성한다. 이때, 활성부분이란 플립칩(200)이 외부 회로기판(150)에 접하는 부분을 말한다. 플립칩(200)은 통상적으로 접속단자(130)를 범프 형태로 제작하며, 접속단자(130)는 전기적인 도금(electrical plating)에 의해 형성된다.
- <39> 본 발명의 제2 실시예에 의하면, 본 발명의 특징인 접속단자, 와이어 및 배선은 다양한 형태의 패키지에 적용될 가능성을 제시한다.
- <40> 이상, 본 발명은 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상의 범위내에서 당분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**발명의 효과**

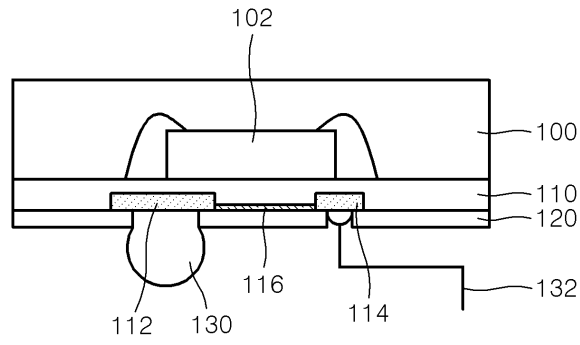
<41> 상술한 본 발명에 따른 반도체 패키지 및 실장방법에 의하면, 솔더 접속단자를 이용함으로써, 상대적으로 넓은 면적을 배선으로 사용하면서 전기적인 특성을 용이하게 측정할 수 있다. 또한, 외부의 회로기판과 접속 신뢰성이 우수한 와이어를 이용함으로써, 충격이나 열 등에 의해 접속단자가 떨어져도 와이어에 의해 보강된다. 나아가, 모든 접속단자 및 와이어를 입출력 단자로 활용할 수 있으므로, 상대적으로 충분한 입출력단자의 수를 확보할 수 있다.

**도면의 간단한 설명**

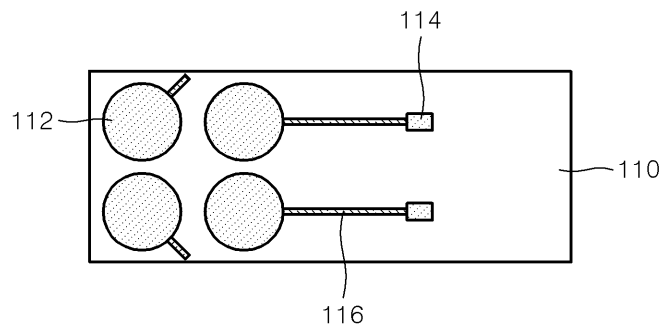
- <1> 도 1a는 본 발명의 제1 실시예에 의한 반도체 패키지 나타내는 단면도이다.
- <2> 도 1b는 본 발명의 제1 실시예에 의한 도전성 패드가 형성된 몸체, 예컨대 기판을 설명하기 위한 평면도이다.
- <3> 도 2는 본 발명의 제1 실시예에 의한 반도체 패키지의 배선에 대한 변형예를 나타낸 단면도이다.
- <4> 도 3은 본 발명의 제1 실시예에 의한 반도체 패키지가 외부의 회로기판에 실장되는 것을 설명하기 위한 사시도이다.
- <5> 도 4는 본 발명의 제2 실시예에 의한 반도체 패키지가 외부의 회로기판에 실장되는 것을 설명하기 위한 사시도이다.
- <6> \*도면의 주요부분에 대한 부호의 설명\*
- <7> 102; 반도체 칩                      110; 기판
- <8> 112; 제1 본딩패드                    114; 제2 본딩패드
- <9> 116, 116a; 배선
- <10> 130; 접속단자                        132; 와이어
- <11> 200; 플립칩

도면

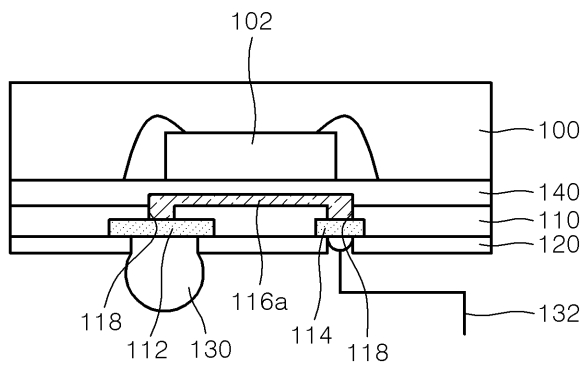
도면1a



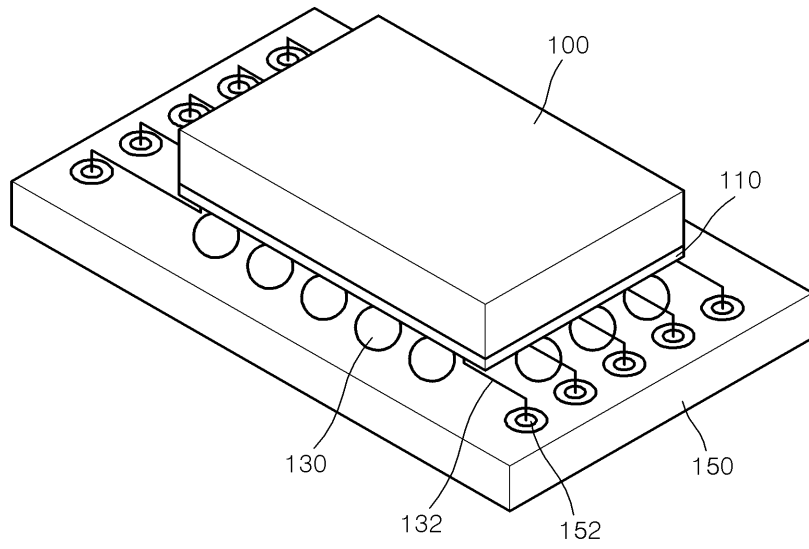
도면1b



도면2



도면3



도면4

