

WO 2008/136126 A1

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年11月13日 (13.11.2008)

PCT

(10) 国際公開番号
WO 2008/136126 A1(51) 国際特許分類:
H01L 21/265 (2006.01)

(21) 国際出願番号: PCT/JP2007/059132

(22) 国際出願日: 2007年4月20日 (20.04.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): キヤノン・アネルバ株式会社 (Canon ANELVA Corporation) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 柴垣真果 (SHIBAGAKI, Masami) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノン・アネルバ株式会社内 Tokyo (JP). 江上明宏 (EGAMI, Akihiro) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノン・アネルバ株式会社内 Tokyo (JP).

(74) 代理人: 岡部正夫, 外 (OKABE, Masao et al.); 〒1000005 東京都千代田区丸の内3-2-3 富士ビル602号室 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

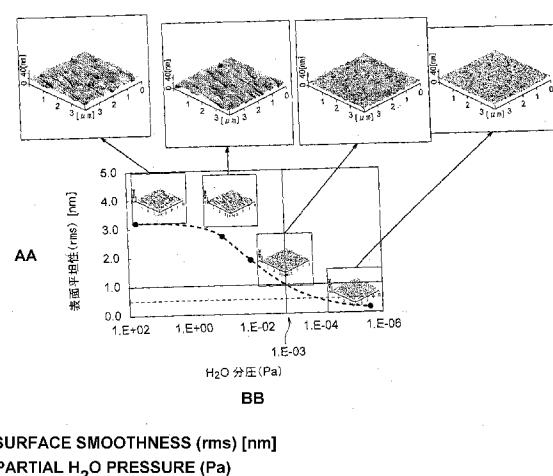
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

/ 続葉有

(54) Title: METHOD OF ANNEALING SEMICONDUCTOR DEVICE HAVING SILICON CARBIDE SUBSTRATE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化ケイ素基板を有する半導体デバイスのアニール方法と半導体デバイス

第5図

(57) Abstract: A silicon carbide (SiC) substrate having an impurity injected thereto is annealed for the activation of the impurity in an atmosphere regulated so as to have a partial H₂O pressure of 10⁻² Pa or lower, preferably 10⁻³ Pa or lower, whereby the silicon carbide (SiC) substrate is regulated so as to have a surface roughness reduced to 2 nm or lower, more preferably 1 nm or lower, in terms of RMS.(57) 要約: 不純物を注入された炭化ケイ素(SiC)基板を不純物の活性化アニールを行う雰囲気において、H₂Oの分圧を10⁻²Pa以下、好ましくは10⁻³Pa以下にすることで炭化ケイ素(SiC)基板表面の荒れがRMSで2nm又は、より好ましくは1nm以下にしている。



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 國際調查報告書
ML, MR, NE, SN, TD, TG).

明 紹 書

炭化ケイ素基板を有する半導体デバイスのアニール方法と半導体デバイス

技術分野

この発明は、イオン注入層が形成された炭化ケイ素(SiC)基板を含むデバイスのイオン注入領域を活性化するアニール方法及び半導体デバイスに関するものである。

背景技術

MOSFET(MOS電界効果トランジスタ)等の半導体デバイスを製造する場合、半導体基板の不純物制御が必要である。炭化ケイ素(SiC)基板を用いた場合の不純物制御には、不純物の拡散速度が非常に小さいため、一般にイオン注入と活性化アニール工程の組み合わせが用いられる。

(Phys. Stat. Sol. (a) Vol. 162 (1997), p, 263, T. Kimoto, N. Inoue and H. Matsunami)

炭化ケイ素(SiC)半導体デバイスにおける不純物制御には、イオン注入装置により炭化ケイ素(SiC)基板に不純物となるイオンを必要な部分に注入する。次に、炭化ケイ素(SiC)基板は、高周波誘導加熱装置等の高温アニール装置を用いて、不純物を活性化するためのアニール処理が行われる。

(特開2004-311696号公報参照)

発明の開示

しかしながら、炭化ケイ素(SiC)基板中の不純物を活性化アニールする際に表面平坦性(RMS値)で6.0nmほどの表面荒れが生じ、半導体デバイスのゲート絶縁膜の信頼性やチャネル移動度の低下が見られた。

そこで、本発明は上記問題点を解決することを目的としたものであり、表面平坦性(RMS値)が6.0nm以下となるような炭化ケイ素(SiC)基板を含むデバイスのアニール方法を提供することを目的とするものであり、

さらに、このアニール方法を用いて表面平坦性（RMS値）を2 nm以下、好ましくは1 nm以下に維持しつつ、高い電気的活性化を実現可能な半導体デバイスを提供することを目的とする。

本発明に従う炭化ケイ素（SiC）基板を含むデバイスのアニール方法は、炭化ケイ素（SiC）基板に不純物添加領域を形成する工程と、炭化ケイ素（SiC）基板の不純物添加領域をアニールする工程とからなり、アニールする工程におけるアニール雰囲気のH₂Oの分圧が10⁻²Pa以下とされている。

1つの実施例では、前記炭化ケイ素（SiC）基板はエピタキシャル炭化ケイ素（SiC）結晶層を表面層として有し、炭化ケイ素（SiC）結晶層内に不純物添加領域が形成されている。

アニールする工程の雰囲気は、H₂Oの分圧を10⁻³Pa以下にすることが更に好ましい。

アニールする工程において、不純物注入された炭化ケイ素（SiC）基板をキップで覆いアニールすることが好ましい。

アニール工程は真空排気可能な真空容器内で行われ、1つの実施例では、真空容器内の圧力が10⁻⁴Pa以下になるように真空排気されている。

炭化ケイ素（SiC）基板と基板内の不純物添加領域とを含む半導体デバイスであって、炭化ケイ素（SiC）基板の表面平坦性がRMSで2 nm又は、より好ましくは1 nm以下である半導体デバイスが提供され、1つの実施例では、半導体デバイスはMOS電界効果トランジスタである。

発明の効果

この発明にかかる炭化ケイ素（SiC）基板を含むデバイスの活性化アニール

方法は、真空容器内の残留H₂Oの分圧が10⁻²Pa以下となるよう設定し、アニールを行うことにより、炭化ケイ素(SiC)基板の表面平坦性(RMS値)≤2nmとすることが可能となるという効果を奏する。

更に、真空容器内の残留H₂Oの分圧が10⁻³Pa以下となるように設定し、アニールを行うことにより、表面平坦性(RMS値)≤1nmを維持しつつ、高い電気的活性化を容易に実現できる半導体デバイスを形成できるという効果がある。

図面の簡単な説明

第1A図は、エピタキシャルSiC層を有する炭化ケイ素(SiC)基板を示す図であり、第1B図は、第1A図の炭化ケイ素(SiC)基板に不純物注入を示す図であり、第1C図は、第1B図で不純物混入された炭化ケイ素(SiC)基板のアニーリングを示す図であり、第1D図は、キャップを用いたアニーリング加熱装置を示す図であり、第1E図は、キャップ層を付加したアニーリングを示す図であり、第1F図は、SiH₄添加及び炭化ケイ素容器を用いたアニーリングの加熱装置を示す図であり、第2図は、イオン注入装置の概要図であり、第3図は、アニールを行う加熱装置の断面図であり、第4図は、アニールにより炭化ケイ素(SiC)基板表面上に生じた表面荒れを示す図であり、第5図は、残留H₂O分圧と炭化ケイ素(SiC)基板表面荒れの関係を示すグラフであり、第6図は、アニールを行う、透孔を有するキャップを用いた加熱装置の断面図であり、第7A図は、透孔を有するキャップの第1の例を示す図であり、第7B図は、透孔を有するキャップの第2の例を示す図であり、第7C図は、透孔を有するキャップの第3の例を示す図であり、第7D図は、透孔を有するキャップの第4の例を示す図であり、第8A図は、炭化ケイ素(SiC)基板への不純物注入を示す図であり、第8B図は、第8A図の炭化ケイ素(SiC)基板のアニーリングを示す図であり、第9図は、炭化ケイ素(SiC)-DMOSFET製造のプロセスフローを示す図である。

発明を実施するための最良の形態

第1A図～1F図は不純物イオンの原子として、アルミニウムが注入された炭化ケイ素(SiC)基板を含むデバイスの活性化アニール方法の工程を説明した工程図である。

一般的に、単結晶炭化ケイ素(SiC)基板はまだ品質に疑問があるため、SiCエピタキシャル成長炉でエピタキシャル成長を単結晶SiC基板表面上に行った後に、そのSiCエピタキシャル層中にデバイスを形成する。炭化ケイ素(SiC)は、結晶タイプが3C、4H、6Hと複数存在するため、結晶性を揃えたホモエピタキシャル成長を行うために、結晶をC軸面に対して4度または、8度オフさせた炭化ケイ素(SiC)基板が用いられる。(ステップフロー成長: Ext. Abst. 19th Conf. Solid State Devices and Materials (Tokyo, 1987) 227, N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami)

第1A図に示す、単結晶炭化ケイ素(SiC)基板1上にSiCエピタキシャル層2のを成長させる工程を述べる。1300°C程度でHCl(流量1mL/分)により単結晶SiC基板表面をエッティングし、ダメージ層を除去する。次に、1500°C程度で原料ガスとしてSiH₄(50sccm, 1.0%H₂希釈)とC₃H₈ガス(33sccm, 1.0%H₂希釈)を、キャリアガスとしてH₂ガス(流量3sLm)を用いて、炭化ケイ素(SiC)のエピタキシャル層を成長(成膜速度3マイクロン/時)させる。この際、ドーピングガスとして窒素ガス(6sccm, 0.5%H₂中)を流すとn型エピタキシャル層になる。上記の工程により、単結晶炭化ケイ素(SiC)基板1上に炭化ケイ素(SiC)エピタキシャル層2(膜厚10マイクロン)を形成する。尚、本願明細書では、単結晶炭化ケイ素(SiC)基板と単結晶基板上にエピタキシャルSiC層が形成されている第1A図の構造全体も、炭化ケイ素(SiC)基板と総称する。

第2図は、SiC基板にデバイス製造のためウエル領域やコンタクト領域を選択的に形成するためのイオン注入装置を示す。本発明に用いるイオン注

入装置の動作は以下の通りである。

イオンガン 20 中のイオン源 21 にてフィラメントやプラズマを用い注入したい不純物材料をイオン化する。プラズマ（励起されたイオン種）を引き出し電極 22 でビーム状に引き出す。分析マグネット 23 又は分析管で注入したい不純物イオンだけを取り出す。加速管 24 でイオン源 1 とエンドステーション 201 間の加速電圧により、注入エネルギーを決める。（注入エネルギーで注入深さが決定する。）ビーム 25 は、イオン流入領域を露出させたマスクを有するウェハ 26 面内に均一に注入できるように、スキヤンさせる。エンドステーション 201 では、均一性を向上させるために回転させたり、結晶性を維持するために高温にすることも可能である。

本発明に用いた SiC 基板への不純物の注入プロセスは以下に示す通りである。

SiC エピタキシャル層を有する 4H-SiC (0001) 4 度オフ基板を、熱酸化炉で 1150°C 30 分間酸化した後、フッ酸処理を行い清浄な表面を出す。汚染防止のために再度熱酸化炉でスルー酸化膜 10 nm を形成する。第 2 図のイオン注入装置で不純物を注入する。エンドステーション 201 に SiC 基板サンプル 26 を載置する。室温のまま注入しても良いが、結晶性維持の観点からサンプル温度を 300°C ~ 800°C に加熱する場合もある。不純物として TMA (テトラメチルアルミニウム) をソースとして、プラズマにて励起し、引き出し電極 22 と分析マグネット 23 で、注入する Al イオンを引き出す。イオン源 21 とエンドステーション 201 間の引き出しエネルギーにて注入深さを制御し、イオン電流量にて注入量を制御する。（エネルギーと電流量の組み合わせを注入スケジュールと呼び、これで注入プロファイルを制御する。）注入した SiC 基板サンプル 26 は、フッ酸処理を行いスルー酸化膜を除去してから活性化アニールを行う。

上記に示す工程により、第 1B 図に示すような、SiC エピタキシャル層 2 内に Al 不純物のイオン注入された領域 4 が形成される。即ち、犠牲酸化、

フッ酸処理を行った後、炭化ケイ素（SiC）エピタキシャル層上に SiO₂ 等によるマスク 3 を設け、炭化ケイ素（SiC）エピタキシャル層 2 内に、不純物注入領域 4（ウェル領域やコンタクト領域）を選択的に形成するため第 2 図に示すイオン注入装置等により、不純物とすべきアルミニウムイオンを注入する。

なお、本実施例では、不純物として TMA（テトラメチルアルミニウム）をソースとして、プラズマにて励起し、引き出し電極と分析管で、注入する Al イオンを引き出す場合を示したが、アルミニウムターゲットをソースとして、プラズマにて励起し、引き出し電極と分析管で、注入するアルミニウムイオンを引き出すことも可能である。

第 3 図は、アニーリングを行う加熱処理装置の断面図である。加熱処理室 3 0 は、内壁鏡面仕上げにより反射率を高めたアルミニウム製で、流体流動部 3 1 に冷却用流体が流動可能にされている水冷アルミ製のアルミチャンバである。この加熱処理室 3 1 は、10⁻² Pa 程度の真空に排気可能になっているが、大気圧状態において加熱処理を行うことも可能である。

サセプタ 3 2 内には加熱手段 3 3 が内蔵されており、サセプタ 3 2 の第 3 図中上側にある基板支持部の上側に加熱処理を受ける炭化ケイ素（SiC）基板 3 4 が置かれる。上側面に炭化ケイ素（SiC）基板 3 4 が置かれるサセプタ支持部には図示のようなセンサ 3 5 が配備されており、これによって、加熱温度が検知されるようになっている。加熱手段 3 3 として、本図は電子衝撃加熱用の熱電子発生手段を示しているが、他に赤外線ランプ加熱用の赤外線ランプまたは、高周波誘導加熱用高周波誘導コイルなどを採用してもよい。サセプタ 3 2 の内部は、加熱処理室とは別系統の真空ポンプ等の排気手段によって、常時 10⁻² Pa 程度以下の真空に排気可能になっている。

次に、マスクを除去した後、打ち込んだ不純物はそのままでは電気的に不活性化あるため、活性化するため、第 3 図に示す様な加熱処理装置を用

いて活性化アニールを行う（第1C図）。一般に炭化ケイ素（SiC）におけるp型不純物の活性化には、n型不純物のそれと比較して、より高温でアニールする必要があり、（1）炭化ケイ素（SiC）表面がステップバンチングと呼ばれる表面荒れが第4図に示すように生じていた。それを防ぐため、従来技術としてアニーリングの際に、第1D図（国際公開番号 WO 2006 / 043530号公報参照）に示すように加熱処理装置のサセプタ32の基板支持上のSiC基板の基板表面をキャップ5で覆った後、アニールを行う場合がある。（2）又、他の手法として第1E図に示すように、炭化膜（Materials Science Forum Vols. 483-485 (2005) pp. 599-604, Y. Negoro T. Kimoto and H. Matsunami）、Si、AlN膜（Journal of Applied Physics Vol. 86 (1999) pp. 746-751, Evan M. Handy, Muluri V. Rao, K. A. Jones, M. A. Derenge, P. H. Chi, R. D. Vispute, T. Venkatesan, N. A. Papanicolaou and J. Mittereder）などのキャップ層6をエピタキシャル層3上に成膜し、エピタキシャル層3を覆った状態でアニールする場合がある。（3）又、更に他の手法として、第1F図に示すようにSiH₄添加（MRS Spring (2004), S. Rao, S. E. Saddow, F. Bergamini, R. Nipoti, Y. Emirov and A. Agarwal）や炭化ケイ素（SiC）容器（Materials Science Forum Vols. 483-485 (2005) pp. 621-624, M. Rambach, A. J. Bauer, L. Frey, P. Friedrichs and H. Ryssel）等を使用してアニールする場合がある。

しかしながら、上記の炭化ケイ素（SiC）基板の注入不純物活性化アニール方法では以下に示すような問題がある。

第1E図のような炭化膜、Si、AlN等のキャップ層6を炭化ケイ素（SiC）基板表面に成膜する方法が提案されているが、前後の工程数を増加させ、製造コストの上昇を引き起こしている。第1F図のようなSiH₄添加や炭化ケイ素（SiC）容器34等（第1F図）を使用することで表面荒れの抑制が報告されているが、再現性や制御性に問題があった。又、アニール装置内部部品に放出ガスを抑制する部品を用い、真空でアニールすることで表面荒れを抑制できる可能性が見いだされたが、単なる減圧下という条件だけ

では、注入種や注入条件によっては、再現性などの点で充分ではなかった。

本願発明者は、真空ポンプにより、第2図のエンドステーション20の真空容器内の圧力を 10^{-5} Pa以下になるように真空排気し、真空容器内の残留H₂Oの分圧が 10^{-2} Pa以下となるように設定した状態でアニール(Ex. 1800°C)すると、表面平坦性(RMS値)が6nmよりもかなり低い2nm程になることを見出した。更に、真空容器内の残留H₂Oの分圧が 10^{-3} Pa以下となるに設定し、この状態でアニール(Ex. 1800°C度)すると、活性化率が約80%、RMSが0.8nmとなり、表面平坦性(RMS値)を1nm以下に維持しつつ高い電気的活性化を実現できた。即ち、H₂Oを極力減少させた雰囲気にすると、より高温で高い電気的活性化を実現させても、表面平坦性が維持できることが見出された。本明細書中に記載の「活性化率」とは、注入した不純物がどれだけのキャリア(電子やホール)を出しているかを示す率をいう。なお、本実施例においては、Ex. 1800°Cでアニールする場合を示したが、1500°Cから2200°Cの範囲でアニールすることも可能である。1500°Cを超える高温下におけるアニールでは、 $2\text{H}_2\text{O} + \text{SiC} \Rightarrow \text{SiO}\uparrow + \text{CO}\uparrow + 2\text{H}_2\uparrow$ と言うエッティング反応により表面がエッティングされ、Ar大気圧中で、5Nの高純度Arガスを用いても、H₂O分圧は1Pa程度あり、上記反応確率が1000倍高く、結果として表面が荒れてしまうと考えられる。

第5図は残留H₂O分圧と表面荒れの関係を示すグラフである。第5図のグラフから約 10^{-2} PaのH₂O分圧雰囲気で表面平坦性が2nm、そして約 10^{-3} PaのH₂Oの分圧の雰囲気で表面平坦性が1nmに抑制されていることがわかる。高純度Arを導入した大気圧アニールや、減圧下アニールでも若干の表面荒れの改善が見られたが、表面平坦性(RMS値) < 2nm又は<1nmの実現には、高温下において炭化ケイ素(SiC)基板と残留水分の反応によりエッティングされ表面が荒れてしまっていた。本発明においては、残留H₂Oの分圧を 10^{-2} Pa又は 10^{-3} Pa以下に達成する雰囲気

を作り出すことによって、高温下においても炭化ケイ素(SiC)と残留水分の反応確率を大幅に低減でき、エッティング反応を抑制できることから、結果的に表面平坦性(RMS値)2nm以下好ましくは1nm以下を維持しつつ、高い電気的活性化を容易に実現される。

なお、本発明で実施した表面平坦性(RMS)の具体的測定方法は以下に示すとおりである。

1. 測定装置：原子間力顕微鏡(AFM:Atomic Force Microscopy)

メーカー名 SII(セイコーインスツルメンツ株式会社)

2. 型名 NPX200M0001

観察ヘッド NPX200

コントローラー Nanopics 2100

3. 測定方法

ダンピングフォースモード(DFM)でスキャン

(一定の振幅で周期的に振動する探針を炭化ケイ素(SiC)基板試料表面に近づけ、その振幅の減推量が一定のとなるようにカンチレバーと試料表面の距離を制御するモード)

4. 測定領域は、 $4 \times 4 \mu\text{m}^2$ 。

第6図は、本発明のアニール方法を実施し他の加熱処理装置60の断面図であり、第7A図～第7D図は第6図の覆い体(キャップ)を説明する斜視図である。

第1D図(国際公開番号W02006/043530号公報参照)に示すような加熱処理装置と異なり、第6図に示す加熱処理装置においては、覆い体(キャップ)61と加熱処理室壁62との間に形成される空間部64と、加熱処理室内の空間部64とを連通する通気部である透孔65が覆い体(キャップ)61の周壁55に形成されていることにより、加熱手段67で加熱処理される炭化ケイ素(SiC)基板63周辺のコンダクタンスが大きくなっている。

これによって、真空ポンプによる真空排気により、第6図記載の加熱処理室内の圧力を 10^{-5} Pa以下になるように真空排気し、加熱処理室内の残留H₂Oの分圧が 10^{-2} Pa以下、好ましくは 10^{-3} Pa以下となるようにした雰囲気で、このような透孔65のある覆い体（キャップ）により、炭化ケイ素（SiC）基板63をより均一に加熱でき、充分な活性化を実現できる。

第7A図のキャップ70Aは、円筒状のキャップの周壁70Aの下に脚部70A2を設け、脚部と脚部との間が透孔となる。第7B図のキャップ70Bは、円筒状のキャップの周壁70B1に孔70B2を設け、孔70B2が透孔となる。第7C図のキャップ70Cは、円筒状の頂板70C1に孔70C2を設け、孔70C2が透孔となる。第7D図のキャップ67は、網70D1によって円筒体を形成し、網目が透孔となる。

次に、第8A図～第8B図を参照し、炭化ケイ素（SiC）基板81の不純物注入されたウエル領域82のアニール方法を説明する。

犠牲酸化、フッ酸処理を行った後、炭化ケイ素（SiC）基板81上にSiO₂等を成膜し、リソグラフィとドライエッティングによりマスク83を設け、炭化ケイ素（SiC）基板81内に、ウエル領域82を選択的に形成するため第2図に示すイオン注入装置等により、不純物とすべきアルミニウムイオンを注入する（第8A図を参照）。

なお、本実施例では、不純物としてTMA（テトラメチルアルミニウム）をソースとして、プラズマにて励起し、引き出し電極と分析管で、注入するAlイオンを引き出し、イオン注入を行ったが、アルミニウムをソースとして、プラズマにて励起し、引き出し電極と分析管で、注入するアルミニウムイオンを引し、イオン注入を行うことも可能である。

マスクを除去し、ウエル領域を活性化するため、第1D図、第3図又は第6図に示す加熱処理装置を用いてアニールする（第8B図を参照）。

なお、本実施例においては、1800℃度でアニールしたが、1500℃から2300℃の範囲でアニールすることも可能である。

第9図に、本発明による炭化ケイ素(SiC)－DMOSFET製造のプロセスフロー(a)～(p)を示す。ステップ(a)においてSiCエピタキシャル層の形成されたSiC基板91を用意する。ステップ(b)で2つのp－ウエルを形成するためのSiO₂マスク92をパターン形成する。ステップ(c)にてAlイオン注入をp－ウエル領域93に注入する。ステップ(d)にてSiO₂マスク92を除去する。ステップ(e)にて、2つのp－ウエル間を露出したチャネル用SiO₂マスク94をパターン形成する。ステップ(f)にて、チャネルにNイオンを注入してチャネル95を形成する。ステップ(g)にて、チャネル用SiO₂マスク94を除去する。ステップ(h)にて、p－ウエルの一部を露出するn⁺コンタクト形成用SiO₂マスク96を形成する。

ステップ(i)にて、Pイオンをコンタクト領域97に注入してn⁺コンタクト97を形成する。ステップ(j)にて、n⁺コンタクト用SiO₂マスク96を除去する。ステップ(h)にて、+Pコンタクト用SiO₂マスク98をp－ウエルでn⁺コンタクト領域を露出するよう形成する。ステップ(l)にて、AlイオンをP⁺コンタクト領域99に注入してP⁺コンタクト99を形成する。ステップ(m)にて+Pコンタクト用SiO₂マスク98を除去する。ステップ(n)にて、SiC基板のSiCエピタキシャル層に形成された不純物領域93、95、97及び99を本発明に従う前述してきた雰囲気にて活性化アニールする。ステップ(o)にて、アニール後のSiC基板表面にゲート酸化膜100を形成する。本発明によるアニール処理により平坦度の高い状態の表面にゲート酸化膜の信頼性を失わず、又チャネル移動度の低下を防ぐことになった。最後にステップ(p)にて、ソース電極101を、ゲート電極102、ソース電極103及びドレイン電極104を形成し、SiC-DMOSFETの構造を完成させる。

なお、本明細書中に記載の「ドーズ量」とは、イオン注入を用いて不純物

を半導体基板に打ち込む時の添加量をいい、イオンのビームエネルギーとビームの照射時間によって決まるものをいう。

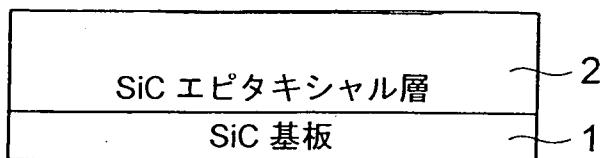
上述に示した p ウエル領域、p + コンタクト領域の形成のほか、磷 (P) や窒素 (N) を注入する n + コンタクト領域、チャネル領域の形成等にも適用させることで、第 9 図に示すような炭化ケイ素 (SiC) MOSFET の製作が可能となる。

また、RMS が 0.6 nm になると、MOSFET におけるゲート酸化膜の信頼性の低下やチャネルモビリティの低下や pn 接合におけるリーク電流の増加などの問題生じない。

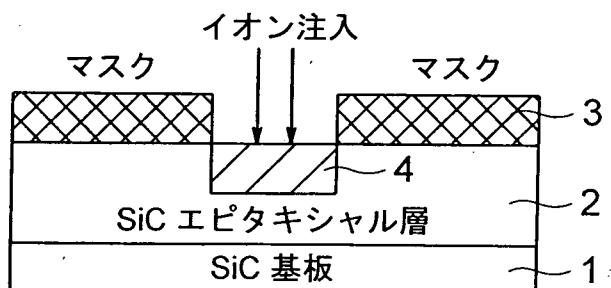
請求の範囲

1. 炭化ケイ素(SiC)基板に不純物添加領域を形成する工程と、前記炭化ケイ素(SiC)基板の該不純物添加領域をアニールする工程とからなる炭化ケイ素(SiC)基板を含むデバイスのアニール方法であって、前記アニールする工程におけるアニール雰囲気のH₂Oの分圧が10⁻²Pa以下である、炭化ケイ素(SiC)基板を含むデバイスのアニール方法。
2. 前記炭化ケイ素(SiC)基板はエピタキシャル炭化ケイ素(SiC)結晶層を表面層として有し、前記炭化ケイ素(SiC)結晶層内に不純物添加領域が形成されている請求項1に記載のアニール方法。
3. 前記アニールする工程において、H₂Oの分圧を10⁻³Pa以下にしてアニールすることを特徴とする請求項1又は2記載のアニール方法。
4. 前記アニールする工程において、不純物注入された前記炭化ケイ素(SiC)基板を透孔を有するキャップで覆いアニールすることを特徴とする請求項1，2又は3記載のアニール方法。
5. 前記アニール工程を真空排気可能な真空容器内で行い、該真空容器内の圧力が10⁻⁴Pa以下になるように真空排気したことを特徴とする請求項1から請求項4記載のアニール方法。
6. 炭化ケイ素(SiC)基板と該基板内の不純物添加領域とを含む半導体デバイスであって、炭化ケイ素(SiC)基板の表面平坦性がRMSで2nm以下、より好ましくは1nm以下である半導体デバイス。
7. 該半導体デバイスはMOS電界効果トランジスタである半導体デバイス。

第1A図



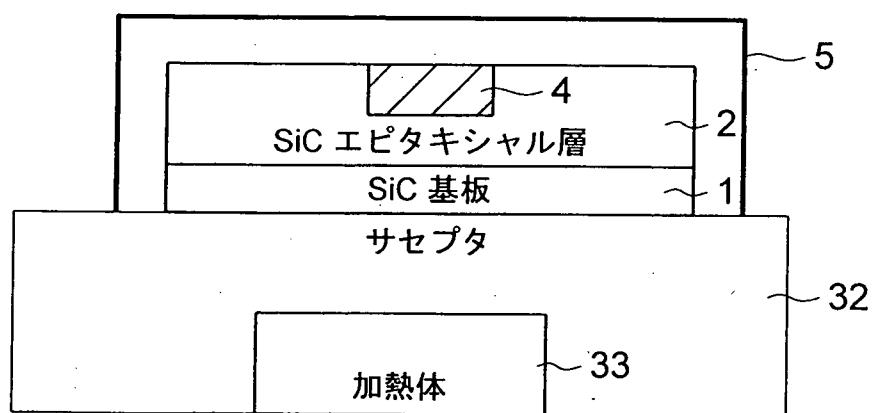
第1B図



第1C図



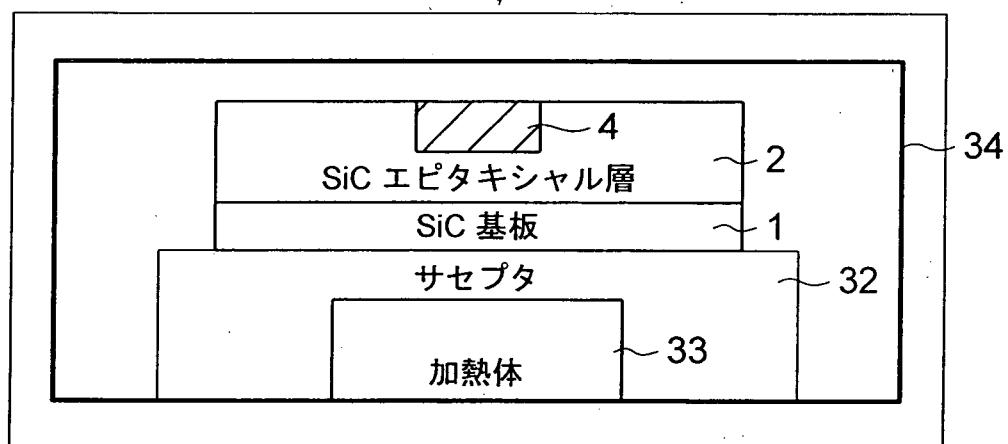
第1D図



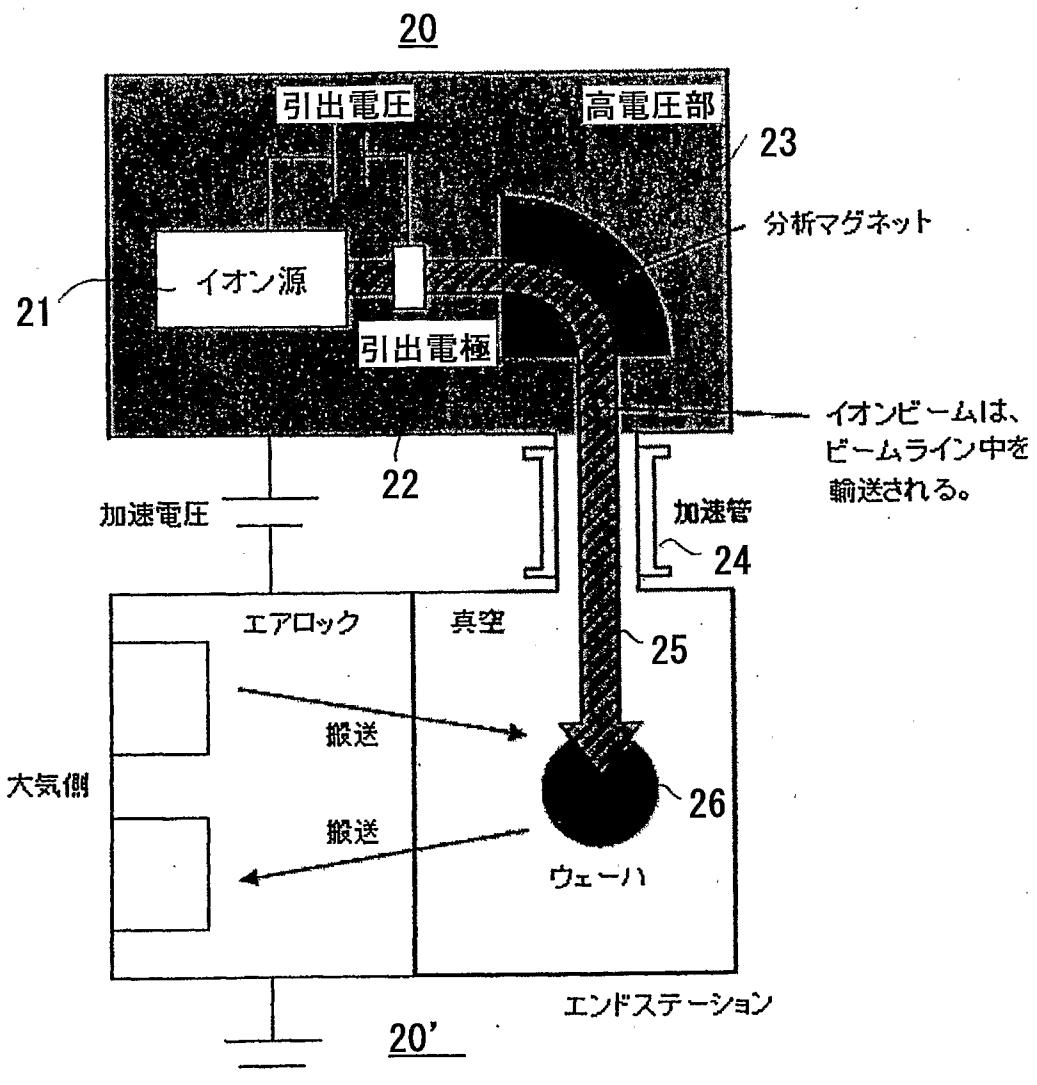
第1E図



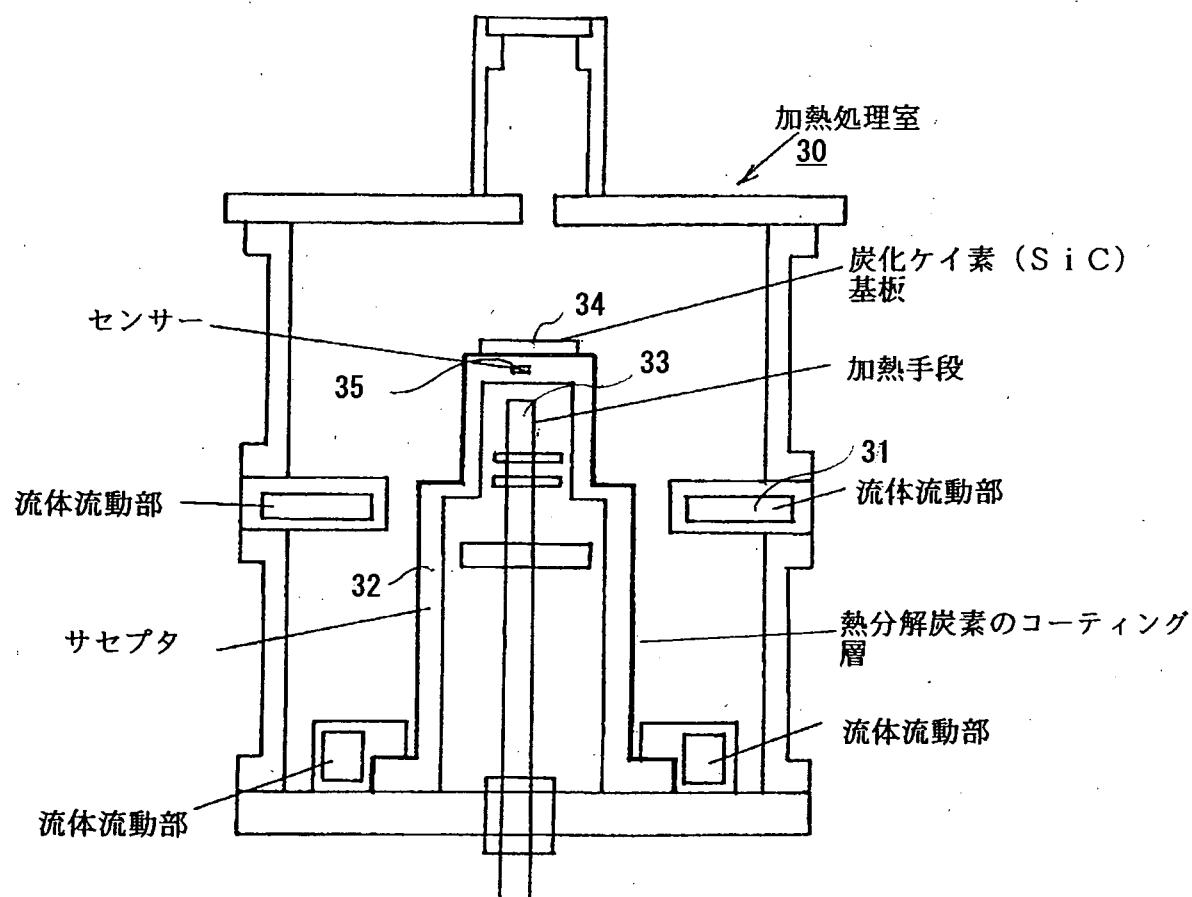
第1F図



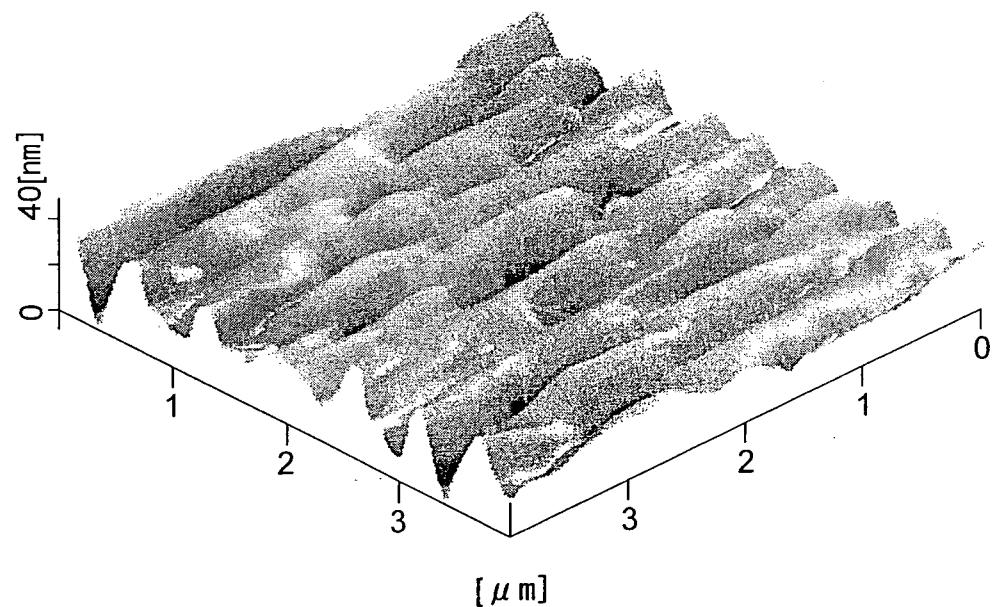
第2図



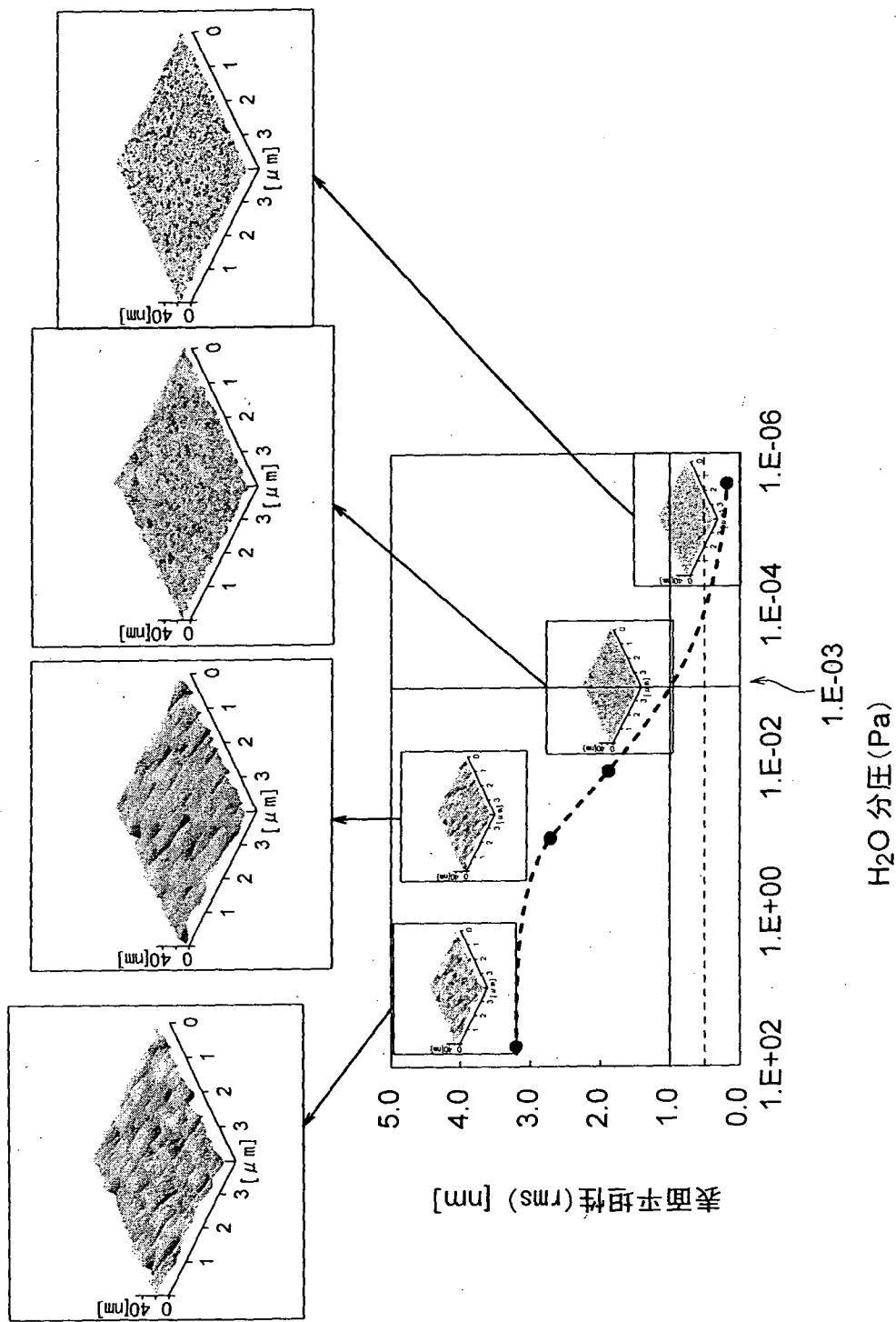
第3図



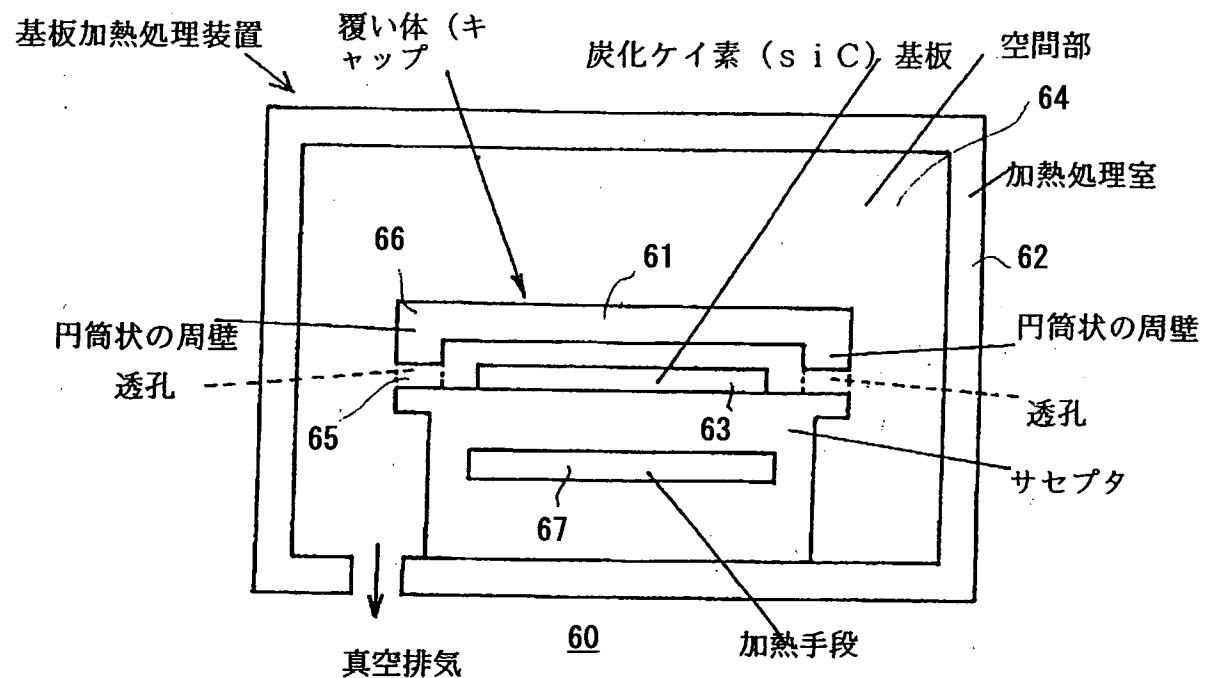
第4図



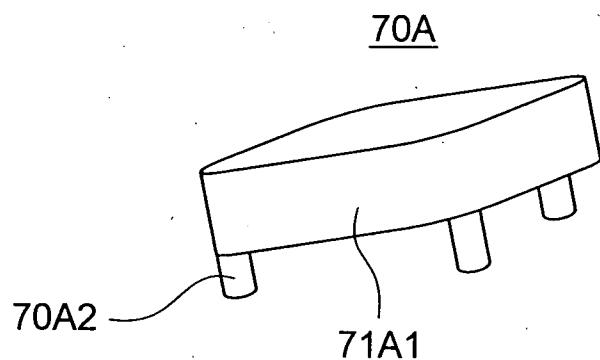
第5図



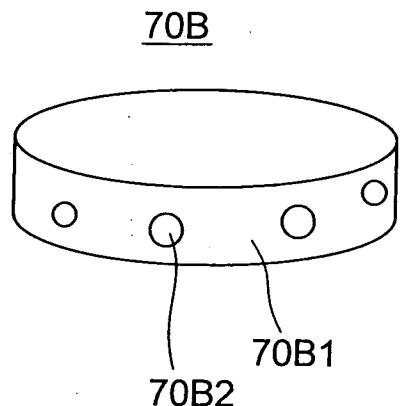
第6図



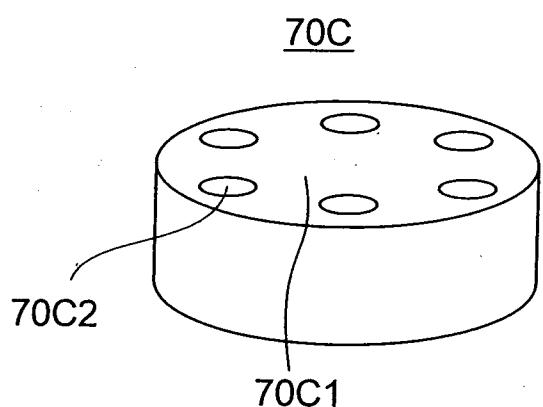
第7A図



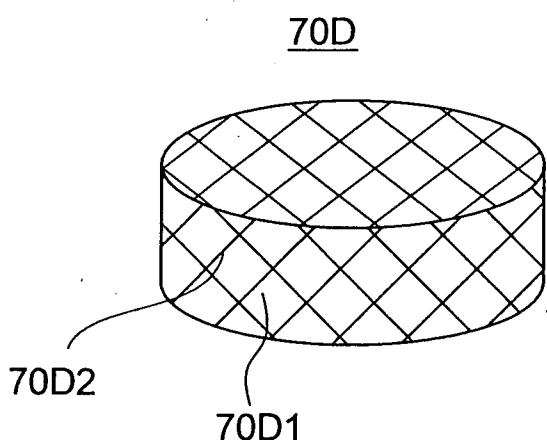
第 7 B 図



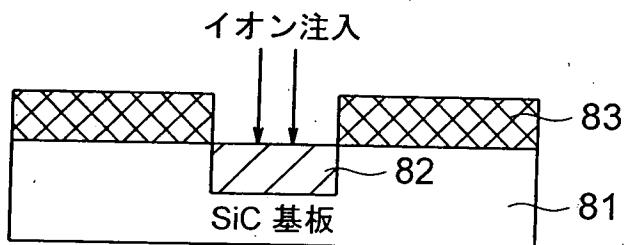
第 7 C 図



第 7 D 図



第 8 A 図

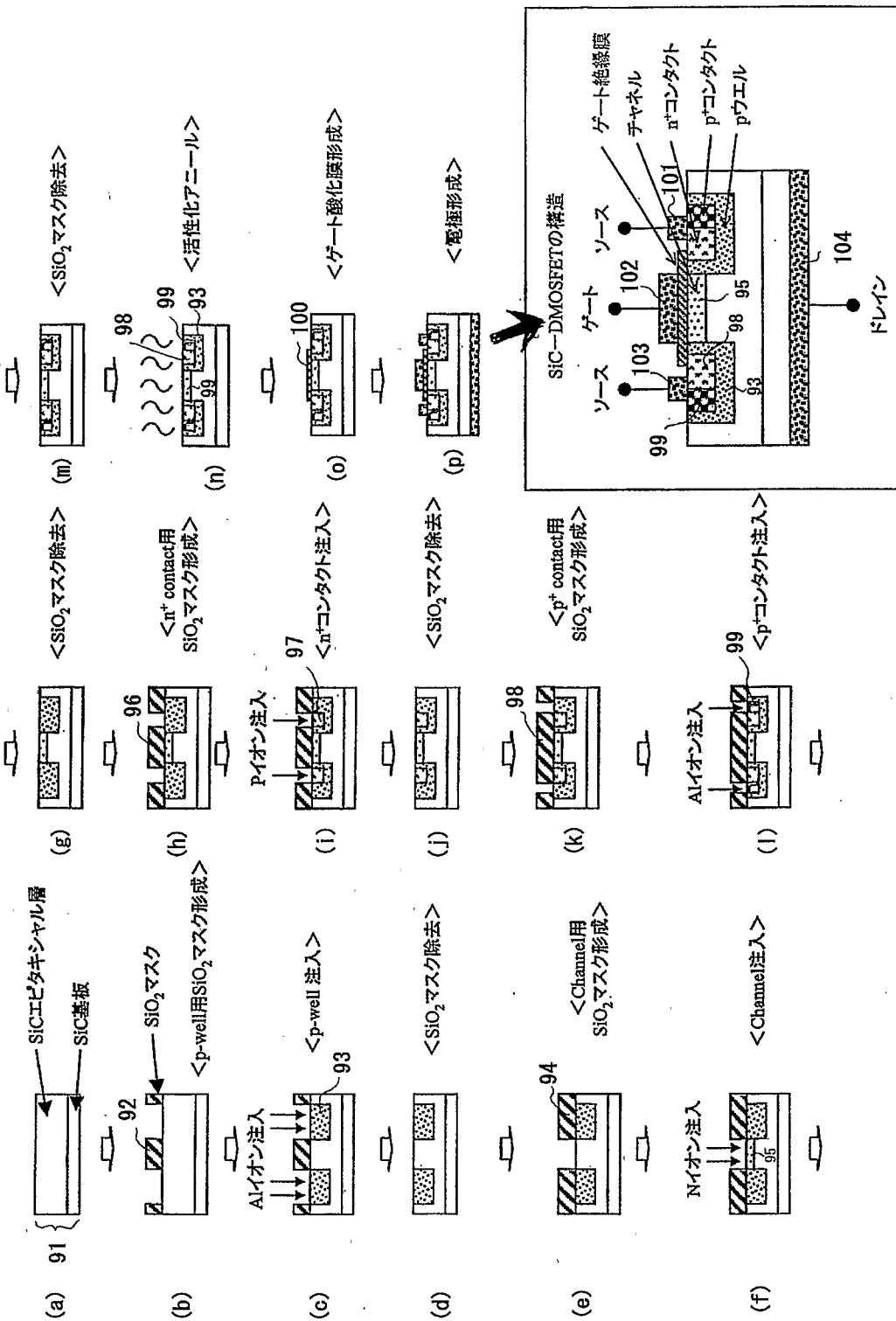


第 8 B 図



第9図

SiC-DMOSFETのプロセスフロー



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/059132

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/265 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/265

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-093742 A (National Institute of Advanced Industrial Science and Technology), 29 March, 2002 (29.03.02), Par. No. [0101]; Figs. 2 to 4 (Family: none)	1, 3 2
X Y	JP 2005-116896 A (Matsushita Electric Industrial Co., Ltd.), 28 April, 2005 (28.04.05), Par. Nos. [0030] to [0052]; Figs. 1, 2 (Family: none)	6, 7 1-3
Y	JP 2004-146486 A (Shin-Etsu Handotai Co., Ltd.), 20 May, 2004 (20.05.04), Par. Nos. [0039], [0048] (Family: none)	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2007 (13.07.07)

Date of mailing of the international search report
31 July, 2007 (31.07.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/059132

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/055308 A1 (S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES), 16 June, 2005 (16.06.05), Page 13, line 25 to page 14, line 24 & AU 2003294166 A1 & EP 1690289 A1 & KR 2006101550 A & CN 1879204 A	1-7
A	WO 2006/043530 A1 (Cannon Anelva Corp.), 27 April, 2006 (27.04.06), Par. Nos. [0016] to [0032]; Figs. 1, 2 (Family: none)	1-7
A	WO 2005/076327 A1 (Matsushita Electric Industrial Co., Ltd.), 18 August, 2005 (18.08.05), Fig. 10 & US 2006/0220027 A1 & EP 1713117 A1 & CN 1788335 A	1-7

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2007/059132**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The subject matters of claims 1-7 are considered to be linked only by the matter "comprises a silicon carbide substrate and impurity-containing regions in the substrate, the silicon carbide substrate having a surface smoothness of 2 nm or smaller in terms of RMS." However, that matter cannot be considered to be a special technical feature because it is described in prior art documents, e.g., JP 2005-116896 A (Matsushita Electric Industrial Co., Ltd.), 28 April, 2005, paragraphs [0030]-[0052], Figs. 1 and 2, etc.

In view of the specific embodiments described in the claims, this international application is considered to involve subject matters classified (continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest
the**

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/059132

Continuation of Box No.III of continuation of first sheet (2)

into two inventions, i.e., claims [1-6] and claim [7].

The subject matters of claims 1-6 are considered to be linked only by the matter "the silicon carbide substrate having impurity-containing regions is annealed in an atmosphere having a partial H₂O pressure of 10⁻² Pa or lower," besides the matter described above. However, that matter cannot be considered to be a special technical feature because it is described in prior art documents, e.g., JP 2002-093742 A (National Institute of Advanced Industrial Science and Technology), 29 March, 2002, paragraph [0101], Figs. 2-4, etc.

In view of the specific embodiments described in the claims, this international application is considered to involve subject matters classified into three inventions, i.e., claims [1, 2, and 6], claim [3], and claims [4 and 5].

国際調査報告

国際出願番号 PCT/JP2007/059132

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/265(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/265

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-093742 A (独立行政法人産業技術総合研究所) 2002.03.29,	1, 3
Y	段落【0101】，第2-4図 (ファミリーなし)	2
X	JP 2005-116896 A (松下電器産業株式会社) 2005.04.28, 段落【0030】-【0052】，第1, 2図 (ファミリーなし)	6, 7 1-3
Y	JP 2004-146486 A (信越半導体株式会社) 2004.05.20, 段落【0039】,【0048】 (ファミリーなし)	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2007

国際調査報告の発送日

31.07.2007

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

4L 9835

萩原 周治

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	WO 2005/055308 A1 (S. O. I. TEC SILICON ON INSULATOR TECHNOLOGIES) 2005.06.16, 第13頁第25行乃至第14頁第24行 & AU 2003294166 A1 & EP 1690289 A1 & KR 2006101550 A & CN 1879204 A	1-7
A	WO 2006/043530 A1 (キヤノンアネルバ株式会社) 2006.04.27, 段落 【0016】-【0032】，第1，2図（ファミリーなし）	1-7
A	WO 2005/076327 A1 (松下電器産業株式会社) 2005.08.18, 第10図 & US 2006/0220027 A1 & EP 1713117 A1 & CN 1788335 A	1-7

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT第17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2. 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求の範囲_____は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-7に記載されている一群の発明は、「炭化ケイ素基板と該基板内不純物添加領域とを含み、炭化ケイ素基板の表面平坦性がRMSで2nm以下である」という事項でのみ連関していると認めるが、この事項は先行技術文献、例えば、JP 2005-116896 A (松下電器産業株式会社) 2005.04.28, 段落【0030】-【0052】、第1、2図等に記載されているため、特別な技術的特徴とはなり得ない。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-6]と[7]とに区分される2個の発明が記載されていると認める。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかつたので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかつたので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立て手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立て手数料が納付命令書に示した期間内に支払われなかつた。
- 追加調査手数料の納付を伴う異議申立てがなかつた。

第 III 欄の続き

請求の範囲 1 - 6 に記載されている一群の発明は、上記事項に加え、「不純物添加領域の形成された炭化ケイ素基板に、H₂O の分圧が 10 - 2 Pa 以下の雰囲気でアニールを行う」という事項でのみ連関していると認めるが、この事項は先行技術文献、例えば、JP 2002-093742 A (独立行政法人産業技術総合研究所) 2002. 03. 29, 段落【0101】，第2-4図等に記載されているため、特別な技術的特徴とはなり得ない。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1, 2, 6]、[3]、[4, 5] に区分される 3 個の発明が記載されていると認められる。