

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4689218号
(P4689218)

(45) 発行日 平成23年5月25日 (2011.5.25)

(24) 登録日 平成23年2月25日 (2011.2.25)

(51) Int. Cl.	F I
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 D
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 M
HO 1 L 23/52 (2006.01)	B 8 2 B 1/00
HO 1 L 21/3205 (2006.01)	HO 1 L 21/28 3 O 1 R
B 8 2 B 1/00 (2006.01)	HO 1 L 21/28 3 O 1 Z

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2004-263486 (P2004-263486)
 (22) 出願日 平成16年9月10日 (2004.9.10)
 (65) 公開番号 特開2005-109465 (P2005-109465A)
 (43) 公開日 平成17年4月21日 (2005.4.21)
 審査請求日 平成19年8月31日 (2007.8.31)
 (31) 優先権主張番号 特願2003-322324 (P2003-322324)
 (32) 優先日 平成15年9月12日 (2003.9.12)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高山 徹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 古野 誠
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に下地膜を形成し、
前記下地膜上に非晶質半導体膜を形成し、
前記非晶質半導体膜に金属元素を添加し、加熱することによって、結晶性半導体膜を形成し、
前記結晶性半導体膜をエッチングして半導体領域を形成し、
前記半導体領域を覆って絶縁膜を形成し、
前記絶縁膜上に前記半導体領域の一部と重なる第1の導電層を形成し、
前記第1の導電層をマスクとして前記半導体領域に不純物元素をドーピングして、前記第1の導電層と重なるチャンネル形成領域、不純物元素がドーピングされたソース領域及びドレイン領域を形成し、
加熱処理を行うことによって、前記不純物元素を活性化するとともに、前記金属元素が金属化合物となり、前記チャンネル形成領域の前記金属化合物を前記ソース領域又は前記ドレイン領域に移動させ、
前記絶縁膜及び前記第1の導電層上に層間絶縁膜を形成し、
前記絶縁膜及び前記層間絶縁膜の一部をエッチングすることによって、前記ソース領域又は前記ドレイン領域に達するコンタクト孔を形成して、前記ソース領域又は前記ドレイン領域に移動した前記金属化合物を露出させ、
前記金属化合物上に極細炭素繊維を形成し、

10

20

前記コンタクト孔内で露出した前記ソース領域又は前記ドレイン領域及び前記層間絶縁膜上に第2の導電層を形成し、加熱することによって前記極細炭素繊維の間に前記第2の導電層を充填して導電性部材を形成することを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、

前記ソース領域又は前記ドレイン領域に移動した前記金属化合物は、前記ソース領域又は前記ドレイン領域の表面に偏析することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1または2において、

前記金属元素は、ニッケル、鉄、コバルト、白金、パラジウム、又はチタンであることを特徴とする半導体装置の作製方法。

10

【請求項4】

請求項1または2において、

前記金属化合物は、ニッケルシリサイド、鉄シリサイド、コバルトシリサイド、白金シリサイド、パラジウムシリサイド、又はチタンシリサイドであることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれかーにおいて、

前記極細炭素繊維を、炭化水素、又はアルコールを用いて形成することを特徴とする半導体装置の作製方法。

20

【請求項6】

請求項1乃至5のいずれかーにおいて、

前記極細炭素繊維は、グラファイトナノファイバ、カーボンナノファイバ、カーボンナノチューブ、チューブ状グラファイト、カーボンナノコーン、又はコーン状グラファイトであることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至6のいずれかーにおいて、

前記第2の導電層は、アルミニウム、アルミニウムを含む合金、銅、または不純物が添加された結晶性半導体膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、コンタクト孔において、微細炭素繊維を有する導電部材が形成されている半導体装置に関する。

【背景技術】

【0002】

半導体装置の配線には、アルミニウム、銅、タンゲステン等が用いられている。これは、多層構造の絶縁膜上に形成され、フォトリソグラフィ工程及びエッチング工程によって、微細なパターンの配線が形成されている。

【0003】

回路の高集積化に伴い、配線も微細化されており、これと共に配線の抵抗が増大する。これは、集積回路の消費電力を大きくする原因の一つとなっており、集積化が進むほど配線の総延長距離が長くなるため、深刻な問題となっている。

40

【0004】

一方、低仕事関数または負の電子親和力を持つ材料、例えば炭素を用いて形成されたものがあり、その代表例としては、カーボンナノチューブ（以下、CNT（Carbon Nano Tube）と示す）、カーボンナノファイバ、グラファイトナノファイバ、チューブ状グラファイト、先端が細く尖っているカーボンナノコーン、コーン状グラファイトなどの極細炭素繊維、フラーレン等が挙げられる。

50

【0005】

CNTは、ナノメートルサイズの円筒状グラファイトのことをいう。CNTとしては、炭層ナノチューブと多層ナノチューブがある。炭層ナノチューブは、一枚のグラフェンシート（炭原子層の炭素六角網面）が円筒状に閉じたチューブであり、その直径はおよそ1～10nm程度、長さは1～100μmである。多層ナノチューブは、円筒状のグラフェンシートが多層に積み重なったもので、その外径が5～50nm、中心空洞の直径が3～10nm、長さは1～100μmである。

【0006】

CNTは、先鋭な先端の形状を有し、熱的及び化学的に安定であり、機械的に強靱であり、導電性を有する等の特性を有するため、微細構造のビア（導電性部材）として、注目を浴びている。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、CNTは微細な構造であり、異なる層に形成される配線同士を接続する場合、接触面積が狭い。また、多数のCNTを形成する場合、均一な高さのCNTを形成することは困難である。このため、コンタクト抵抗が高まると共に、確実に異なる配線を接続することが困難である。この結果、CNTを接続配線に用いた半導体装置の歩留まりが低下するという問題がある。

【0008】

20

そこで、本発明では、配線同士の接続の信頼性が高い半導体装置を提供する。また、歩留まり高く半導体装置を作製することが可能な半導体装置の作製方法を提供する。

【課題を解決するための手段】

【0009】

本発明の一は、ビア、プラグ等のコンタクト孔に形成される導電性部材を極細炭素繊維及び導電膜で形成することを特徴とする。導電膜は、極細炭素繊維の間を充填しており、異なった層上に形成される配線とのコンタクト抵抗を抑制しつつ、信頼性高く接続することができる。

【0010】

また、本発明の一は、金属元素を含む領域を触媒として極細炭素繊維を形成した後、導電膜を成膜し、該導電膜を流動化して、前記極細炭素繊維間を導電膜で満たして導電性部材を形成することを特徴とする。

30

【0011】

ここで、金属元素を含む領域は、ニッケル元素、鉄元素、コバルト元素、白金元素、ゲルマニウム元素、チタン元素、パラジウム元素、又は亜鉛元素、若しくはこれらの元素の化合物で形成される。化合物としては、珪化物、酸化物等が挙げられる。

【0012】

また、導電膜は、アルミニウム、アルミニウムを含む合金、銅等の一定の温度以上で流動性を有する導電膜で形成される。また、これのほかに、リン、ボロン、ヒ素等の不純物が添加された結晶性半導体膜で形成することもできる。

40

【0013】

なお、本発明で形成される極細炭素繊維は、CNT、カーボンナノファイバ、グラファイトナノファイバ、チューブ状グラファイト、先端が細く尖っているカーボンナノコーン、コーン状グラファイトなどが挙げられる。

【発明の効果】

【0014】

本発明により、絶縁層を介して形成される複数の導電層、代表的には配線を極細炭素繊維及びその間を充填する導電層で形成されているビア（導電性部材）で接続することができる。このため、ビア（導電性部材）は微細構造であり、微細加工された配線を接続することができ、高集積化された回路を形成することができる。また、コンタクト孔

50

に形成されるビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。

【発明を実施するための最良の形態】

【0015】

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

10

【0016】

(第1実施形態)

本発明の接続配線の一形態である導電性部材を、図1を用いて説明する。導電性部材とは、一般的なビア、プラグ等を含む。

【0017】

図1(A)は、半導体装置の半導体領域100の一部(ソース領域又はドレイン領域)と接続する導電性部材101を示す。導電性部材101は、絶縁膜102の間に位置しており、金属元素を有する領域103上に形成される極細炭素繊維104、及び極細炭素繊維104の間に満たされている導電層105で形成される。

20

【0018】

金属元素を有する領域103は、ニッケル元素、鉄元素、コバルト元素、白金元素、ゲルマニウム元素、チタン元素、パラジウム元素、又は亜鉛元素、若しくはこれらの元素の化合物で形成される。化合物としては、珪化物、酸化物等が挙げられる。

【0019】

導電層105は、アルミニウム、アルミニウムを含む合金、銅等の一定の温度以上で流動性を有する導電膜で形成される。また、これのほかに、リン、ボロン、ヒ素等の不純物が添加された結晶性半導体膜で形成することもできる。導電性部材は、絶縁膜102上に形成される配線層106と接続されている。

【0020】

なお、図1(A)において、極細炭素繊維104の高さは、絶縁膜102の膜厚よりも高くなっているが、この構造に限られるものではなく、絶縁膜102の膜厚よりも低くても良い。

30

【0021】

図1(B)では、図1(A)と異なる構造の導電性部材を示す。導電性部材111は、第1の配線層112及び第2の配線層113を接続している。導電性部材(ビア)111は、絶縁膜114の間に位置する。また、第1の配線層112上に形成される金属元素を有する領域115と、その上に形成されている極細炭素繊維116、さらには極細炭素繊維116の間を満たされている導電層117で形成されている。

図1(B)で示される導電性部材111の表面は、平坦化されており、絶縁膜114の膜厚とほぼ同じ高さである。

40

【0022】

コンタクト孔に形成される導電性部材(ビア)111は、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。

【0023】

(第2実施形態)

本実施形態では、実施形態1で示される導電性部材の作製工程を示す。なお、以下、極細炭素繊維の代表例としてCNTを用いて説明する。

【0024】

50

図2(A)に示すように、第1の配線層又は半導体領域上に層間絶縁膜を形成する。本実施形態では、半導体領域201上に、層間絶縁膜202を形成する。次に、公知にフォトリソグラフィ工程によりレジストマスク203を形成する。

【0025】

次に、図2(B)に示すように、レジストマスクで覆われていない層間絶縁膜の部分をエッチングして半導体領域の一部を露出して、コンタクト孔211を形成する。次に、剥離液でレジストマスクを除去した後、スパッタリング法、CVD法等の公知の手法により第1の導電膜212を成膜する。第1の導電膜は、ニッケル元素、鉄元素、コバルト元素、白金元素、ゲルマニウム元素、チタン元素、パラジウム元素、又は亜鉛元素、若しくはこれらの元素の化合物で形成される。化合物としては、珪化物、酸化物等が挙げられる。

10

【0026】

次に、図2(C)に示すように、リフトオフ法、エッチング法等により第1の導電膜の一部を除去して、半導体領域上に島状の金属元素を含む領域221を形成する。また、島状の金属元素を含む領域は、マスクを用いて形成しても良い。

【0027】

次に、金属元素を含む領域を触媒としてCNT222を形成する。形成方法としては、アルコールを原料ガスに用いた触媒CVD法、メタン、エチレン、またはアセチレン等の炭化水素を含む雰囲気中で100~1100度、好ましくは400~650度に加熱する熱CVD法、同様の炭化水素を用い、0.1~10torrの減圧下で形成するプラズマCVD法等がある。プラズマCVD法では、基板側に負の電圧を印加することにより、CNTは基板に対して垂直方向に成長する。また、大気圧雰囲気中で、炭化水素を原料として、パルス電圧を印加するプラズマCVD法によって、CNTを形成することもできる。

20

【0028】

次に、図2(D)に示すように、第2の導電膜231を成膜する。第2の導電膜としては、アルミニウム、アルミニウムを含む合金、銅等の、一定の温度以上の加熱で流動性を有する導電膜で形成される。また、これのほかに、リン、ボロン、ヒ素等の不純物が添加された結晶性半導体膜で形成することもできる。

【0029】

次に、400~550度で加熱して、第2の導電膜を流動化させ、コンタクト孔211内を第2の導電膜で埋め込む。この工程により、第2の導電膜の表面は、ほぼ平坦化される。この後、第2の導電膜を所望の形状にエッチングして、図2(E)に示すような、導電性部材241を形成する。

30

【0030】

この後、導電性部材241の表面をエッチバックして、層間絶縁膜202の膜厚と同様の高さを有する導電性部材としてもよい。また、この工程に代えて、CMPによって表面を研磨して第2の導電膜を研磨して、同様の形状の導電性部材を形成しても良い。

【0031】

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア(導電性部材)を形成することができる。このため、ビア(導電性部材)は微細構造であり、微細加工された配線を接続することができ、高集積化された回路を形成することができる。また、コンタクト孔に形成されるビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。

40

【0032】

(第3実施形態)

本実施形態では、実施形態1で示される導電性部材の作製工程として、第2実施形態とは異なる工程を示す。

図3(A)に示すように、第2実施形態と同様に、図2(A)に示すように、第1の配線層又は半導体領域201上に層間絶縁膜202を形成する。

50

【 0 0 3 3 】

次に、図 3 (B) に示すように、第 2 実施形態と同様に、レジストマスクで覆われていない層間絶縁膜の部分をエッチングして半導体領域の一部を露出して、コンタクト孔 2 1 1 を形成する。次に、剥離液でレジストマスクを除去した後、第 1 の導電膜 2 1 2 を成膜する。

【 0 0 3 4 】

次に、図 3 (C) に示すように、第 2 実施形態と同様に、半導体領域上に島状の金属元素を含む領域 2 2 1 を形成する。金属元素を含む領域としては、ニッケル元素、鉄元素、コバルト元素、白金元素、ゲルマニウム元素、チタン元素、パラジウム元素、又は亜鉛元素、若しくはこれらの元素の化合物で形成される。化合物としては、珪化物、酸化物等が挙げられる。

10

【 0 0 3 5 】

次に、メタノールを原料ガスとして用いて、金属元素を含む領域を触媒として CNT を形成する。また、1 ~ 7 6 0 t o r r で、メタン、エチレン、またはアセチレン等の炭化水素を含む雰囲気で、1 0 0 ~ 1 1 0 0 度、好ましくは 4 0 0 ~ 6 5 0 度に加熱して、金属元素を含む領域を触媒として CNT を形成する。また、原料にメタン、エチレン、またはアセチレン等の炭化水素を用い、1 ~ 7 6 0 t o r r として、金属元素を含む領域を触媒としてプラズマ C V D 法により形成することもできる。なお、この場合、基板側に負の電圧を印加することにより、CNT は基板に対して垂直方向に成長する。また、大気圧雰囲気中で、炭化水素を原料として、パルス電圧を印加するプラズマ C V D 法によって、CNT を形成することもできる。

20

【 0 0 3 6 】

次に、図 3 (D) に示すように、第 2 の導電膜 2 3 1 を成膜する。本実施形態では、第 2 の導電膜として、リン、ボロン、ヒ素等の不純物が添加された結晶性半導体膜を成膜する。

【 0 0 3 7 】

次に、連続発振のレーザー光 2 3 2 を第 2 の導電膜 2 3 1 に照射して、第 2 の導電膜を溶融し流動化させ、コンタクト孔 2 1 1 内を第 2 の導電膜で埋め込む。第 2 の導電膜は、溶融及び流動の後、凝固して結晶性半導体膜となる。また、表面がほぼ平坦化される。この後、第 2 の導電膜を所望の形状にエッチングして、導電性部材を形成する。

30

【 0 0 3 8 】

第 2 の導電膜を溶融し流動化させ、コンタクト孔 2 1 1 内を第 2 の導電膜 2 3 1 で埋め込んだ後、第 3 の導電膜を成膜し、第 2 の導電膜及び第 3 の導電膜をエッチングして、それぞれ第 2 の導電層 2 5 0 及び第 3 の導電層 2 5 1 を形成し、図 3 (E) に示すような、第 2 の導電層 2 5 0、CNT 2 2 2、及び第 3 の導電層 2 5 1 で形成される導電性部材 2 5 2 を形成しても良い。

【 0 0 3 9 】

この後、導電性部材 2 5 2 の表面をエッチバックして、層間絶縁膜 2 0 2 の膜厚と同様の高さを有する導電性部材としてもよい。また、この工程に代えて、CMP によって表面を研磨して第 2 の導電膜を研磨して、同様の形状の導電性部材を形成しても良い。

40

【 0 0 4 0 】

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア（導電性部材）を形成することができる。このため、ビア（導電性部材）は微細構造であり、微細加工された配線を接続することができ、高集積化された回路を形成することができる。また、コンタクト孔に形成されるビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。

【 0 0 4 1 】

(第 4 実施形態)

50

本実施形態では、金属を含む領域が金属化合物であり、これを触媒として形成されたCNTを有する導電性部材、及びそれを有する半導体装置の作製方法について、図4を用いて述べる。

【0042】

まず、基板301上に下地絶縁膜302を形成する。基板301としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0043】

また、下地絶縁膜302としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地膜を形成する。下地膜は単層膜または2層以上積層させた構造で形成する。

【0044】

次いで、下地絶縁膜上に半導体膜303を形成する。ここでは、半導体膜は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0045】

次に、半導体膜に金属元素を添加する。金属元素の添加方法としては、プラズマ処理、蒸着法、イオン注入法、スパッタ法又は溶液塗布法を利用することができる。ここでは、金属元素を1～100ppm、好ましくは、5～20ppmの金属元素を含む溶液304を塗布する。その後、前記非晶質半導体膜を400～600度の窒素雰囲気中で加熱すると、金属元素と半導体膜の元素との化合物（代表的には、ニッケルシリサイド、鉄シリサイド、コバルトシリサイド、白金シリサイド、パラジウムシリサイド、チタンシリサイド、等）を核とする結晶化反応が起こり、結晶性半導体膜が形成される。

【0046】

次に、図4(B)に示すように、レジストマスクを用いて半導体膜を所望の形状にエッチングして半導体領域を形成する。この半導体領域の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。

【0047】

次いで、レジストマスクを除去した後、半導体領域を覆う絶縁膜312を形成する。絶縁膜312はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜312はTFTのゲート絶縁膜となる。

【0048】

次いで、絶縁膜312上に膜厚100～600nmの導電膜を形成する。ここでは、スパッタ法を用い、W膜からなる導電膜を形成する。なお、導電膜をWとしたが、特に限定されず、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

【0049】

次いで、レジストマスクを形成した後、ドライエッチング法またはウェットエッチング法を用いて導電膜をエッチングして、導電層313を得る。なお、導電層313はTFTのゲート電極となる。

【0050】

なお、導電層313は、ICPEッチング装置を用い、端部においてテーパ形状を有する部分（テーパ部）を有する導電層としてもよい。テーパ部の角度（テーパ角）は基板表面（水平面）とテーパ部の傾斜部とのなす角度として定義する。導電層のテーパ角は、エッチング条件を適宜、選択することによって、5～45度の範囲とすること

10

20

30

40

50

ができる。

【0051】

次いで、導電層313をマスクとして半導体領域に不純物元素をドーピングして、ゲート電極に覆われているチャンネル形成領域315、不純物がドーピングされた不純物領域314を形成する。なお、不純物領域は、後のソース領域及びドレイン領域となる。pチャンネル型TFETを形成する場合、不純物領域のp型を付与する元素、例えばボロン(B)の濃度が $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ となるようにドーピングする。また、nチャンネル型TFETを形成する場合、不純物領域のn型を付与する元素、例えばリン(P)の濃度が $5 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ 、希ガスの濃度が $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ となるようにドーピングする。この後、450～800度で1分から24時間加熱して、不純物元素を活性化すると共に、チャンネル形成領域の金属元素を不純物領域に移動させる。ここでは、半導体領域にリン又は希ガスが添加されているため、加熱処理によって金属元素が金属化合物となって不純物領域に移動する。移動した後は、図4(C)の321のように、不純物領域に偏析する。本実施形態では、610度に加熱されたガスを1分間吹き付けるGRTA法によって、半導体領域を加熱する。なお、加熱工程として、GRTA法の代わりに、炉を用いた加熱処理、LRTA法、レーザー・アニール法を用いることもできる。

10

【0052】

なお、本実施形態では、不純物領域として、高濃度の不純物をドーピングしているが、このほかに、高濃度の不純物がドーピングされた領域とチャンネル形成領域との間に、不純物濃度が低濃度 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ となるようにドーピングされた領域(いわゆる、LDD(Light Doped Drain))を公知の手法により形成しても良い。

20

【0053】

この後、水素を含む絶縁膜(図示しない)を成膜した後、400～550に加熱して半導体領域の水素化を行い、半導体領域のダングリングボンドを終端する。

【0054】

次いで、図4(C)に示すように、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)、又は有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、またはシロキサンポリマー)を主成分とする原料を用いて層間絶縁膜322を形成する。

30

【0055】

次に、図4(D)に示すように、レジストマスクを用いて層間絶縁膜及び絶縁膜の一部をエッチングし不純物領域を露出して、コンタクト孔を形成する。

この工程により、不純物領域に移動した金属化合物321が露出する。

【0056】

次に、実施形態2のような工程を用いて、金属化合物を触媒としてCNT331を形成する。次に、図4(E)に示すように、第1の導電膜341を成膜する。

【0057】

次に、図4(F)に示すように、第2実施形態または第3実施形態のような工程を用いて第1の導電膜を流動化させた後、CNT331の間を第1の導電膜で充填する。この後、レジストマスクを用いて第1の導電膜を所望の形状にエッチングして、コンタクト孔をCNT331及び導電膜で満たす導電性部材351を形成する。

40

【0058】

また、得られたnチャンネル型TFETとpチャンネル型TFETとを相補的に組み合わせてCMOS回路を作製することができる。この場合、TFETのしきい値電圧を制御する為、予めチャンネル形成領域となる半導体領域に対してリンまたはボロンを微量にドーピングしてデプレッション型TFETとエンハンスメント型TFETとを作り分けることが望ましい。例えば、nチャンネル型のデプレッション型TFETではリンを微量にドーピングし、pチャンネル型のデプレッション型TFETではボロンを微量にドーピングすればよい。

50

【0059】

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア（導電性部材）を形成することができる。このため、ビア（導電性部材）は微細構造であり、微細加工された配線を接続することができるため、該ビアを有する半導体素子を高集積した回路を形成することができる。また、コンタクト孔に形成されるビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。

【実施例1】

【0060】

本実施例では、本発明を用いて形成された半導体素子及び該半導体素子を有するアクティブマトリクス基板の作製工程を、図5を用いて説明する。本実施例では、高温処理及び真空装置を必要としない方法で導電性部材を形成する工程を示す。なお、本実施例において、半導体素子の代表例として、薄膜トランジスタを用いるが、この他、有機薄膜トランジスタ、薄膜ダイオード、光電変換素子、抵抗等も半導体素子として用いることができる。

【0061】

図5(A)に示すように、基板401上に下地絶縁膜402を形成する。基板の大きさは、任意であるが600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1800mm×2000mm、2000mm×2100mm、2200mm×2600mm、または2600mm×3100mmのような大面積基板を用いることができる。本実施例では、ガラス基板を用いる。また、下地絶縁膜を2層構造とし、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される第1の酸化窒化シリコン膜を50~100nm、SiH₄、及びN₂Oを反応ガスとして成膜される第2の酸化窒化シリコン膜を100~150nmの厚さに積層形成する。

【0062】

次に、下地絶縁膜上に、プラズマCVD法や減圧CVD法、或いはスパッタリング法等の公知の手法により非晶質シリコン膜形成し、加熱処理を行い、結晶化を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理（450℃、1時間）の後、結晶化のための熱処理（500~650℃で1~24時間）を行う。

【0063】

この後、公知の手法により結晶性シリコン膜中から金属元素のゲッターリングを行い、結晶性シリコン膜中の金属元素を除去又は濃度を低減する。次いで、結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶性シリコン膜に対してレーザー光を照射することが好ましい。

【0064】

次に、結晶性シリコン膜を用い、公知の手法によりTFETを形成する。結晶性シリコン膜を所望の形状にエッチングし、半導体領域403a、403bを形成する。403aはnチャネル型TFETの半導体領域、403bはpチャネル型TFETの半導体領域となる。次に、フッ酸を含むエッチャントで結晶性シリコン膜の表面を洗浄した後、ゲート絶縁膜404となるシリコンを主成分とする絶縁膜を形成する。

【0065】

次いで、公知の導電膜を成膜し、所望の形状にエッチングして、ゲート電極405a、405bを形成する。ゲート電極としては、単層構造又は多層構造とすることができる。ゲート電極の材料としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ネオジム（Nd）から選ばれた元素、またはこれらの元素を主成分とする合金材料若しくは化合物

10

20

30

40

50

材料で形成することができる。また、銀 銅 パラジウム合金 (A g P d C u 合金) を用いてもよい。

【 0 0 6 6 】

次に、半導体領域 4 0 3 a、4 0 3 b に n 型を付与する不純物元素 (P、A s 等) 及び P 型を付与する不純物元素 (B 等)、ここではリン及びボロンを適宜添加して、n チャネル型 T F T のソース領域及びドレイン領域 4 0 6 a、p チャネル型 T F T のソース領域及びドレイン領域 4 0 6 b を形成する。

次に、基板上に第 2 絶縁膜 (図示しない。) を成膜した後、添加した不純物元素を活性化するために加熱処理、または強光の照射を行う。この工程は、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体膜との界面へのプラズマダメージを回復することができる。

10

【 0 0 6 7 】

次に、第 2 絶縁膜上に層間絶縁膜となる絶縁膜を形成する。本実施例では、シロキサンポリマーを塗布し焼成して、シリコン (S i) と酸素 (O) との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料で形成される層間絶縁膜を形成する。該材料を用いることにより、耐熱性を有し、且つ平坦性を有する層間絶縁膜を形成することができる。この材料のほかに、アクリル、ポリイミド、ポリシラザン等の有機材料、又は酸化ケイ素、窒化酸化ケイ素、酸化窒化ケイ素等の無機材料で形成することができる。有機材料として、感光性を有する有機材料で層間絶縁膜を形成すると、曲率を有するコンタクト孔を有するため、後に形成する電極の被覆率 (カバレッジ) が高くなるという効果がある。

20

【 0 0 6 8 】

次に、層間絶縁膜上にフォトリソグラフィ工程によって、レジストマスク 4 0 8 a ~ 4 0 8 e を形成する。この後、レジストマスク 4 0 8 a ~ 4 0 8 e で覆われていない領域を、エッチングしてコンタクト孔を形成する。このエッチング工程で用いるエッチング用ガスに限定はないが、ここでは C F ₄、O₂、H e、A r を用いることが適している。C F ₄ の流量を 3 8 0 s c c m、O₂ の流量を 2 9 0 s c c m、H e の流量を 5 0 0 s c c m、A r の流量を 5 0 0 s c c m、R F パワーを 3 0 0 0 W、圧力を 2 5 P a とし、ドライエッチングを行う。なお、半導体領域上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。1 回のエッチングでテーパ形状としてもよいし、複数のエッチングによってテーパ形状にしてもよい。ここでは、さらに C F ₄、O₂、H e を用いて、C F ₄ の流量を 5 5 0 s c c m、O₂ の流量を 4 5 0 s c c m、H e の流量を 3 5 0 s c c m、R F パワーを 3 0 0 0 W、圧力を 2 5 P a とし、2 回目のドライエッチングを行ってテーパ形状とする。

30

【 0 0 6 9 】

次に、図 4 (B) に示すように、層間絶縁膜及びコンタクト孔全面にブロッキング膜 4 1 1 を成膜する。このブロッキング膜は、後に形成する第 1 の導電膜をリフロー処理する際、アルミニウム、銅等の金属元素が半導体領域にしみ込むのを防ぐためのものであり、チタン膜と窒化チタン膜の積層構造が好ましい。つぎに、基板上にスパッタリング法、C V D 法等の公知の手法により第 1 の導電膜 4 1 2 を成膜する。本実施例では、ニッケル元素で形成される導電膜を成膜する。

40

【 0 0 7 0 】

次に、図 4 (C) に示すように、リフトオフ法により第 1 の導電膜 4 1 2 の一部を除去して、金属元素を含む領域 4 2 1 を形成する。次に、C N T 4 2 2 を形成する。ここでは、大気圧放電によるプラズマ C V D 法を用いる。具体的には、電界がパルス化されており、立ち上がり電圧を 1 0 μ s 以下、電界強度を 1 ~ 1 0 0 k V / c m、原料ガスにメタンを用い、これを水素及びヘリウムで希釈して C N T を形成する。

50

【0071】

次に、第2の導電膜423を成膜する。ここでは、アルミニウム-ゲルマニウム合金を成膜する。この後、400～550度に加熱することにより、アルミニウム-ゲルマニウム合金がコンタクト孔内へと流動する。このため、CNT422の間はアルミニウム-ゲルマニウム合金で充填される。

【0072】

次に、第2の導電膜423を所望の形状にエッチングして図5(D)に示すような導電性部材431、432を形成する。

【0073】

なお、本実施例においては、第4実施形態を用いて説明したが、第1乃至第3実施形態を用いることもできる。

10

【0074】

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア(導電性部材)を形成することができる。このため、ビア(導電性部材)は微細構造であり、微細加工された配線を接続することができるため、該ビアを有する半導体素子を高集積した回路を形成することができる。また、コンタクト孔に形成されるビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。また、大気圧下でCNTを形成することができるため、大面積基板のアクティブマトリクス基板を作製することができ、スループットを向

20

【実施例2】

【0075】

本実施例では、本発明を用いて、MOSトランジスタを作製する工程を、図6を用いて説明する。なお、MOSトランジスタは、単結晶シリコン基板または化合物半導体基板を用いて形成しており、代表的には、N型またはP型の単結晶シリコン基板、GaAs基板、InP基板、GaN基板、SiC基板、サファイヤ基板、又はZnSe基板である。

【0076】

図6(A)に示すように、例えば単結晶シリコンからなるp型の半導体基板601を用意し、その半導体基板にp型ウエル602とn型ウエル603を形成した後、半導体基板601の表面の選択的な領域を熱酸化してLOCOS(Local Oxidation of Silicon)構造の酸化シリコン膜からなる阻止分離用のフィールド絶縁膜604を形成する。

30

【0077】

次に、半導体基板601の表面を熱酸化して50nm程度以下の薄膜の酸化シリコン膜(ゲート絶縁膜)を形成し、この酸化シリコン上に、CVD法を用いて300nm程度の膜厚の多結晶シリコン膜を堆積する。

【0078】

次に、半導体基板601の上に、レジストを塗布した後、フォトマスクを用いて露光及び現像を行ってゲート電極形状のレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチングにより多結晶シリコン膜をエッチングしてゲート電極607、608を形成する。

40

【0079】

次に、半導体基板601の上のp型ウエル602に、例えばリンなどのn型の不純物元素をイオン注入してソース及びドレインとなるn型の半導体領域609を形成する。また、半導体基板601のn型ウエル603に、例えばホウ素などのp型の不純物をイオン注入して、ソース及びドレインとなるp型の半導体領域610を形成する。

【0080】

次に、図6(B)に示すように、ソース及びドレインとなるn型の半導体領域609及びp型の半導体領域610の上に形成されている酸化シリコン膜を除去し、ゲート絶縁膜

50

605、606を形成する。

次に、絶縁膜を形成し、この膜を平坦化した後、層間絶縁膜611を形成する。なお、層間絶縁膜611に、スピコーティング法により形成するSiO_x膜、PSG（リンシリケートガラス）膜、BSG（ボロンシリケートガラス）膜もしくはBPSG（ボロンリンシリケートガラス）膜、シロキサンポリマーを用いた絶縁膜、等のSOG（Spin on Glass）膜を用いると平坦化工程をしなくともよい。

【0081】

次に、層間絶縁膜611の一部をエッチングして、n型の半導体領域609及びp型の半導体領域610の一部を露出してコンタクト孔を形成する。

【0082】

次に、実施例1と同様にブロッキング膜（図示しない）を成膜する。こののち、図6（B）に示すように、第1の導電膜621を成膜する。ここでは、第1の導電膜として、ニッケル元素で形成される薄膜を成膜する。この後、第1の導電膜の一部を除去して、島状の金属元素領域631、632を形成する。次に、アセチレンを含む雰囲気中で800～1100度に加熱して熱CVD法によりCNT633、634を形成する。

【0083】

次に、図6（C）に示すように第2の導電膜635を成膜する。ここでは、第2の導電膜635として、アルミニウムゲルマニウム膜を成膜する。この後、400～550度で加熱して、流動化させて、コンタクト孔内をアルミニウム-ゲルマニウム膜で充填する。この工程により、CNT633、634の隙間が導電膜で満たされている。

【0084】

次に、図6（D）に示すように、第2の導電膜エッチバックして導電性部材641、642を形成する。

【0085】

なお、本実施例においては、第2実施形態を用いて説明したが、第1、3、又は第4実施形態を用いることもできる。

【0086】

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア（導電性部材）を形成することができる。ビアは、導電膜で充填されているため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。また、ビア（導電性部材）は微細構造であり、微細加工された配線を接続することができるため、該ビアを有する半導体素子を高集積した回路、代表的には、信号線駆動回路、コントローラ、CPU、音声処理回路のコンバータ、電源回路、送受信回路、メモリ、音声処理回路のアンプ等の半導体装置を形成することができる。さらには、MPU（マイクロコンピュータ）、メモリ、I/Oインターフェースなどひとつのシステム（機能回路）を構成する回路がモノリシックに搭載され、高速化、高信頼性、低消費電力化が可能なシステムオンチップを形成することができる。

【実施例3】

【0087】

本実施例では、異なる層上に形成される配線を、選択的に形成されたCNT及びその間を充填する導電膜で形成される導電性部材で接続した、多層配線構造を有する半導体装置の例を図7に示す。

実施例1に示す工程によって、基板401上にnチャネル型TFT435及びpチャネル型TFT436を形成する。これらのTFTは、半導体領域に接続する導電性部材431、432が、CNT及びその間を満たす導電膜で形成されている。

【0088】

第1の層間絶縁膜407及び導電性部材431、432上に第2の層間絶縁膜701が形成される。第2の層間絶縁膜701としては、第1の層間絶縁膜407と同様の材料を用いて形成することができる。次に、第2の層間絶縁膜の一部をエッチングし

10

20

30

40

50

て、コンタクト孔を開口した後、第2実施形態乃至第4実施形態に示される工程で、ビアとなる導電性部材702、703を形成する。ここでは、ビアとなる導電性部材702、703は、第1実施形態の図1(A)で示される構造のものをを用いる。

【0089】

次に、第3の層間絶縁膜704を形成する。この後、第2の層間絶縁膜701、及び第3の層間絶縁膜704の一部をエッチングして、コンタクトホールの一部を開口する。この後、第2実施形態乃至第4実施形態のいずれかの工程により、ビアとなる導電性部材705を形成する。次に、第3の層間絶縁膜704上に、配線706を形成する。この後、第4の層間絶縁膜707を形成した後、第4の層間絶縁膜707の一部をエッチングして配線706の一部を露出してコンタクト孔を形成した後、同様の工程によって、ビアとなる導電性部材708及び第5の層間絶縁膜709を形成する。

10

本実施例では、導電性部材として、表面を平坦化研磨していないものを示しているが、この構造に限られず、図1(B)に示すような、表面が平坦化された構造の導電性部材を形成することもできる。

【0090】

また、本実施例では、ガラス基板上に形成されたTFTを有する多層構造の半導体装置を示したが、これに限られず、単結晶半導体基板を用いたMOSトランジスタを有する半導体装置に適応することもできる。

【0091】

20

本発明により、配線上にあるコンタクト孔において、極細炭素繊維及びその間を充填する導電層で形成されているビア(導電性部材)を形成することができる。このため、配線との接続面積を増大することが可能であり、信頼性良く配線同士を接続することができる。このため、歩留まり高く半導体装置を作製することが可能である。また、ビア(導電性部材)は微細構造であり、微細加工された配線を接続することができるため、該ビアを有する半導体素子を高集積した回路を形成することができる。さらに、多層配線のビアを微細構造とすることで、さらなる素子の高集積化が可能である。

【実施例4】

【0092】

30

本実施例では、本発明を用いて形成する半導体装置の一例であるパッケージについて図8を用いて説明する。図8(A)に、ワイヤーボンディング法でチップがインターポーザに接続されている、パッケージの断面構造を表す斜視図を示す。1801はインターポーザ、1802はチップ、1803はモールド樹脂層に相当する。チップ1802はインターポーザ1801上に、マウント用の接着剤1804によりマウントされている。

【0093】

また図8(A)に示すインターポーザ1801は、溶剤ボール1805が設けられたボールグリッドアレイ型である。溶剤ボール1805は、インターポーザ1801のチップ1802がマウントされている側とは反対の側に設けられている。そしてインターポーザ1801に設けられた配線1806は、インターポーザ1805に設けられたコンタクト孔を介して、溶剤ボール1805と電氣的に接続している。

40

【0094】

なお本実施例では、チップ1802と溶剤ボール1805との電氣的な接続をするための配線1806を、インターポーザ1805のチップがマウントされている面上に設けているが、本発明で用いるインターポーザはこれに限定されない。例えば、インターポーザの内部において配線が多層化されて設けられていても良い。

【0095】

50

図8(A)では、チップ1802と配線1806とが、ワイヤ1807によって電氣的に接続されている。図8(B)に、図8(A)に示したパッケージの断面図を示す。チップ1802には実施例1又は実施例2で示される半導体素子1809が設けられており、またチップ1802のインターポーザ1801が設けられている側とは反対側に、パッド1808が設けられている。パッド1808は該半導体素子1809と電氣的に接続されている。そしてパッド1808は、インターポーザ1801に設けられた配線1806と、ワイヤ1807によって接続されている。

【0096】

1810はプリント配線基板の一部に相当し、1811はプリント配線基板1810に設けられた配線または電極に相当する。配線1806は溶剤ボール1805を介して、プリント配線基板1810に設けられた配線または電極1811に接続される。なお溶剤ボール1805と、配線または電極1811との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、アンダーフィルで圧着後の溶剤ボール間の隙間を埋めるようにし、接続部分の機械的強度や、パッケージで発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、インターポーザとチップの熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

10

【0097】

なお、本実施例においては、チップがワイヤーボンディング法によってインターポーザに接続されているパッケージを示したがこれに限られない。フリップチップ法を用いてこれらを接続しても良い。この場合、接続すべきパッドの数が増加しても、ワイヤーボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多いチップの接続に向いている。

20

【0098】

また、パッケージ内においてチップを積層してもよい。この場合、一つのパッケージ内に複数のチップを設けることができるため、パッケージ全体の大きさを抑えることができるというメリットを有している。

【0099】

さらには、複数のパッケージを積層してもよい。この構造では、パッケージごとに電氣的な検査を行い、良品だけを選別してから積層することができるので、歩留りを高めることができるというメリットを有している。

30

【0100】

本発明により、歩留まり高く高集積化された半導体装置を作製することができる。

【実施例5】

【0101】

本発明を実施して得た半導体装置を組み込むことによって様々な電子機器を作製することができる。電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。電子機器の一つである携帯電話を例に挙げ、本発明の半導体装置の一つであるパッケージが実際に電子機器に実装されている様子を図9(A)に示す。

40

【0102】

図9(A)に示す携帯電話のモジュールは、プリント配線基板816に、CPU8

50

02、電源回路803、コントローラ801、送受信回路831、メモリ811、音声処理回路829や、その他、抵抗、バッファ、容量素子等の素子が実装されている。また、パネル800がFPC808によってプリント配線基板816に実装されている。パネル800には、発光素子又は液晶表示装置が各画素に設けられた画素部805と、前記画素部805が有する画素を選択する走査線駆動回路806と、選択された画素にビデオ信号を供給する信号線駆動回路807とが設けられている。

【0103】

プリント配線基板816への電源電圧及びキーボードなどから入力された各種信号は、複数の入力端子が配置されたプリント配線基板用のインターフェース(I/F)809を介して供給される。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート810が、プリント配線基板816に設けられている。

10

【0104】

なお、本実施例ではパネル800にプリント配線基板816がFPCを用いて実装されているが、必ずしもこの構成に限定されない。COG(Chip on Glass)方式を用い、コントローラ801、音声処理回路829、メモリ811、CPU802または電源回路803をパネル800に直接実装させるようにしても良い。

【0105】

また、プリント配線基板816において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がり鈍ったりすることがある。そこで、プリント配線基板816に容量素子、バッファ等の各種素子を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がり鈍ったりするのを防ぐことができる。

20

【0106】

図9(B)に、図9(A)に示したモジュールのブロック図を示す。

【0107】

本実施例では、メモリ811としてVRAM832、DRAM825、フラッシュメモリ826などが含まれている。VRAM832にはパネルに表示する画像のデータが、DRAM825には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。メモリの容量を増加させると共に、実装面積も増加してしまう。このため、メモリは単結晶シリコンウェハで作製することが好ましい。

30

【0108】

電源回路803では、パネル800、コントローラ801、CPU802、音声処理回路829、メモリ811、送受信回路831の電源電圧が生成される。またパネルの仕様によっては、電源回路803に電流源が備えられている場合もある。電源回路は、パネル、コントローラ、CPU等に供給する電流を安定に制御する機能を有する。このための素子としては、電流を多く流すことが可能なバイポーラトランジスタが適しており、この結果、電源回路は、単結晶シリコンウェハで作製することが好ましい。

40

【0109】

CPU802は、制御信号生成回路820、デコーダ821、レジスタ822、演算回路823、RAM824、CPU用のインターフェース835などを有している。インターフェース835を介してCPU802に入力された各種信号は、一旦レジスタ822に保持された後、演算回路823、デコーダ821などに入力される。演算回路823では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ821に入力された信号はデコードされ、制御信号生成回路820に入力される。制御信号生成回路820は入力された信号に基づき、各種命令を含む信号を生成し、演算回路823において指定された場所、具体的にはメモリ811、送受信回路831、音声処理回路829、コントローラ801などに送る。CPU

50

は、結晶性半導体膜を半導体領域に用いたTFTで作製し、薄型化を図ることができる。

【0110】

メモリ811、送受信回路831、音声処理回路829、コントローラ801は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0111】

キーボード804から入力された信号は、インターフェース809を介してプリント配線基板816に実装されたCPU802に送られる。制御信号生成回路820は、キーボード804から送られてきた信号に従い、VRAM832に格納してある画像データを所定のフォーマットに変換し、コントローラ801に送付する。

10

【0112】

コントローラ801は、パネルの仕様に合わせてCPU802から送られてきた画像データを含む信号にデータ処理を施し、パネル800に供給する。またコントローラ801は、電源回路803から入力された電源電圧やCPUから入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)を生成し、パネル800に供給する。コントローラは、結晶性半導体膜を半導体領域に用いたTFTで作製することができる。

【0113】

送受信回路831では、アンテナ833において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路831において送受信される信号のうち音声情報を含む信号が、CPU802からの命令に従って、音声処理回路829に送られる。送受信回路は、高周波回路を含んでいるため、GaAs半導体基板又はシリコンウェハで作製する。

20

【0114】

CPU802の命令に従って送られてきた音声情報を含む信号は、音声処理回路829において音声信号に復調され、スピーカ828に送られる。またマイク827から送られてきた音声信号は、音声処理回路829において変調され、CPU802からの命令に従って、送受信回路831に送られる。音声処理回路は、アンプとコンバータで形成されている。アンプの特性のバラツキがスピーカから出力される音質に対して顕著となるため、アンプはばらつきの少ないシリコンウェハで作製することが好ましい。一方、コンバータは、結晶性半導体膜を半導体領域に用いたTFTで作製することができる。薄型化をはかることができる。

30

【0115】

本発明により、高集積化された半導体装置を搭載した電子機器を作製することができる。このため、搭載部品数を減らすことが可能であり、電子機器の小型化を図ることができる。

【図面の簡単な説明】

40

【0116】

【図1】本発明に係る導電性部材を説明する断面図。

【図2】本発明に係る導電性部材の作製工程を説明する断面図。

【図3】本発明に係る導電性部材の作製工程を説明する断面図。

【図4】本発明に係る導電性部材の作製工程を説明する断面図。

【図5】本発明に係るTFTの作製工程を説明する断面図。

【図6】本発明に係るMOSトランジスタの作製工程を説明する断面図。

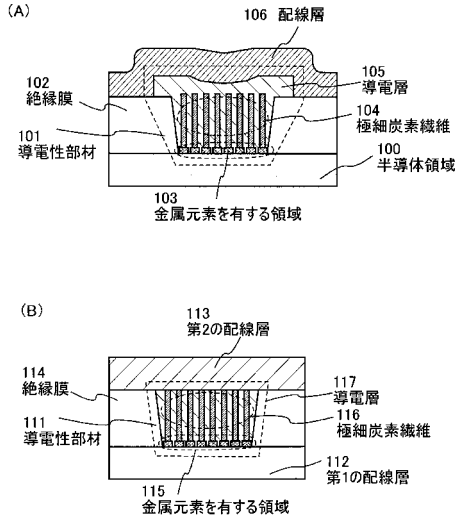
【図7】本発明に係る多層構造を有する半導体装置を説明する断面図。

【図8】本発明に係る半導体装置を説明する断面図。

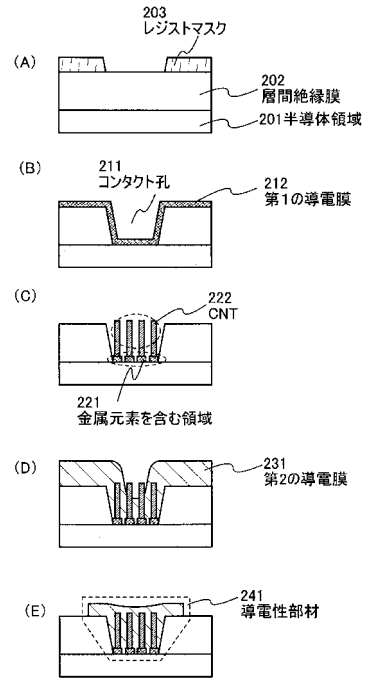
【図9】本発明に係る電子機器を説明する断面図。

50

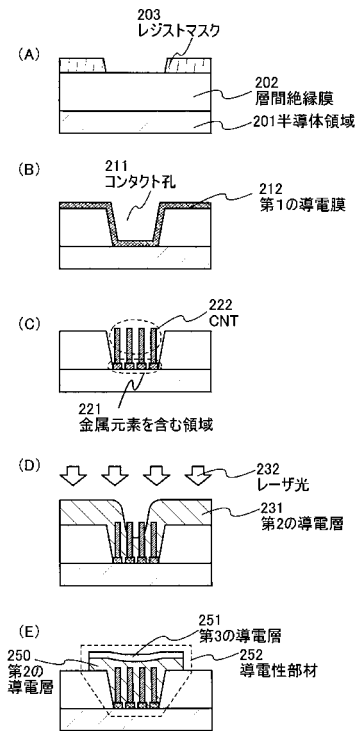
【図1】



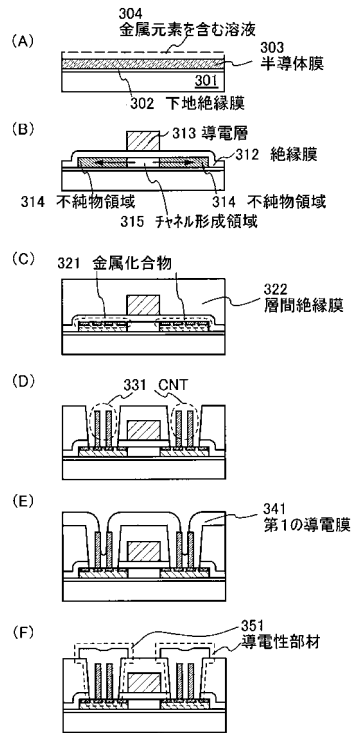
【図2】



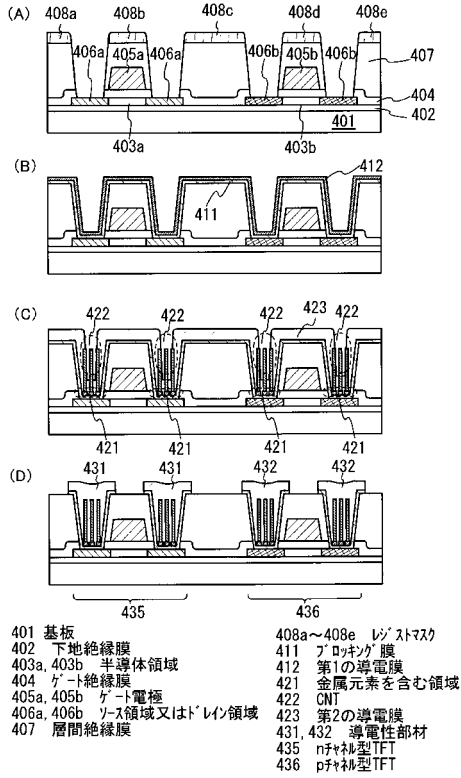
【図3】



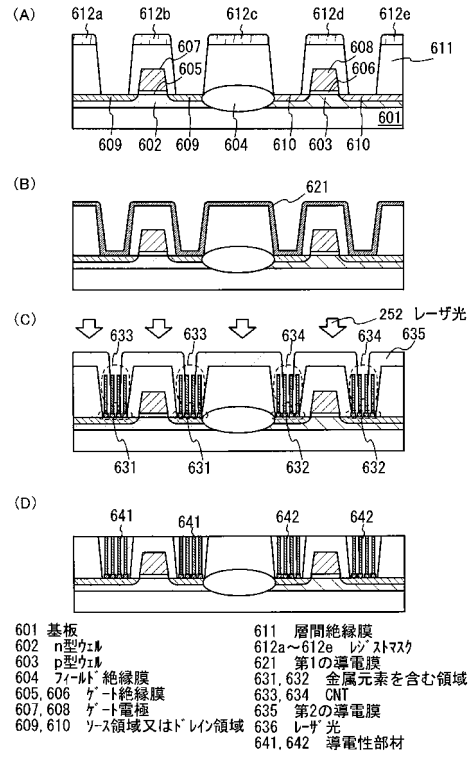
【図4】



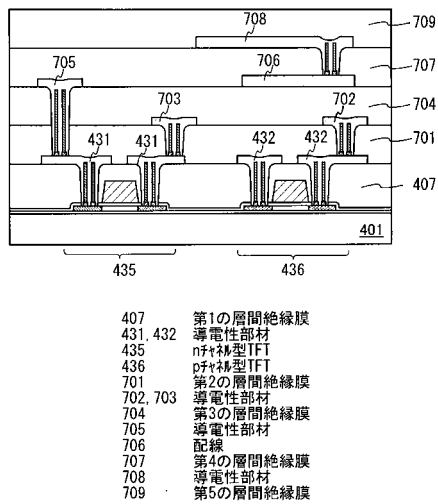
【図5】



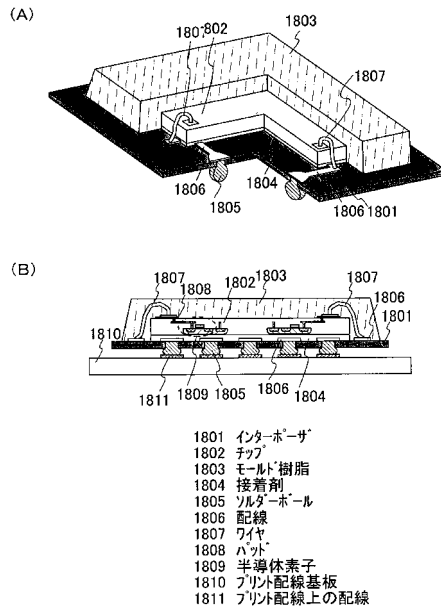
【図6】



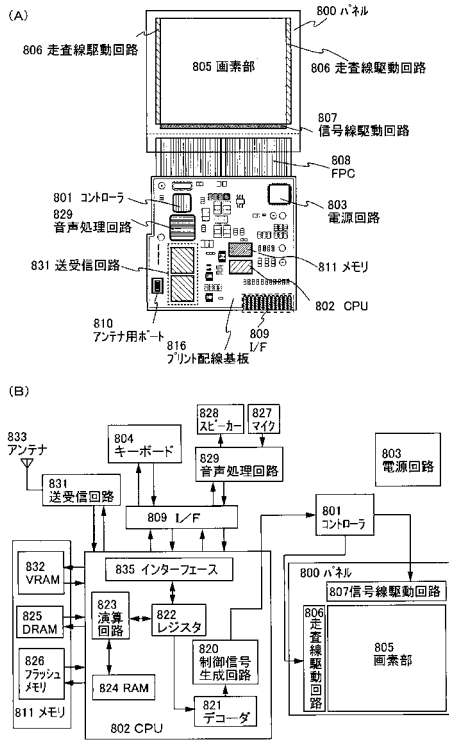
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 (2006.01) H 0 1 L 29/78 6 1 6 K
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 6 V
H 0 1 L 29/786 (2006.01) H 0 1 L 29/06 6 0 1 N
H 0 1 L 29/06 (2006.01)

(72)発明者 山口 哲司
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 河本 充雄

(56)参考文献 国際公開第2004/051726(WO, A1)
特開2003-017467(JP, A)
特開2002-009146(JP, A)
特開2002-329723(JP, A)
特開2004-156074(JP, A)
特開2003-142755(JP, A)
特表2003-523608(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 3 2 1 3
H 0 1 L 2 1 / 4 4 - 2 1 / 4 4 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 - 2 3 / 5 2 2
H 0 1 L 2 9 / 4 0 - 2 9 / 4 9
H 0 1 L 2 9 / 8 7 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 0 6
B 8 2 B 1 / 0 0
C 0 1 B 3 1 / 0 0