



(12) 发明专利

(10) 授权公告号 CN 102117606 B

(45) 授权公告日 2013. 07. 03

(21) 申请号 201010509802. 7

(22) 申请日 2010. 09. 30

(30) 优先权数据

10-2009-0134539 2009. 12. 30 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 张秀浩 金硕洙 郑泰瑛

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 谢雪闽

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

(56) 对比文件

US 2008/0001887 A1, 2008. 01. 03,

US 2008/0315912 A1, 2008. 12. 25,

JP 特开 2004-15992 A, 2004. 01. 15, 全文 .

CN 101114414 A, 2008. 01. 30, 全文 .

审查员 晏静文

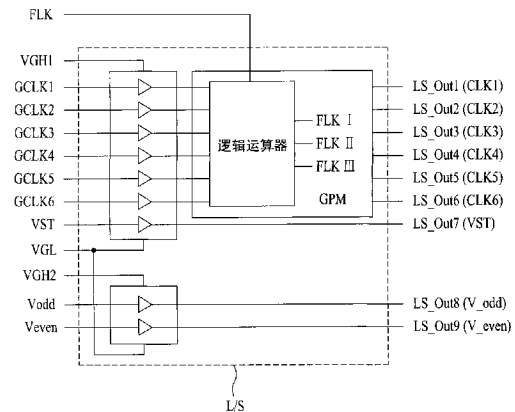
权利要求书1页 说明书6页 附图7页

(54) 发明名称

用于驱动液晶显示装置的电路

(57) 摘要

一种用于驱动液晶显示装置的电路包括具有显示图像的多个像素区域的液晶面板 ;产生一个闪烁防止信号和多个时钟信号和栅极控制信号以控制栅极驱动器的驱动时序时序控制器 ;对来自时序控制器的闪烁防止信号和时钟信号进行逻辑运算以产生多个闪烁防止信号、并根据由此产生的多个闪烁防止信号的每一个对来自时序控制器的栅极高电压进行调制以产生多个经调制的栅极导通电压的栅极脉冲调制单元 ;根据来自栅极脉冲调制单元的多个经调制的栅极导通电压和来自时序控制器的栅极低电压而改变来自时序控制器的多个时钟信号以产生多个经电平转换和调制的时钟信号的电平转换器单元 ;及根据多个经电平转换和调制的时钟信号驱动液晶面板上的栅极线的栅极驱动器。



1. 一种用于驱动液晶显示装置的电路包括：

具有用于显示图像的多个像素区域的液晶面板；

时序控制器，其用于产生一个闪烁防止信号 FLK 和多个时钟信号和栅极控制信号，以控制栅极驱动器的驱动时序；

栅极脉冲调制单元，其用于对来自所述时序控制器的所述一个闪烁防止信号 FLK 和所述多个时钟信号进行逻辑运算以产生多个闪烁防止信号，并根据由此产生的所述多个闪烁防止信号的每一个对来自所述时序控制器的栅极高电压进行调制，以产生多个经过调制的栅极导通电压；

电平转换器单元，其用于根据来自所述栅极脉冲调制单元的所述多个经过调制的栅极导通电压、以及来自所述时序控制器的栅极低电压，改变来自所述时序控制器的所述多个时钟信号，以产生多个经过电平转换和调制的时钟信号；以及

用于根据多个经过电平转换和调制的时钟信号驱动所述液晶面板上的栅极线的栅极驱动器。

2. 如权利要求 1 所述的电路，其中所述栅极脉冲调制单元包括逻辑运算器，其在四相位驱动的情况下，对来自所述时序控制器的所述一个闪烁防止信号 FLK 和四个时钟信号进行逻辑运算以产生两个闪烁防止信号，或者在六相位驱动的情况下，对来自所述时序控制器的所述一个闪烁防止信号 FLK 和六个时钟信号进行逻辑运算以产生三个闪烁防止信号。

3. 如权利要求 2 所述的电路，其中所述逻辑运算器在六相位驱动的情况下包括：

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及第一和第三时钟信号 GCLK1 和 GCLK3、并对其进行逻辑运算以产生 FLK1 信号的第一“与”门；

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及第二和第四时钟信号 GCLK2 和 GCLK4、并对其进行逻辑运算以产生 FLK2 信号的第二“与”门；

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及第三和第五时钟信号 GCLK3 和 GCLK5、并对其进行逻辑运算以产生 FLK3 信号的第三“与”门；

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及第四和第六时钟信号 GCLK4 和 GCLK6、并对其进行逻辑运算以产生 FLK4 信号的第四“与”门；

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及所述第一和第五时钟信号 GCLK1 和 GCLK5、并对其进行逻辑运算以产生 FLK5 信号的第五“与”门；

用于接收来自所述时序控制器的所述一个闪烁防止信号 FLK 以及所述第二和第六时钟信号 GCLK2 和 GCLK6、并对其进行逻辑运算以产生 FLK6 信号的第六“与”门；

用于对来自所述第一“与”门和所述第四“与”门的信号 FLK1 和 FLK4 进行逻辑运算以转发第一闪烁防止信号 FLK I 的第一“或”门；

用于对来自所述第二“与”门和所述第五“与”门的信号 FLK2 和 FLK5 进行逻辑运算以转发第二闪烁防止信号 FLK II 的第二“或”门；

用于对来自所述第三“与”门和所述第六“与”门的信号 FLK3 和 FLK6 进行逻辑运算以转发第三闪烁防止信号 FLK III 的第三“或”门。

## 用于驱动液晶显示装置的电路

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2009 年 12 月 30 日提交的韩国专利申请 No. 10-2009-0134539 的权益, 此处通过参考将其并入, 如同全文在此阐述一样。

### 技术领域

[0003] 本发明涉及一种在对 GIP(板内栅极) 面板进行交叠驱动 (overlapping driving) 时减少在产生栅极脉冲调制信号时的闪烁的技术, 并且特别是, 涉及用于驱动液晶显示装置的电路, 其中, 不使用多重闪烁防止信号 FLK, 而是仅使用单个闪烁防止信号 FLK, 来减少时序控制器和电平转换器的管脚数量。

### 背景技术

[0004] 现有技术的液晶显示装置通过利用电场控制液晶的光透射率来显示画面。为了这样做, 液晶显示装置提供有具有像素区域矩阵的液晶面板和用于驱动液晶面板的驱动电路。

[0005] 液晶面板具有彼此垂直设置的多条栅极线和多条数据线。像素区域被设置在栅极线和数据线彼此垂直交叉所限定的每个区域处。像素电极和公共电极形成在液晶面板上, 用于将电场施加到像素区域。

[0006] 通过作为开关器件的薄膜晶体管 TFT, 将每个像素电极连接到数据线。薄膜晶体管具有栅极、源极和漏极。薄膜晶体管响应于通过栅极线施加到栅极上的扫描脉冲而导通, 并将数据线上的数据信号提供到像素电极。

[0007] 同时, 驱动电路具有用于驱动栅极线的栅极驱动器, 和用于驱动数据线的的数据驱动器, 用于提供控制信号以控制栅极驱动器和数据驱动器的时序控制器, 以及用于将各种驱动电压提供到液晶显示装置的电源单元。

[0008] 时序控制器控制栅极驱动器和数据驱动器的驱动时序, 并将像素数据信号提供到数据驱动器。电源单元接收电压并拉高 / 拉低该电压, 以产生液晶显示装置所需要的驱动电压, 诸如公共电压 VCOM, 栅极高电压信号 VGH, 栅极低电压信号 VGL 等。栅极驱动器相继地将扫描脉冲提供到栅极线, 以用于相继地驱动液晶面板上的液晶单元的一条线部分。每当将扫描脉冲提供到栅极线之一时, 数据驱动器就将像素电压提供到每条数据线。

[0009] 基于此, 液晶显示装置通过根据像素电压而施加在像素电极和公共电极之间的电场, 单独地控制各液晶单元的光透射率, 由此显示画面。

[0010] 在这一实例中, 如所描述的, 栅极驱动器提供有移位寄存器, 以用于相继地转送扫描脉冲。近年来的趋势是广泛地使用 GIP(板内栅极) 面板, 其中栅极驱动器是被形成在面板上。

[0011] 同时, 液晶显示装置具有这样的问题, 即, 由于闪烁 (flicker) 而导致其画面质量劣化, 该闪烁是由于以下两种原因造成的, 其一是由于在薄膜晶体管中具有不同寄生电容的各像素处进行充电的不同正负像素电压、与在薄膜晶体管截止时的栅极电压之间的差

异,其二是由于液晶显示装置增大的尺寸引起栅极线上的增大的负载(电阻和电容),这增大了扫描脉冲的延时,导致薄膜晶体管对数据进行充电的时间不足。

[0012] 因此,为了解决这一问题,使用了 GPM(栅极脉冲调制),其与具有彼此交叠的部分的至少两个时钟信号(两相位非交叠时钟)同步地操作。

[0013] 图 1 示出现有技术的栅极脉冲调制信号产生电路的框图。

[0014] 参考图 1,现有技术的栅极脉冲调制信号产生电路具有分别用于接收闪烁防止信号 FLK1 和 FLK2、并产生栅极导通电压调制信号 VGHM1 和 VGHM2 的栅极脉冲调制单元 41A 和 41B,分别用于接收来自时序控制器的时钟信号 (ICLK1 和 ICLK3) 以及 (ICLK2 和 ICLK4)、并产生 2H 间隔的 VGL ~ VGH 电平调制的奇线和偶线时钟信号 (CLK1 和 CLK3) 以及 (CLK2 和 CLK4) 的电平转换器 42A 和 42B,以及用于接收来自电平转换器 42A 和 42B 的时钟信号 (CLK1 和 CLK3) 以及 (CLK2 和 CLK4)、以及产生经过调制的栅极输出信号 (GATE OUTPUT N-1)、(GATE OUTPUT N)、(GATE OUTPUT N+1) 并将它们转发到液晶面板的栅极线的 GIP 43。GIP 43 是内建型栅极输出电路。也就是说,GIP 43 被形成在液晶面板内,而余下的元件被形成在液晶面板的外部。

[0015] 下面将描述现有技术的栅极脉冲调制信号产生电路的操作。

[0016] 图 2A ~ 2G 示出用于显示现有技术的交叠驱动中的栅极脉冲调制信号的产生步骤的波形,图 3A ~ 3D 分别示出现有技术的时钟信号的波形,而图 3E ~ 3H 分别示出现有技术的经过电平转换和调制的时钟信号的波形。

[0017] 栅极脉冲调制单元 41A 接收如图 2A 所示的闪烁防止信号 FLK1 以及来自时序控制器的栅极高电压 VGH,并产生如图 2B 所示的栅极导通电压调制信号 VGHM1。栅极高电压 VGH 是被设置为比 TFT 的阈值电压更高的扫描脉冲的高逻辑电压。

[0018] 类似地,栅极脉冲调制单元 41B 接收如图 2C 所示的闪烁防止信号 FLK2 以及来自时序控制器的栅极高电压 VGH,并产生如图 2D 所示的栅极导通电压调制信号 VGHM2。

[0019] 电平转换器 42A 接收来自栅极脉冲调制单元 41A 的栅极导通电压调制信号 VGHM1、来自时序控制器(未示出)的如图 3A 和 3C 所示的时钟信号 (ICLK1 和 ICLK3),并产生如图 3E 和 3G 所示的经过电平转换和调制的奇线时钟信号 (CLK1 和 CLK3)。栅极低电压 VGL 是被设置为 TFT 的截止电压的扫描脉冲的低逻辑电压。

[0020] 类似的,电平转换器 42B 接收来自栅极脉冲调制单元 41B 的栅极导通电压调制信号 VGHM2、来自时序控制器的如图 3B 和 3D 所示的时钟信号 (ICLK2 和 ICLK4),并产生如图 3F 和 3H 所示的经过电平转换和调制的偶线时钟信号 (CLK2 和 CLK4)。

[0021] GIP 43 是被内建在面板中的栅极驱动器 IC,其接收来自电平转换器 42A 和 42B 的四个相位时钟信号 CLK1、CLK2、CLK3 和 CLK4 以及 VGH 和 VGL 电压,产生如图 2E、2F 和 2G 中所示的经过调制的栅极输出信号 (GATEOUTPUT N-1)、(GATE OUTPUT N) 和 (GATE OUTPUT N+1),并将它们转发到液晶面板的栅极线。

[0022] 如果将交叠驱动用作栅极驱动,则由于栅极输出信号具有 2H 的间隔,因此栅极调制信号无法通过利用一个时钟信号 FLK 而被转发到第 2n 条(偶数)线和第 2n+1 条(奇数)线。因此,在现有技术中,通过利用不同相位的两个时钟信号 FLK 来产生两个栅极导通电压调制信号 VGHM1 和 VGHM2,并将栅极导通电压调制信号 VGHM1 施加到奇数线,而将栅极导通电压调制信号 VGHM2 施加到偶数线,以便即使在交叠驱动的情况下也能够输出栅极调

制信号。

[0023] 正如所述,为了在 GIP 液晶显示装置中实现交叠驱动的栅极脉冲调制,需要多个时钟信号 FLK。也就是说,对于四相位驱动,需要两个闪烁防止信号 FLK(见图 1),而对于六相位驱动,则需要三个闪烁防止信号 FLK。

[0024] 也就是说,图 4 示出用于解释在现有技术中仅使用一个闪烁防止信号 FLK 的情况下栅极脉冲调制的问题的时序图。

[0025] 参考图 4,在仅使用一个闪烁防止信号 FLK 的情况下,在经过调制的栅极输出信号 (GATE OUTPUT N) 和 (GATE OUTPUT N+1) 上发生突然的下降 (dip),导致液晶显示装置的驱动稳定性变差。

[0026] 并且,对于六相位驱动,需要三个闪烁防止信号 FLK。

[0027] 图 5 示出用于六相位驱动的现有技术电平转换器的框图。

[0028] 图 5 示出将栅极脉冲调制单元合并到电平转换器中的情况。

[0029] 三个闪烁防止信号 FLK1、FLK2 和 FLK3 从时序控制器(未示出)被转发到栅极脉冲调制单元 GPM,并且栅极高信号 VGH1 和 VGH2 以及六个时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6 被转发到电平转换器 L/S。

[0030] 由于需要时序控制器来将三个闪烁防止信号 FLK1、FLK2 和 FLK3 和六个时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6 施加到电平转换器 L/S,因此增加了时序控制器和电平转换器的输入/输出管脚的数量。

## 发明内容

[0031] 因此,本发明涉及一种用于驱动液晶显示装置的电路。

[0032] 本发明的目的是提供一种用于驱动液晶显示装置的电路,其中通过从 GIP 液晶面板内的时序控制器转发一个闪烁防止信号的栅极脉冲调制来对液晶显示装置进行驱动,以减少时序控制器和电平转换器的输入/输出管脚的数量。

[0033] 本公开的其他优点、目标和特征将部分地在随后的说明书中阐述,并且所属领域普通技术人员通过对本发明的实践将部分地能够理解或者可以学到。通过在说明书文字部分及其权利要求所指出的以及附图,可以实现和达到本发明的目的和其他优点。

[0034] 为了实现这些目标和其他优点并且基于本发明的目的,如此处具体化和宽泛描述的,一种用于驱动液晶显示装置的电路包括具有用于显示图像的多个像素区域的液晶面板;时序控制器,其用于产生一个闪烁防止信号和多个时钟信号和栅极控制信号,以控制栅极驱动器的驱动时序;栅极脉冲调制单元,其用于对来自所述时序控制器的所述一个闪烁防止信号和所述多个时钟信号进行逻辑运算以产生多个闪烁防止信号,并根据由此产生的所述多个闪烁防止信号的每一个对来自所述时序控制器的栅极高电压进行调制,以产生多个经过调制的栅极导通电压;电平转换器单元,其用于根据来自所述栅极脉冲调制单元的所述多个经过调制的栅极导通电压、以及来自所述时序控制器的栅极低电压,改变来自所述时序控制器的所述多个时钟信号,以产生多个经过电平转换和调制的时钟信号;以及用于根据多个经过电平转换和调制的时钟信号驱动所述液晶面板上的栅极线的栅极驱动器。

[0035] 由此,本发明的用于驱动液晶显示装置的电路具有如下优点。

[0036] 也就是说,由于不使用多重闪烁防止信号 FLK,而是使用单个闪烁防止信号 FLK,

因而能够减少时序控制器和电平转换器的输入 / 输出管脚的数量。

[0037] 应当理解, 本发明前面的一般描述和下面的详细描述都是示范性和解释性的, 并且意图是提供对于所请求保护的发明的进一步解释。

#### 附图说明

[0038] 被包含以提供对所公开内容的进一步理解并且被并入和构成本申请的一部分的附图图解了所公开内容的实施例, 并且与说明书一起用于解释所公开内容的原理。在图中:

[0039] 图 1 示出现有技术的栅极脉冲调制信号产生电路的框图。

[0040] 图 2A ~ 2G 示出用于显示现有技术的交叠驱动中的栅极脉冲调制信号的产生步骤的波形。

[0041] 图 3A ~ 3D 分别示出现有技术的时钟信号的波形, 而图 3E ~ 3H 分别示出现有技术的经过电平转换和调制的时钟信号的波形。

[0042] 图 4 示出用于解释在现有技术中仅使用一个闪烁防止信号 FLK 的情况下栅极脉冲调制的问题的时序图。

[0043] 图 5 示出用于六相位驱动的现有技术的电平转换器的框图。

[0044] 图 6 示出根据本发明的优选实施例的液晶显示装置中的电平转换器的框图。

[0045] 图 7 示出图 6 中的栅极脉冲调制单元 GPM 中的逻辑运算器的细节。

[0046] 图 8 示出根据本发明的优选实施例的使栅极脉冲调制单元 GPM 合并于其内的电平转换器的脉冲的时序图。

#### 具体实施方式

[0047] 现在详细参考本发明的特定实施例, 其实例在附图中示出。在任何可能的情况下, 在全部图中使用相同的参考数字指示相同或类似的部件。

[0048] 由于本发明的液晶面板、栅极驱动器和数据驱动器与现有技术的相同, 因此省略了这些部件的细节描述, 并且本发明的说明将焦点集中在时序控制器、栅极脉冲调制单元和电平转换器。

[0049] 图 6 示出根据本发明优选实施例的液晶显示装置的驱动器 ( 电平转换器 ) 的框图, 而图 7 示出在图 6 中的栅极脉冲调制单元 GPM 中的逻辑运算器的细节。

[0050] 类似的, 图 6 也示出了对于六相位驱动, 将栅极脉冲调制单元合并到电平转换器中的情况。

[0051] 也就是说, 将一个闪烁防止信号 FLK 从时序控制器 ( 未示出 ) 转发到栅极脉冲调制单元 GPM。将余下的栅极高电压 VGH1 和 VGH2、栅极低电压 VGL 以及六个时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6 转发到电平转换器 L/S。

[0052] 由此, 栅极脉冲调制单元 GPM 包括用于从时序控制器接收所述一个闪烁防止信号 FLK 和六个时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6、并对它们进行逻辑运算以额外产生三个闪烁防止信号的逻辑运算器。

[0053] 也就是说, 参考图 7, 该逻辑运算器包括用于从时序控制器接收所述一个闪烁防止信号 FLK 以及第一和第三时钟信号 GCLK1 和 GCLK3、并对其进行逻辑运算以产生 FLK1 信号

的第一“与”门 AND1,用于从时序控制器接收所述一个闪烁防止信号 FLK 以及第二和第四时钟信号 GCLK2 和 GCLK4、并对其进行逻辑运算以产生 FLK2 信号的第二“与”门 AND2,用于从时序控制器接收所述一个闪烁防止信号 FLK 以及第三和第五时钟信号 GCLK3 和 GCLK5、并对其进行逻辑运算以产生 FLK3 信号的第三“与”门 AND3,用于从时序控制器接收所述一个闪烁防止信号 FLK 以及第四和第六时钟信号 GCLK4 和 GCLK6、并对其进行逻辑运算以产生 FLK4 信号的第四“与”门 AND4,用于从时序控制器接收所述一个闪烁防止信号 FLK 以及第一和第五时钟信号 GCLK1 和 GCLK5、并对其进行逻辑运算以产生 FLK5 信号的第五“与”门 AND5,用于从时序控制器接收所述闪烁防止信号 FLK 以及第二和第六时钟信号 GCLK2 和 GCLK6、并对其进行逻辑运算以产生 FLK6 信号的第六“与”门 AND6,用于对来自第一“与”门 AND1 和第四“与”门 AND4 的信号 FLK1 和 FLK4 进行逻辑运算以产生第一闪烁防止信号 FLK I 的第一“或”门 OR1,用于对来自第二“与”门 AND2 和第五“与”门 AND5 的信号 FLK2 和 FLK5 进行逻辑运算以产生第二闪烁防止信号 FLK II 的第二“或”门 OR2,以及用于对来自第三“与”门 AND3 和第六“与”门 AND6 的信号 FLK3 和 FLK6 进行逻辑运算以产生第三闪烁防止信号 FLK III 的第三“或”门 OR3。

[0054] 尽管参考图 6 和 7 描述了六相位驱动,但是明显的,在四相位驱动的情况下,时钟信号是四个,逻辑运算器产生两个闪烁防止信号。

[0055] 将描述本发明的栅极脉冲调制单元 GPM 的操作。

[0056] 图 8 示出根据本发明优选实施例的将栅极脉冲调制单元 GPM 合并于其内的电平转换器的脉冲的时序图。

[0057] 时序控制器转发所述一个闪烁防止信号 FLK、起始脉冲 VST、第一至第六时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6、栅极高电压 VGH1 和 VGH2、以及栅极低电压 VGL,并由电平转换器 L/S 接收它们。

[0058] 所述一个闪烁防止信号 FLK 具有固定周期的正弦波形,并且所述第一至第六时钟信号彼此重叠,具有偏移的相位并被相继地转发。

[0059] 因此,在栅极脉冲调制单元 GPM 中的逻辑运算器对所述闪烁防止信号 FLK 和第一至第六时钟信号 GCLK1、GCLK2、GCLK3、GCLK4、GCLK5 和 GCLK6 进行逻辑乘积和逻辑求和,以产生用于六相位驱动的第一、第二和第三闪烁防止信号 FLK I、FLK II 和 FLK III。

[0060] 栅极脉冲调制单元 GPM 接收由此产生的所述第一、第二和第三闪烁防止信号 FLK I、FLK II 和 FLK III 以及栅极高电压 VGH1,并产生经过调制的栅极导通电压 GPM1、GPM2 和 GPM3。

[0061] 也就是说,通过利用第一闪烁防止信号 FLK I 产生经过调制的第一栅极导通电压 GPM1,通过利用第二闪烁防止信号 FLK II 产生经过调制的第二栅极导通电压 GPM2,并且通过利用第三闪烁防止信号 FLK III 产生经过调制的第三栅极导通电压 GPM3。也就是说,如图 2 所示,分别与各闪烁防止信号同步地产生所述经过调制的栅极导通电压。

[0062] 然后,电平转换器 L/S 接收来自栅极脉冲调制单元 GPM 的第一栅极导通电压调制信号 GHM1、以及来自时序控制器(未示出)的第一和第四时钟信号 GCLK1 和 GCLK4 以及栅极低电压 VGL,以产生经过电平转换和调制的第一和第四时钟信号 CLK1 和 CLK4,接收来自栅极脉冲调制单元 GPM 的第二栅极导通电压调制信号 GHM2、以及来自时序控制器(未示出)的第二和第五时钟信号 GCLK2 和 GCLK5 以及栅极低电压 VGL,以产生经过电平转换和调制的

第二和第五时钟信号 CLK2 和 CLK5, 并且接收来自栅极脉冲调制单元 GPM 的第三栅极导通电压调制信号 GHM3、以及来自时序控制器 (未示出) 的第三和第六时钟信号 GCLK3 和 GCLK6 以及栅极低电压 VGL, 以产生经过电平转换和调制的第三和第六时钟信号 CLK3 和 CLK6 (见图 3)。

[0063] 如已经描述的, 本发明的用于驱动显示装置的电路具有如下优点。

[0064] 由于栅极脉冲调制单元 GPM 根据从时序控制器接收到的仅一个闪烁防止信号而产生三个闪烁防止信号, 以允许驱动采用栅极脉冲调制单元 GPM 的四或六相位驱动的液晶显示装置, 因此能够减少时序控制器和电平转换器 (栅极脉冲调制单元) 的输入 / 输出管脚的数量。

[0065] 本领域技术人员应当清楚, 在不脱离本发明的精神或范围的情况下, 可以对本发明进行各种改进和变形。由此, 倾向于使本发明覆盖在所附的权利要求及其等价物的范围内它们所提供的本发明的改进和变形。



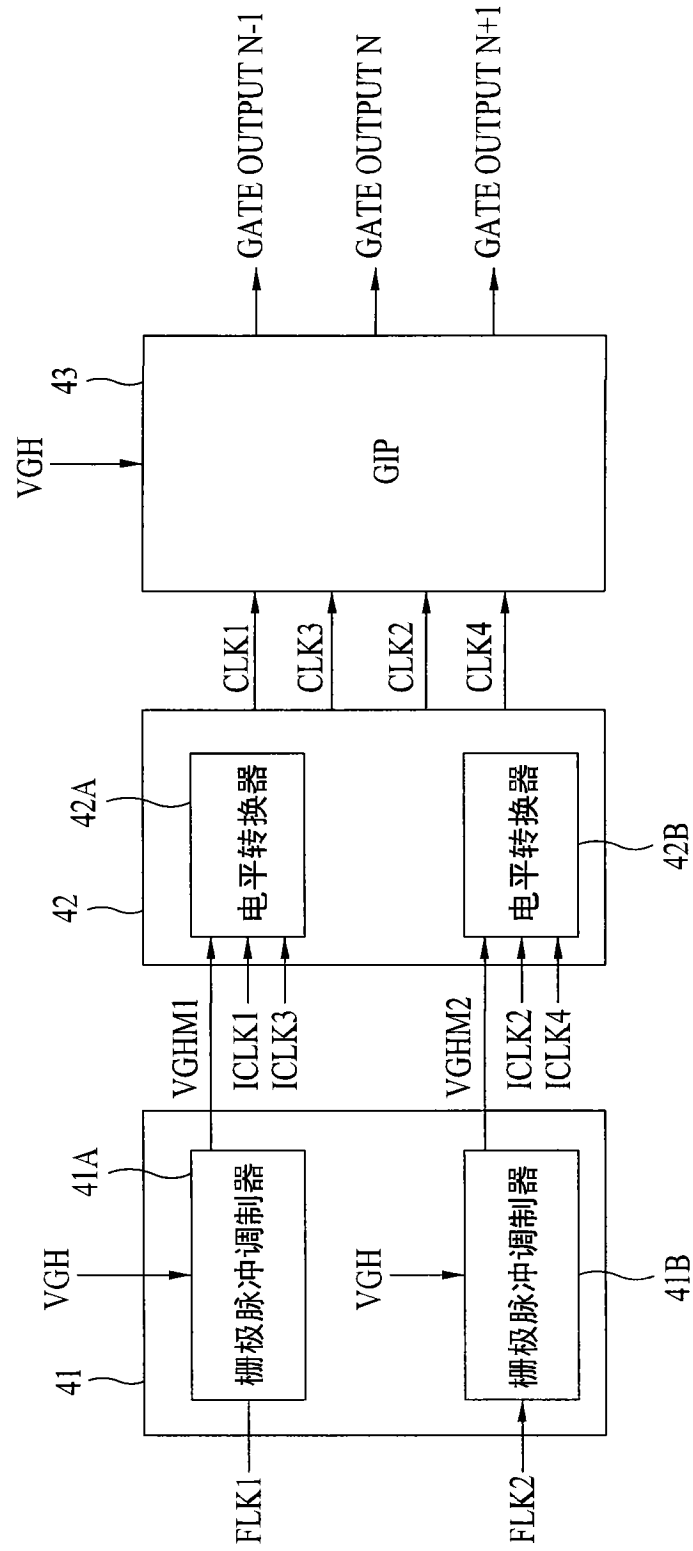


图 1

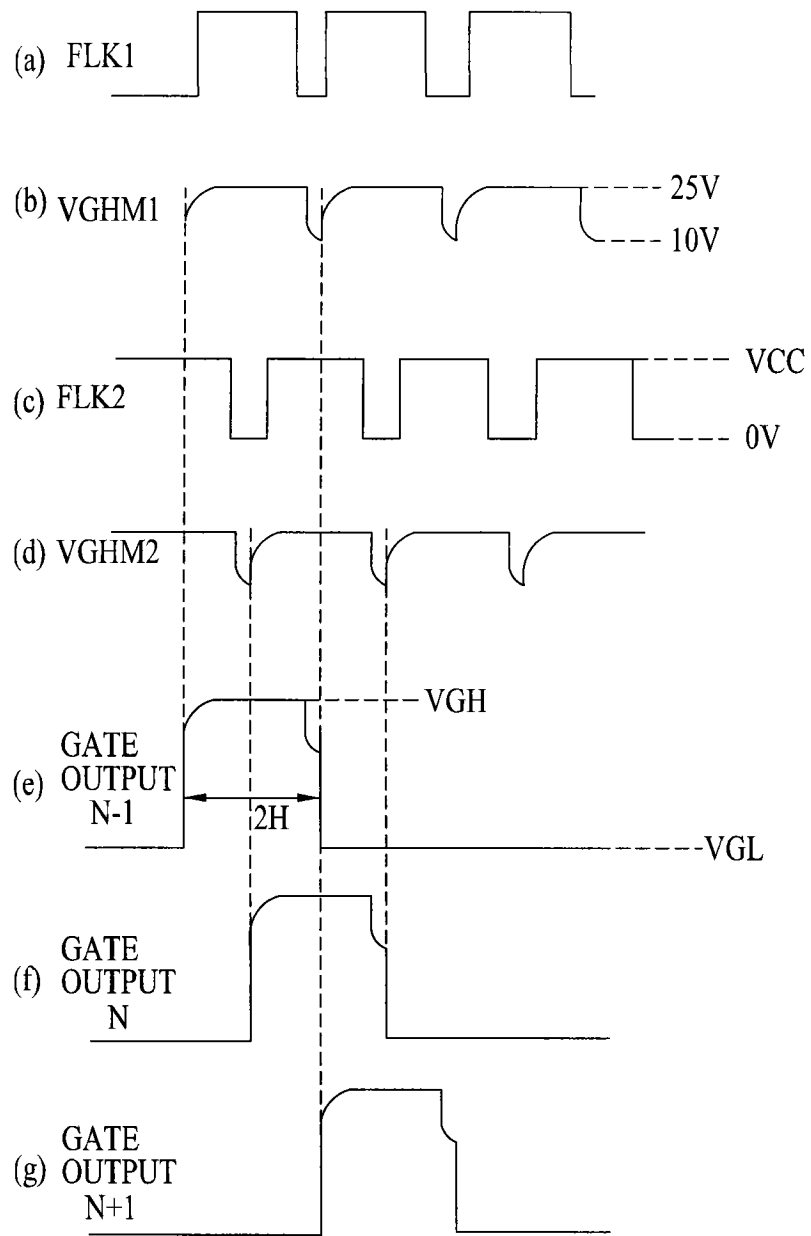


图 2

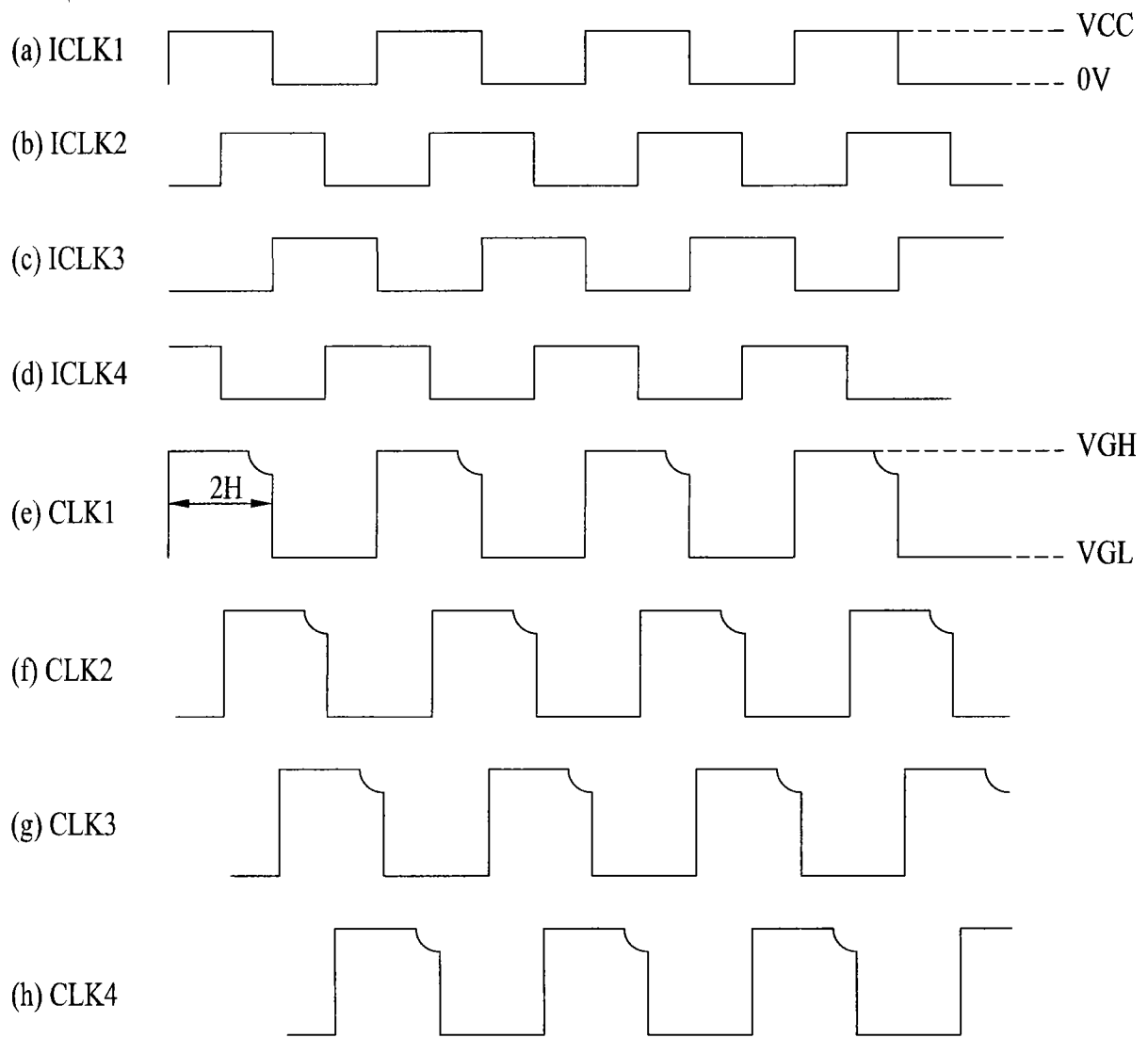


图 3

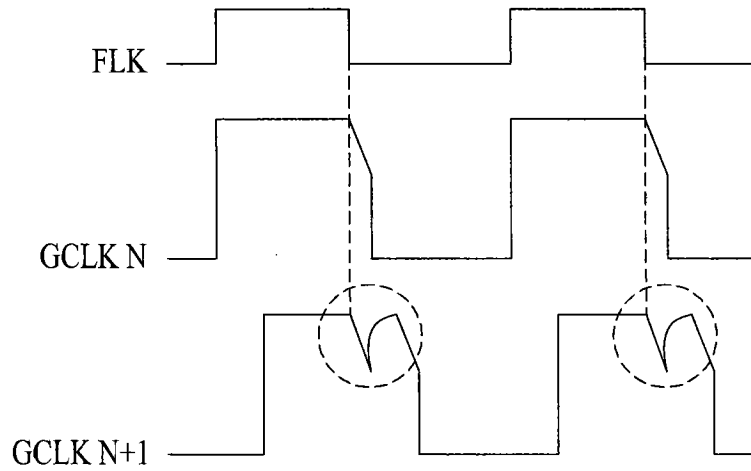


图 4

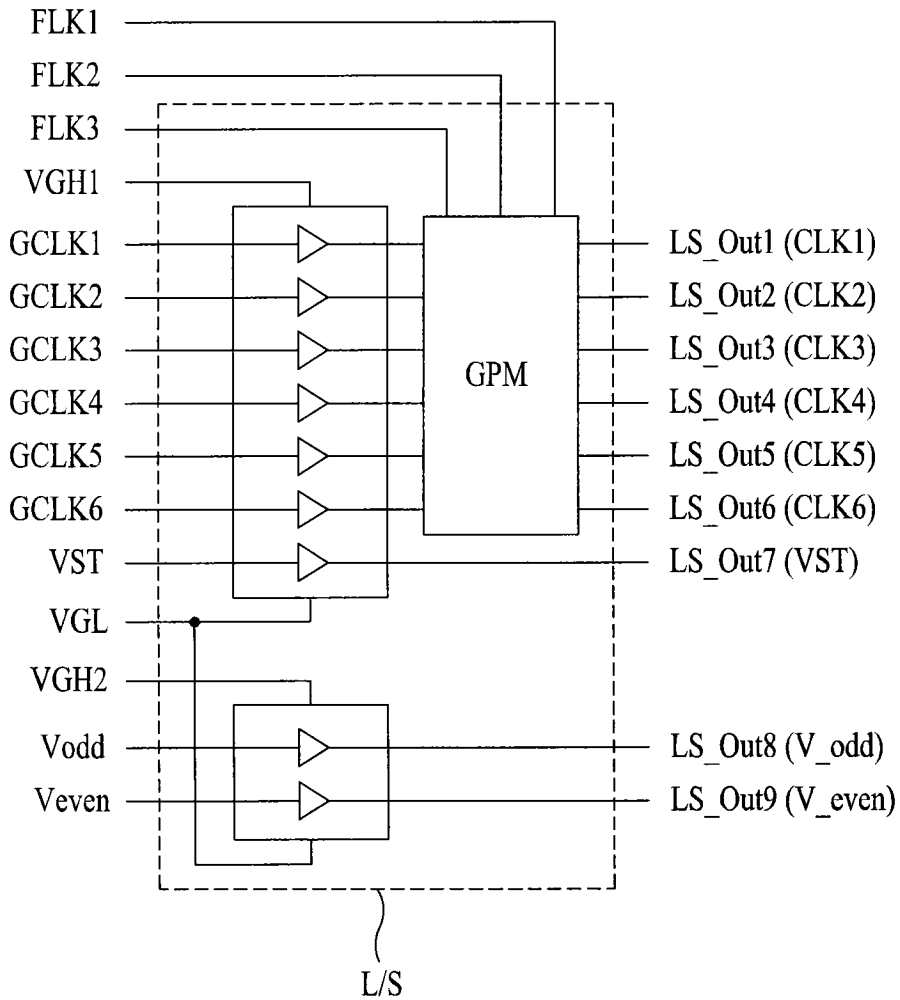


图 5

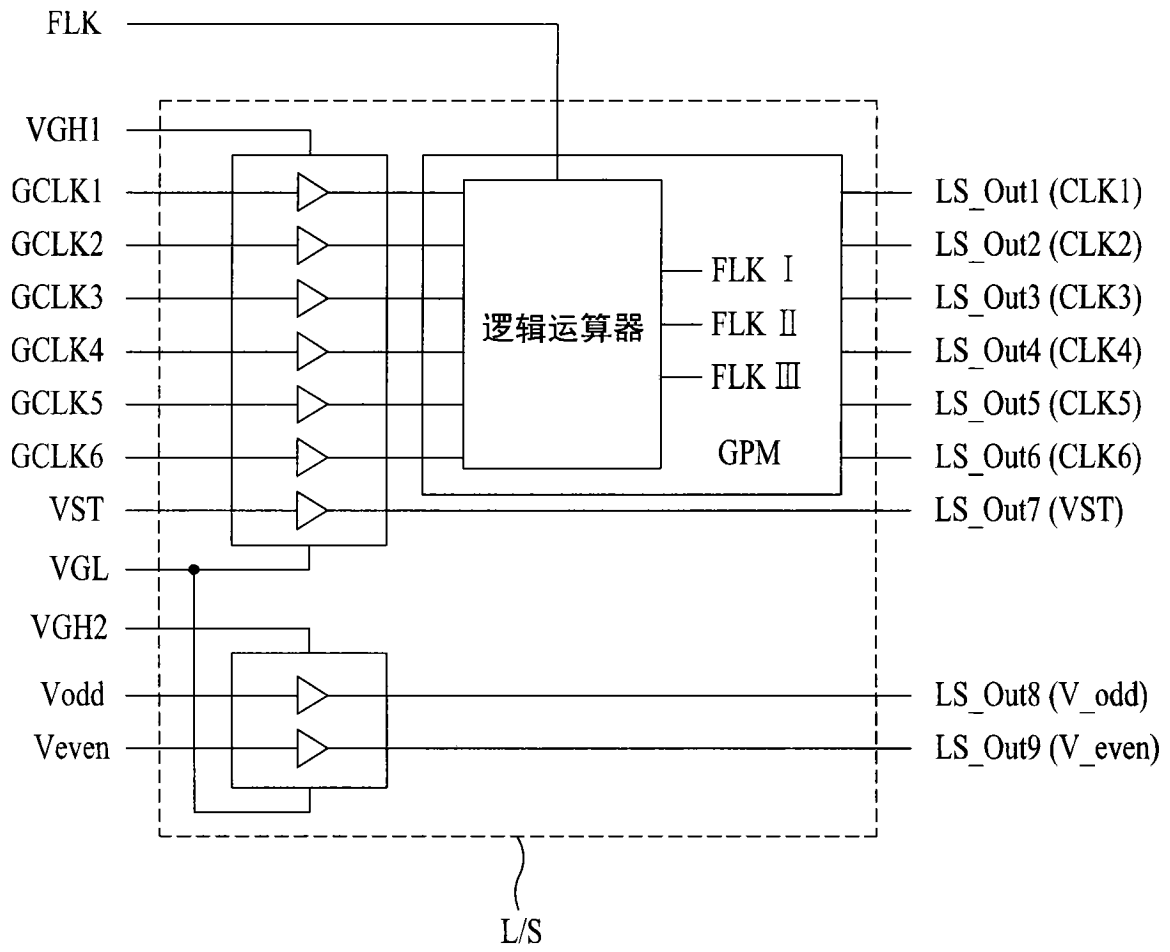


图 6

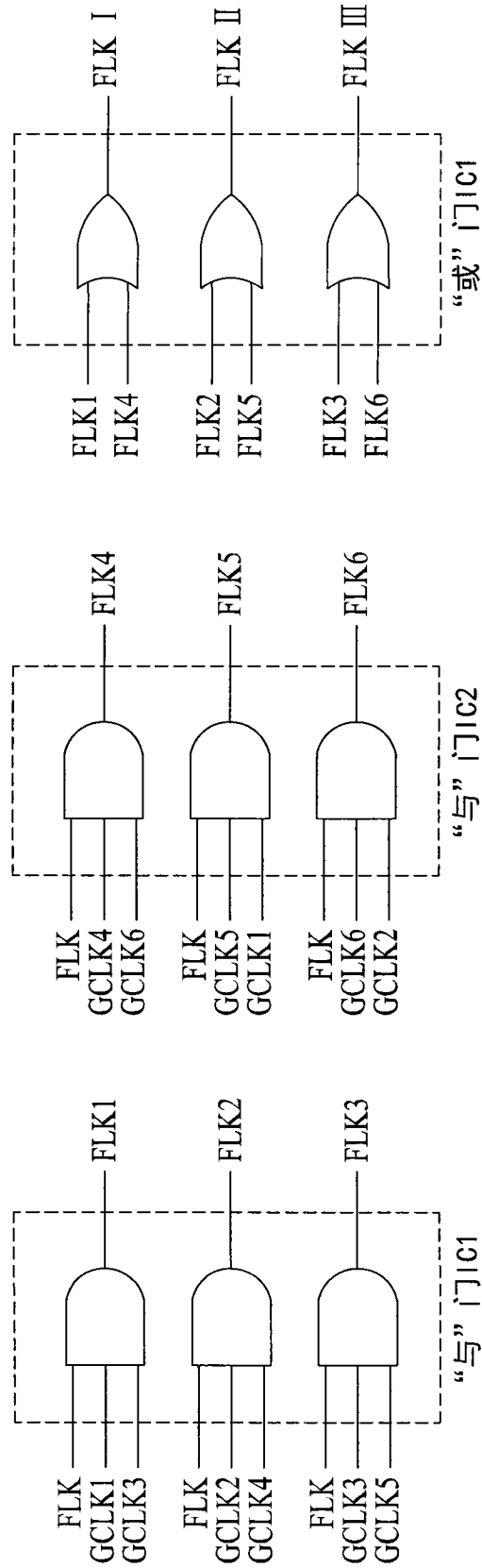


图 7

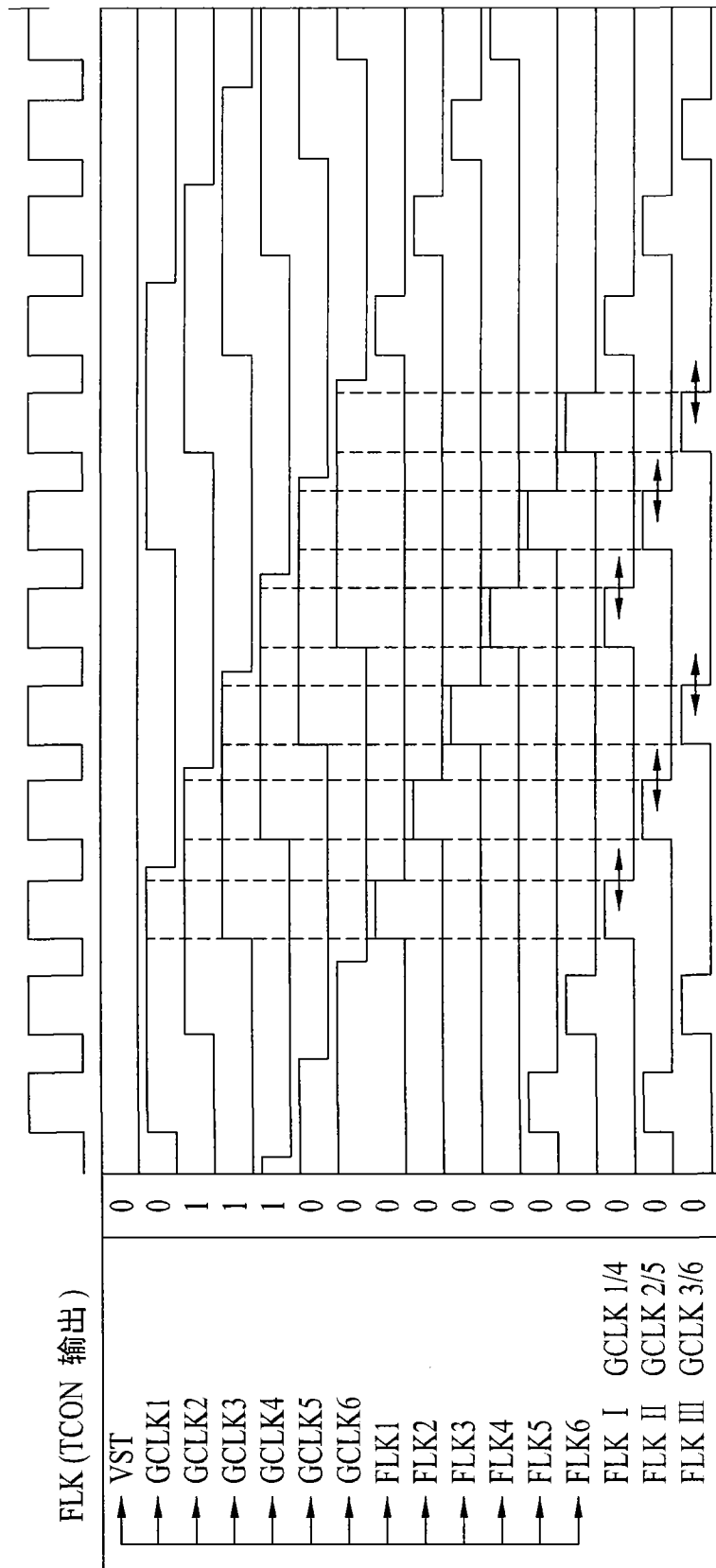


图 8