



(12) 发明专利

(10) 授权公告号 CN 102956713 B

(45) 授权公告日 2016. 03. 09

(21) 申请号 201210401275. 7

审查员 刘玮德

(22) 申请日 2012. 10. 19

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 刘翔 王刚

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 2012112184 A1, 2012. 05. 10,

CN 102646699 A, 2012. 08. 22,

CN 102033343 A, 2011. 04. 27,

CN 1897269 A, 2007. 01. 17,

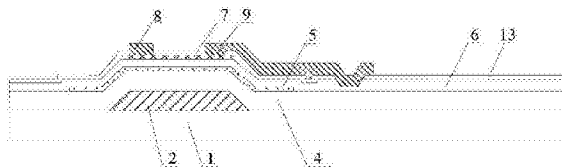
权利要求书2页 说明书9页 附图4页

(54) 发明名称

一种薄膜晶体管及其制作方法、阵列基板和显示装置

(57) 摘要

本发明公开了一种薄膜晶体管及其制作方法、阵列基板和显示装置,用以提高薄膜晶体管的电学性能,提高显示装置显示图像的画质。本发明提供的薄膜晶体管包括:基板、形成在所述基板上的栅极、源极、漏极、半导体层和半导体层保护层;以及形成在所述基板上位于所述栅极和半导体层之间的第一栅极保护层,和位于所述第一栅极保护层和所述半导体层之间的栅极隔离层;半导体层保护层位于半导体层与源极和漏极之间;所述源极和漏极通过过孔与所述半导体层相连。



1. 一种薄膜晶体管,其特征在于,包括:

基板、形成在所述基板上的栅极、源极、漏极、半导体层和半导体层保护层,其中所述源极、漏极分别通过所述半导体层保护层上的过孔与所述半导体层相连;以及

形成在所述基板上位于所述栅极和半导体层之间的第一栅极保护层,和位于所述第一栅极保护层和所述半导体层之间的栅极隔离层,其中,所述栅极隔离层为透明金属氧化物,所述栅极隔离层和像素电极位于同一层,且采用一次构图工艺制作而成;

半导体层保护层位于半导体层与源极和漏极之间,位于所述栅极隔离层和半导体层之间的第二栅极保护层,其中,所述第二栅极保护层的厚度小于第一栅极保护层的厚度。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述栅极隔离层在基板上的垂直投影与所述栅极在基板上的垂直投影重叠。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述栅极隔离层为导电层。

4. 根据权利要求1所述的薄膜晶体管,其特征在于,

所述栅极位于所述基板上;

所述第一栅极保护层位于所述栅极上;

所述栅极隔离层位于所述第一栅极保护层上;

所述第二栅极保护层位于所述栅极隔离层上;

所述半导体层位于所述第二栅极保护层上;

所述半导体层保护层位于所述半导体层上;

所述源极和漏极位于所述半导体层保护层上。

5. 根据权利要求1所述的薄膜晶体管,其特征在于,

所述源极和漏极位于所述基板上;

所述半导体层保护层位于所述源极和漏极上;

所述半导体层位于所述半导体层保护层上;

所述第二栅极保护层位于所述半导体层上;

所述栅极隔离层位于所述第二栅极保护层上;

所述第一栅极保护层位于所述栅极隔离层上;

所述栅极位于所述第一栅极保护层上。

6. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括:缓冲层,所述缓冲层位于所述基板上待形成薄膜晶体管各膜层的一侧。

7. 根据权利要求4所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括:钝化层,所述钝化层位于所述源极和漏极上。

8. 根据权利要求5所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括:钝化层,所述钝化层位于所述栅极上。

9. 一种阵列基板,其特征在于,包括权利要求1至8任一权项所述的薄膜晶体管。

10. 根据权利要求9所述的阵列基板,其特征在于,所述阵列基板还包括:像素电极;所述像素电极与所述栅极隔离层同层设置,且通过过孔与所述漏极相连。

11. 一种显示装置,其特征在于,包括权利要求9或10所述的阵列基板。

12. 一种薄膜晶体管的制作方法,其特征在于,包括:

形成栅极、源极、漏极和半导体层的过程,以及形成第一栅极保护层、第二栅极保护层、

栅极隔离层和半导体层保护层的过程,其中,所述源极、漏极分别通过所述半导体层保护层上的过孔与所述半导体层相连,所述第二栅极保护层的厚度小于第一栅极保护层的厚度;所述栅极隔离层为透明金属氧化物;在采用构图工艺形成所述栅极隔离层的同时,还形成与该栅极隔离层位于同一层的像素电极,所述栅极隔离层和像素电极采用一次构图工艺制作而成;

所述第一栅极保护层位于所述栅极和半导体层之间,所述第二栅极保护层位于所述栅极隔离层和半导体层之间,所述栅极隔离层位于所述第一栅极保护层和所述半导体层之间,所述半导体层保护层位于半导体层与源极和漏极之间。

13. 根据权利要求 12 所述的方法,其特征在于,形成栅极、源极、漏极和半导体层的过程,以及形成第一栅极保护层和栅极隔离层的过程,具体为:

采用构图工艺在基板上形成栅极;

采用构图工艺在形成有所述栅极的基板上形成第一栅极保护层;

采用构图工艺在形成有所述第一栅极保护层的基板上形成栅极隔离层;

采用构图工艺在形成有所述栅极隔离层的基板上形成半导体层;

采用构图工艺在形成有所述半导体层的基板上形成半导体层保护层;

采用构图工艺在所述形成有半导体层保护层的基板上形成源极和漏极。

14. 根据权利要求 12 所述的方法,其特征在于,形成栅极、源极、漏极和半导体层的过程,以及形成第一栅极保护层和栅极隔离层的过程,具体为:

采用构图工艺在基板上形成源极和漏极;

采用构图工艺在形成有所述源极和漏极的基板上形成半导体层保护层;

采用构图工艺在所述形成有半导体层保护层的基板上形成半导体层;

采用构图工艺在所述形成有半导体层的基板上形成栅极隔离层;

采用构图工艺在所述形成有栅极隔离层的基板上形成第一栅极保护层;

采用构图工艺在所述形成有第一栅极保护层的基板上形成栅极。

15. 根据权利要求 13 所述的方法,其特征在于,形成第二栅极保护层的过程,具体为:在形成栅极隔离层之后,形成半导体层之前,采用构图工艺在所述栅极隔离层上形成第二栅极保护层;所述半导体层形成在所述第二栅极保护层上。

16. 根据权利要求 14 所述的方法,其特征在于,形成第二栅极保护层的过程,具体为:在形成栅极隔离层之后,形成栅极之前,采用构图工艺在所述栅极隔离层上形成第二栅极保护层;所述栅极形成在所述第二栅极保护层上。

17. 根据权利要求 13 所述的方法,其特征在于,在形成栅极、源极、漏极和半导体层的过程,以及形成第一栅极保护层、栅极隔离层和半导体层保护层的过程之前,还包括:在所述基板上形成一层缓冲层。

18. 根据权利要求 13 所述的方法,其特征在于,还包括:

采用构图工艺在所述形成源极和漏极的基板上形成钝化层。

19. 根据权利要求 14 所述的方法,其特征在于,还包括:

采用构图工艺在所述形成栅极的基板上形成钝化层。

一种薄膜晶体管及其制作方法、阵列基板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管及其制作方法、阵列基板和显示装置。

背景技术

[0002] 在显示技术领域,平板显示装置,如液晶显示器(Liquid Crystal Display, LCD)和有机电致发光显示器(Organic Light Emitting Display, OLED),因其轻、薄、低功耗、高亮度,以及高画质等优点,在平板显示领域占据重要的地位。

[0003] 尤其是高分辨率及高画质的平板显示装置受人们青睐。目前,图像信号的延迟成为制约高分辨率及高画质平板显示装置的关键因素之一。具体地,图像信号的延迟主要由阵列基板上的栅极和栅极线决定的信号电阻和相关电容决定。在栅极扫描线打开时,像素充电,由于图像信号的延迟,某些像素充电不充分,导致图像显示画面的亮度不均匀,严重影响图像的显示质量。降低栅极和栅极线的电阻可以减小图像信号的延迟,改善图像的画质。

[0004] 目前,降低栅极和栅极线的电阻的方法为:采用电阻较低的金属 Cu 制作栅极和扫描线(也即栅极线)。但是存在以下缺点:

[0005] Cu 金属易扩散,很容易扩散到栅极保护层、半导体层、或钝化层中,严重地影响了薄膜晶体管(Thin Film Transistor, TFT)的性能。现有在沉积 Cu 金属栅极和栅极线薄膜之前先沉积一层绝缘阻挡层,阻止 Cu 离子向栅极绝缘层和半导体层扩散,但在后续加热工艺中, Cu 离子的活性增加,可以穿越绝缘阻挡层渗透到半导体层,严重影响 TFT 性能,使得图像的画质更差,甚至破坏 TFT 的正常工作。

[0006] 现有阵列基板上的 TFT 以及制作方法会引起 TFT 性能下降,图像画质较差的问题。

发明内容

[0007] 本发明实施例提供一种薄膜晶体管及其制作方法、阵列基板和显示装置,用以提高 TFT 的性能,提高图像的画质。

[0008] 为实现上述目的,本发明实施例提供的阵列基板,包括:

[0009] 基板、形成在所述基板上的栅极、源极、漏极、半导体层和半导体层保护层;以及

[0010] 形成在所述基板上位于所述栅极和半导体层之间的第一栅极保护层,和位于所述第一栅极保护层和所述半导体层之间的栅极隔离层;半导体层保护层位于半导体层与源极和漏极之间。

[0011] 本发明实施例提供一种阵列基板,包括上述薄膜晶体管。

[0012] 本发明实施例提供一种显示装置,包括所述阵列基板。

[0013] 本发明实施例提供的薄膜晶体管的制作方法,包括:

[0014] 形成栅极、源极、漏极和半导体层的过程,以及形成第一栅极保护层、栅极隔离层和半导体层保护层的过程;

[0015] 所述第一栅极保护层位于所述栅极和半导体层之间,所述栅极隔离层位于所述第一栅极保护层和所述半导体层之间,所述半导体层保护层位于半导体层与源极和漏极之间。

[0016] 本发明实施例提供的薄膜晶体管,栅极和半导体层之间设置有第一栅极保护层和栅极隔离层,由金属形成的栅极,金属离子被栅极隔离层阻挡,不会进入半导体层,半导体层的性能不会受到影响,并且,由金属制作而成的栅极电阻较小,图像信号延迟较小,图像画质较高。

附图说明

- [0017] 图 1 为本发明第一实施例提供的底栅型阵列基板结构俯视示意图；
[0018] 图 2 为图 1 所示的 TFT 在结构在 A-B 向的截面示意图；
[0019] 图 3 为图 2 所示的 TFT 具有第二栅极保护层的结构示意图；
[0020] 图 4 为图 2 所示的 TFT 具有第一过孔和第二过孔结构示意图；
[0021] 图 5 为图 2 所示的阵列基板具有像素电极的结构示意图；
[0022] 图 6 为图 5 所示的 TFT 具有第三过孔的结构示意图；
[0023] 图 7 为图 6 所示的 TFT 具有钝化层的结构示意图；
[0024] 图 8 为图 7 所示的阵列基板具有公共电极和缓冲层的结构示意图；
[0025] 图 9 为本发明第二实施例提供的顶栅型 TFT 结构示意图；
[0026] 图 10 为本发明第一实施例所示的底栅型 TFT 的制作方法流程示意图；
[0027] 图 11 为本发明第二实施例提供的顶栅型 TFT 的制作方法流程示意图。

具体实施方式

[0028] 本发明实施例提供了一种薄膜晶体管及其制作方法、阵列基板和显示装置,用以提高 TFT 的性能,提高图像的画质。

[0029] 本发明实施例提供的薄膜晶体管包括：

[0030] 基板、形成在基板上的栅极、源极、漏极、半导体层和半导体层保护层；以及

[0031] 形成在基板上位于栅极和半导体层之间的第一栅极保护层,位于所述第一栅极保护层和半导体层之间的栅极隔离层；

[0032] 半导体层保护层位于半导体层与源极和漏极之间,源极和漏极分别通过半导体层保护层上的过孔与半导体层相连。

[0033] 所述栅极由铜金属制作而成,为了避免铜离子扩散到半导体层,对半导体层造成污染,导致 TFT 性能下降,在半导体层和栅极之间形成栅极隔离层,栅极隔离层可以阻挡铜金属的栅极的铜离子进入半导体层,提高图像的画质。

[0034] 本发明实施例提供的薄膜晶体管 TFT 可以是底栅型或顶栅型结构,下面通过附图具体说明本发明实施例提供的底栅型或顶栅型 TFT。

[0035] 实施例一：底栅型 TFT。

[0036] 图 1 为 TFT 俯视示意图,图 2 为图 1 所示的 TFT 在 A-B 向的截面图。

[0037] 参见图 2,本发明实施例提供的 TFT,包括：

[0038] 基板 1、形成在基板 1 上的栅极 2；

- [0039] 形成在基板 1 上位于栅极 2 上的第一栅极保护层 4；
- [0040] 形成在基板 1 上位于第一栅极保护层 4 上的栅极隔离层 5；
- [0041] 形成在基板 1 上位于栅极隔离层 5 上的半导体层 7；
- [0042] 形成在基板 1 上位于半导体层 7 上的半导体层保护层 13；
- [0043] 形成在基板 1 上位于半导体层保护层 13 上的源极 8 和漏极 9。
- [0044] 较佳地,参见图 3,本发明实施例提供的 TFT,还包括:第二栅极保护层 6,第二栅极保护层 6 位于栅极隔离层 5 和半导体层 7 之间。第二栅极保护层 6 起到绝缘栅极 2 和半导体层 7 的作用。
- [0045] 参见图 4,源极 8 和漏极 9 分别通过半导体层保护层 13 上的第一过孔 14 和第二过孔 15 相连。
- [0046] 在具体制作 TFT 的过程中,如图 1,可以在制作栅 2 的过程中,同时将与栅极相连的栅极线 3 制作出来。在制作源极 8 和漏极 9 的过程中,可以同时将与源极 8 相连的数据线 10 制作出来,节约工艺流程。
- [0047] 其中,栅极 2 和栅极线 3 由铜金属制作而成。相应地,可以在制作栅极隔离层的同时,在栅极线上也制作相应的栅极线隔离层,具体在后面会详细说明。
- [0048] 栅极线 3 和数据线 10 体现在图 1 中,未体现在图 2 和图 3 中。第一过孔 14 和第二过孔 15 在图 4 中体现。
- [0049] 本发明实施例提供的栅极隔离层 5 可以是绝缘层如氧化硅或氮化硅膜层,也可以是导电层,如透明金属氧化物 ITO 膜层。较佳地,以导电层作为栅极隔离层的隔离效果优于以绝缘层作为栅极隔离层的效果。
- [0050] 本发明实施例提供的半导体层保护层 13 可以是单层结构如金属氧化物膜层或金属氮化物膜层,或者也可以是双层结构,如金属氧化物膜层和金属氮化物膜层的叠加。
- [0051] 较佳地,栅极隔离层 5 为导电层,例如可以是透明导电层 ITO,导电层阻挡铜离子的能力远远高于绝缘层阻挡铜离子的能力。
- [0052] 本发明实施例提供的薄膜晶体管可以但不限于适用于阵列基板中。
- [0053] 以阵列基板为例,本发明实施例提供的阵列基板,包括:多个 TFT 以及与每一 TFT 相连的栅极线和数据线。
- [0054] 所述阵列基板还包括:像素电极;像素电极 11 与 TFT 的关系如图 5 所示,
- [0055] 在具体实施过程中,像素电极 11 与栅极隔离层 5 同层设置。
- [0056] 如图 6 所示,阵列基板还包括:连接像素电极 11 和漏极 9 的第三过孔 12,第三过孔 12。
- [0057] 较佳地,像素电极 11 和栅极隔离层 5 的制作材料相同,可以为透明导电层铟锡氧化物 ITO 膜层。
- [0058] 在具体实施过程中,像素电极 11 和栅极隔离层 5 使用同一种材料制作而成,这样可以在同一次构图工艺中形成像素电极 11 和栅极隔离层 5,也就是说,相对于现有技术,在制作像素电极 11 的同时制作栅极隔离层 5,不增加工艺流程。
- [0059] 较佳地,为了使得阵列基板上的 TFT 以及栅极线和数据线等不受外界因素的影响或破坏,参见图 7,所述 TFT 还包括:钝化层 16;
- [0060] 钝化层 16 形成在 TFT 上位于最外层的源极 8 和漏极 9 上。

[0061] 钝化层 16 可以是无机材料形成的绝缘层或有机材料形成的绝缘层。

[0062] 较佳地,钝化层 16 由有机树脂材料制作而成。有机树脂可以是苯并环丁烯(BCB),也可以是其他有机感光材料。有机树脂相比较无机材料硬度较小,更有利于对阵列基板最外层起到平坦作用,有利于彩膜基板和阵列基板之间的液晶分子的理想排列。

[0063] 第一栅极保护层起到的是绝缘栅极和栅极隔离层的作用,在具体实施过程中,第一栅极保护层的厚度相比较第二栅极保护层要尽量做厚一些,第一栅极保护层和第二栅极保护层起到绝缘栅极和半导体层的作用,为了提高半导体层和第二栅极保护层之间的接触界面质量,第二栅极保护层的厚度要做的更薄一些,保证成膜质量,提高 TFT 的性能。

[0064] 也就是说,第二栅极保护层的厚度小于第一栅极保护层的厚度。

[0065] 较佳地,所述基板为玻璃基板、石英或者塑料基板。

[0066] 为了提高基板与各膜层的附着性,参见图 8,本发明实施例提供的 TFT 还包括:

[0067] 缓冲层 17,位于基板 1 和栅极 2 之间。

[0068] 优选的,缓冲层 17,位于基板 1 和栅极 2 之间,且覆盖整个基板。

[0069] 较佳地本发明实施例提供的阵列基板还包括:公共电极,参见图 8,为公共电极 18 与 TFT 的位置关系,公共电极 18 位于钝化层 16 上与像素电极 11 相对应的区域。

[0070] 公共电极 18 可以是板状或狭缝状,所谓狭缝状即在与像素单元显示区域对应的位置设置有多条狭缝,以提高光线的透过率,实现较佳的图像显示效果。

[0071] 狭缝状公共电极较佳地适用于高级超维场开关(ADS, Advanced Super Dimension Switch)技术,以及高开口率-高级超维场开关(H-ADS)技术相应的显示面板等。本发明实施例提供的公共电极可以但不限于集成在 ADS LCD 或 H-ADS LCD 中。

[0072] 具体地,在 ADS 模式下,通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。

[0073] 实施例二:顶栅型 TFT。

[0074] 与上述底栅型 TFT 结构类似,不同之处在于,栅极和半导体层所处的位置不同,参见图 9,所述阵列基板包括:

[0075] 基板 1;

[0076] 形成在基板 1 上的源极 8 和漏极 9;

[0077] 形成在基板 1 上位于源极 8 和漏极 9 上的半导体层保护层 13;

[0078] 形成在基板 1 上位于半导体层保护层 13 上的半导体层 7;

[0079] 形成在基板 1 上位于半导体层 7 上的栅极隔离层 5;

[0080] 形成在基板 1 上位于栅极隔离层 5 上的第一栅极保护层 4;

[0081] 形成在基板 1 上位于第一栅极保护层 4 上的栅极 2;

[0082] 其中,栅极 2 由铜金属制作而成。

[0083] 较佳地,所述 TFT 还包括:形成在基板 1 上位于半导体层 7 和栅极隔离层 5 之间的第二栅极保护层 6。

[0084] 需要说明的是,在形成栅极的过程中,同时形成栅极线;在形成源极和漏极的过程中,同时形成与源极相连的数据线,栅极线和数据线在图 8 中未体现。

[0085] 较佳地,参见图 9,实施例二提供的顶栅型 TFT 的阵列基板还包括:像素电极 11,像

素电极 11 和栅极隔离层 5 同层设置,像素电极 11 通过过孔与漏极 9 相连。

[0086] 参见图 9,实施例二提供的顶栅型 TFT 还包括:钝化层 16 和缓冲层 17;钝化层 16 形成在基板上位于栅极上,用于保护 TFT 不受外界破坏;缓冲层 17 位于源极和漏极所在层与基板之间。

[0087] 其他结构与底栅型 TFT 的阵列基板结构类似,这里不再赘述。

[0088] 下面从工艺流程方面说明本发明实施例提供的阵列基板的制作方法。

[0089] 本发明实施例提供的阵列基板的制作方法整体包括:

[0090] 形成栅极和栅极线、源极和数据线、漏极和半导体层的过程,以及形成第一栅极保护层、栅极隔离层、第二栅极保护层和半导体层保护层的过程;

[0091] 所述栅极和栅极线由铜金属制作而成;

[0092] 所述第一栅极保护层、第二栅极保护层和栅极隔离层位于所述栅极和半导体层之间,所述栅极隔离层位于所述第一栅极保护层和第二栅极保护层之间,且在垂直方向与栅极和栅极线所在的区域对应,所述半导体层保护层位于半导体层与源极和漏极之间。

[0093] 参见图 10,制作底栅型 TFT 的阵列基板的方法包括:

[0094] S11、采用构图工艺在基板上形成栅极;

[0095] S12、采用构图工艺在所述栅极上形成第一栅极保护层;

[0096] S13、采用构图工艺在所述第一栅极保护层上形成栅极隔离层;

[0097] S14、采用构图工艺在所述栅极隔离层上形成半导体层;

[0098] S15、采用构图工艺在所述半导体层上形成半导体层保护层;

[0099] S16、采用构图工艺在所述半导体层保护层上形成源极和漏极。

[0100] 所述构图工艺指制作图形的掩膜、曝光、显影、光刻,刻蚀等过程。

[0101] 举例来说,采用构图工艺在基板上形成栅电极,具体为:首先在基板上沉积栅电极层,然后涂布光刻胶,利用掩模板对光刻胶进行曝光和显影处理来形成光刻胶图案,接着利用该光刻胶图案作为蚀刻掩模,通过刻蚀等工艺去除相应的电极层,并且去除剩余的光刻胶,最终在基板上形成栅电极图形。

[0102] 在步骤 S13 和步骤 S14 之间还包括:采用构图工艺在所述栅极隔离层上形成第二栅极保护层;步骤 S14 所述半导体层形成在所述第二栅极保护层上。

[0103] 较佳地,在步骤 S11 之前,还包括:在所述基板上形成一层缓冲层。

[0104] 较佳地,步骤 S13 还包括:在所述采用构图工艺形成栅极隔离层的同时,还形成与该栅极隔离层位于同一层的像素电极,所述栅极隔离层和像素电极采用一次构图工艺制作而成。

[0105] 较佳地,在步骤 S16 之后,还包括:采用构图工艺形成位于薄膜晶体管最外层的源极和漏极上的钝化层。

[0106] 参见图 11,制作顶栅型 TFT 方法包括:

[0107] S21、采用构图工艺在基板上形成源极和漏极;

[0108] S22、采用构图工艺在形成有所述源极和漏极的基板上形成半导体层保护层;

[0109] S23、采用构图工艺在所述形成有半导体层保护层的基板上形成半导体层;

[0110] S24、采用构图工艺在所述形成有半导体层的基板上形成栅极隔离层;

[0111] S25、采用构图工艺在所述形成有栅极隔离层的基板上形成第一栅极保护层;

- [0112] S26、采用构图工艺在所述形成有第一栅极保护层的基板上形成栅极。
- [0113] 在步骤 S23 和步骤 S24 之间还包括：采用构图工艺在所述半导体层上形成第二栅极保护层；步骤 S24 所述栅极隔离层形成在所述第二栅极保护层上。
- [0114] 较佳地，在步骤 S21 之前，还包括：在所述基板上形成一层缓冲层。
- [0115] 较佳地，步骤 S24 还包括：在所述采用构图工艺形成栅极隔离层的同时，还形成与该栅极隔离层位于同一层的像素电极，所述栅极隔离层和像素电极采用一次构图工艺制作而成。
- [0116] 较佳地，在步骤 S26 之后，还包括：采用构图工艺形成位于薄膜晶体管最外层的栅极上的钝化层。
- [0117] 需要说明的是，本发明实施例提供的 TFT 可以是非晶硅 TFT 也可以是金属氧化物 TFT。
- [0118] 下面以制作图 8 所示的底栅型金属氧化物 TFT 的阵列基板为例，说明具体工艺流程；
- [0119] 本发明实施例所示的阵列基板制作方法包括：
- [0120] 步骤一：基板上缓冲层、栅极和栅极线的形成过程。
- [0121] 首先为了增加 Cu 和玻璃的附着力，首先在透明玻璃基板或者石英基板上采用溅射或热蒸发的方法，形成一层覆盖整个基板的缓冲层，该缓冲层可以由钼 Mo、钛 Ti、Mo 合金、Ti 合金、Cu 合金等金属形成，其厚度约为 $50\sim 800\text{\AA}$ 。然后，在形成有缓冲层的基板上采用溅射或热蒸发的方法，沉积厚度为 $2000\text{\AA}\sim 10000\text{\AA}$ 的铜 Cu 金属层，通过一次曝光显影、光刻和刻蚀工艺形成栅极和栅极线。形成的栅极和栅极线的图案和位置与现有技术相同这里不再赘述。
- [0122] 步骤二：基板上第一栅极保护层的形成过程。
- [0123] 在完成步骤一的基板上通过化学气相沉积法(PECVD)连续沉积厚度为 $500\sim 5000\text{\AA}$ 的绝缘层，该绝缘层为待形成第一栅极保护层的绝缘层；具体地，该第一栅极保护层可以为氧化硅或者氮化硅层。氧化硅或者氮化硅层可以是氧化物、氮化物或者氧氮化合物与反应气体通过化学气相沉积法形成。所述反应气体可以是硅烷 SiH_4 ，氨气 NH_3 ，氮气 N_2 的混合物，或者为二氯化硅 SiH_2Cl_2 ，氨气 NH_3 ，和氮气 N_2 的混合物。例如：可以控制沉积第一栅极保护层的功率为 $2300\text{W}\sim 2500\text{W}$ ， SiH_4 气体流量为 $2200\text{sccm}\sim 2600\text{sccm}$ ，氨气 NH_3 和氮气 N_2 的气体流量分别为 $12000\text{sccm}\sim 15000\text{sccm}$ ；沉积气压为 $2500\text{mtorr}\sim 2700\text{mtorr}$ 。
- [0124] 步骤三：基板上栅极隔离层和像素电极的形成过程。
- [0125] 在形成有第一栅极保护层的基板上，通过溅射方法连续沉积厚度为 $50\sim 2000\text{\AA}$ 透明导电层，通过一次曝光显影光刻刻蚀工艺形成栅极隔离层和像素电极；
- [0126] 栅极隔离层位于与栅极和栅极线对应的位置，栅极隔离层在垂直方向上的投影面积不小于栅极投影面积。
- [0127] 优选的，栅极隔离层在垂直方向上的投影面积不小于栅极和栅极线在垂直方向上的投影面积。
- [0128] 像素电极与栅极隔离层同层设置，与现有技术相同，这里不再赘述。
- [0129] 附图中所示的阵列基板，仅为示意图，并不代表栅极和栅极线以及栅极隔离层的相对大小。

[0130] 所述透明导电层可以是 ITO 或者铟锌氧化物 IZO, 或者为其他透明金属氧化物。

[0131] 该步骤通过一次图形化工艺形成像素电极和栅极隔离层, 相对于现有技术没有增加工艺流程, 但实现了 Cu 离子的隔离功能, 该栅极隔离层对 Cu 离子的阻隔作用优于栅极保护层, 该结构可以很好地阻止 Cu 离子的扩散, 尤其是高温工艺下 Cu 离子的扩散, 提高了 TFT 的性能。

[0132] 步骤四: 第二栅极保护层的形成过程。

[0133] 和形成所述第一栅极保护层的过程类似, 在完成步骤三的基板上通过 PECVD 方法连续沉积而形成第二栅极保护层。

[0134] 优选的, 为了提升 TFT 的性能, 第二栅极保护层的沉积速率较低、薄膜的质量好, 可以与半导体层形成很好的界面, 第二栅极保护层的厚度小于第一栅极保护层厚度, 第二栅极保护层厚度约为 $50 \sim 3000 \text{ \AA}$ 。

[0135] 可以通过如下方式实现, 例如, 相比较实现第一栅极保护层, 本发明第二栅极保护层实现如下:

[0136] 通过 PECVD 方法连续沉积厚度为 $50 \sim 3000 \text{ \AA}$ 的第二栅极保护层, 沉积功率为 $550 \text{ W} \sim 750 \text{ W}$; SiH_4 气体流量为 $1400 \text{ sccm} \sim 1600 \text{ sccm}$; 氨气 NH_3 和氮气 N_2 的气体流量分别为 $7000 \text{ sccm} \sim 8500 \text{ sccm}$; 沉积气压为 $2500 \text{ mtorr} \sim 2700 \text{ mtorr}$ 。第二栅极保护层的沉积速率小于第一栅极保护层的沉积速率。第二栅极保护层的厚度为 $50 \sim 3000 \text{ \AA}$, 相当于或小于第一栅极保护层厚度。

[0137] 上述实现第一栅极保护层和第二栅极保护层的各参数的比例仅是想说明第二栅极保护层的沉积速率低于第一栅极保护层的沉积速率, 在具体实施过程中, 不限于采用上述沉积功率或沉积气压等参数。

[0138] 步骤五: 基板上半导体层的形成过程。

[0139] 通过溅射方法连续沉积厚度为 $50 \sim 1000 \text{ \AA}$ 金属氧化物膜层, 通过一次曝光显影、光刻, 刻蚀工艺形成半导体层。

[0140] 所述金属氧化物可以是铟镓锌氧化物 IGZO、铟锡锌氧化物 HIZO、铟锌氧化物 IZO、非晶铟锌氧化物 a-InZnO、非晶氧化锌掺杂氟氧化物 ZnO:F 、氧化铟掺杂锡氧化物 $\text{In}_2\text{O}_3:\text{Sn}$ 、非晶氧化铟掺杂钼氧化物 $\text{In}_2\text{O}_3:\text{Mo}$ 、铬锡氧化物 Cd_2SnO_4 、非晶氧化锌掺杂铝氧化物 ZnO:Al 、非晶氧化钛掺杂铌氧化物 $\text{TiO}_2:\text{Nb}$ 、铬锡氧化物 Cd-Sn-O 或其他金属氧化物。

[0141] 步骤六: 基板上半导体层保护层的形成过程。

[0142] 在完成步骤五的基板上, 通过化学气象沉积法 PECVD 方法沉积厚度为 $500 \sim 3000 \text{ \AA}$ 的金属氧化物膜层, 通过一次曝光显影、光刻, 刻蚀工艺形成覆盖半导体层的半导体层保护层。

[0143] 所述半导体层保护层可以为氧化硅或氮化硅。所述氧化硅或氮化硅可以由氧化物、氮化物或者氧氮化合物与反应气体形成, 硅的氧化物对应的反应气体为 SiH_4 , N_2O , 氮化物或者氧氮化合物对应的反应气体为 SiH_4 , NH_3 , N_2 的混合物或 SiH_2Cl_2 , NH_3 , N_2 的混合物。

[0144] 半导体层保护层也可以使用三氧化二铝 Al_2O_3 , 或者为氧化硅或氮化硅或三氧化二铝 Al_2O_3 组成的多层的阻挡结构。

[0145] 步骤七: 基板上第一过孔、第二过孔, 第三过孔的形成过程。

[0146] 在形成有半导体层保护层的基板上, 通过曝光显影、光刻刻蚀工艺, 形成连接源极

和半导体层的第二过孔,形成连接漏极和半导体层的第三过孔,形成连接栅极隔离层和漏极的第一过孔。

[0147] 步骤八:基板上源极、漏极,以及数据线的形成过程。

[0148] 通过溅射或热蒸发的方法在形成有第一过孔、第二过孔,第三过孔的基板上,形成一层厚度为2000~4000Å金属膜层,通过一次曝光显影、光刻刻蚀工艺形成源极、漏极,以及与源极相连的数据线。

[0149] 所述金属膜层可以为金属铬 Cr、金属钨 W、金属钛 Ti、金属钽 Ta、金属钼 Mo 等,或者是上述至少两种金属的合金。可以是单层金属层也可以是多层金属层。

[0150] 形成所述源极、漏极,以及数据线之后,源极通过第二过孔与半导体层连接,所述漏极通过第三过孔与半导体连接,所述漏极通过第一过孔与像素电极连接。

[0151] 步骤九:基板上钝化层的形成过程。

[0152] 在完成步骤八的基板上通过 PECVD 方法沉积厚度为2000~10000Å的钝化层,钝化层可以选用氧化物、氮化物或者氧氮化合物,硅的氧化对应的反应气体可以为 SiH₄, N₂O; 氮化物或者氧氮化合物对应反应气体是 SiH₄, NH₃, N₂或 SiH₂Cl₂, NH₃, N₂;钝化层可以使用 Al₂O₃膜层,或者双层或多层的阻挡结构。

[0153] 此外,在该过程中还可以通过曝光显影、光刻刻蚀工艺形成栅极焊接区域 Gate PAD 和源极和漏极焊接区域 SD PAD 区域,便于后续电路板与栅极线和数据线相连。

[0154] 具体地,钝化层的形成过程为:通过在形成有源极、漏极,以及数据线的基板上涂覆一层厚度约为4000~30000Å的有机树脂,有机树脂可以是苯并环丁烯(BCB),也可以是其他的有机感光材料,

[0155] 涂覆一层厚度约为4000~30000Å的有机树脂,通过一次曝光显影,以及光刻刻蚀工艺后,形成阵列基板上外围区域的 Gate PAD 和 SD PAD。

[0156] 步骤十:基板上公共电极的形成过程。

[0157] 在完成步骤九的基板上通过溅射或热蒸发的方法沉积上厚度约为300~1500Å的透明导电层膜层。

[0158] 通过一次曝光显影,以及光刻刻蚀工艺后形成公共电极。所述公共电极可以是 ITO 或者 IZO,或者其他的透明金属氧化物。

[0159] 形成顶栅型金属氧化物 TFT 的阵列基板工艺流程和上述步骤一至步骤十为形成底栅型金属氧化物 TFT 的阵列基板工艺流程类似,这里不再赘述。

[0160] 本发明实施例还提供一种显示装置,包括上述阵列基板,该显示装置可以为液晶面板、液晶显示器、液晶电视、OLED 面板、OLED 显示器、OLED 电视或电子纸等显示装置。

[0161] 该显示装置的一个示例为液晶显示装置,其中,阵列基板与对置基板彼此对置以形成液晶盒,在液晶盒中填充有液晶材料。该对置基板例如为彩膜基板。阵列基板的每个像素单元的像素电极用于施加电场对液晶材料的旋转的程度进行控制从而进行显示操作。在一些示例中,该液晶显示器还包括为阵列基板提供背光的背光源。

[0162] 该显示装置的另一个示例为有机电致发光(OLED)显示装置,其中,阵列基板的每个像素单元的薄膜晶体管连接有机电致发光装置的阳极或阴极,用于驱动有机发光材料发光以进行显示操作。

[0163] 综上所述,本发明实施例提供了一种薄膜晶体管及其制作方法、阵列基板和显示

装置,使用栅极隔离层隔离栅极铜离子进入半导体层,尤其是使用了导电层作为栅极隔离层,可以保证 TFT 的工作性能,提高图像的画质。并且,在制作栅极隔离层的同时制作像素电极层,节约阵列基板制作工艺流程。第二栅极保护层的厚度小于第一栅极保护层的厚度,第二栅极保护层的成膜质量高,改善第二栅极保护层与半导体层的接触界面,提高 TFT 性能。通过一次工艺形成第一过孔、第二过孔、第三过孔节约工艺流程。最后,钝化层使用有机树脂,起到平坦层作用,更利于其上的液晶分子排列,同时使用有机树脂形成 Gate PAD 和 SD PAD。

[0164] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

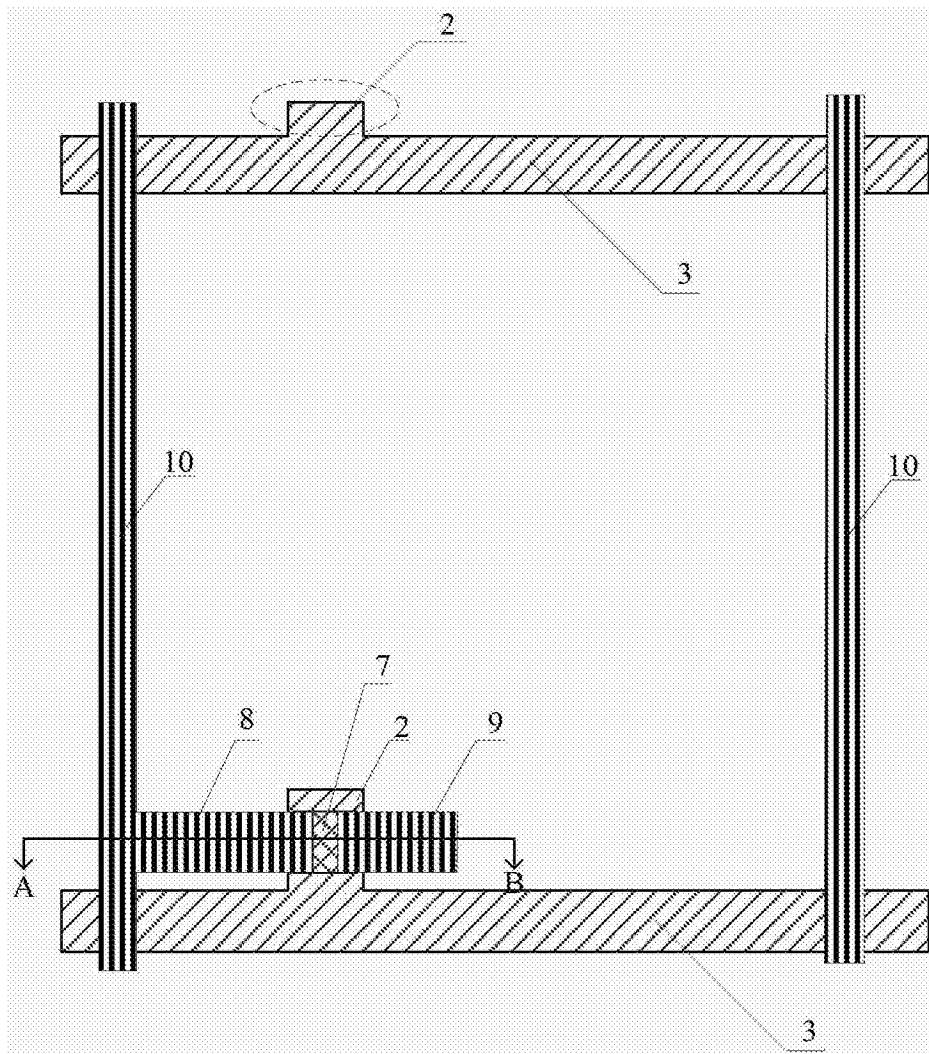


图 1

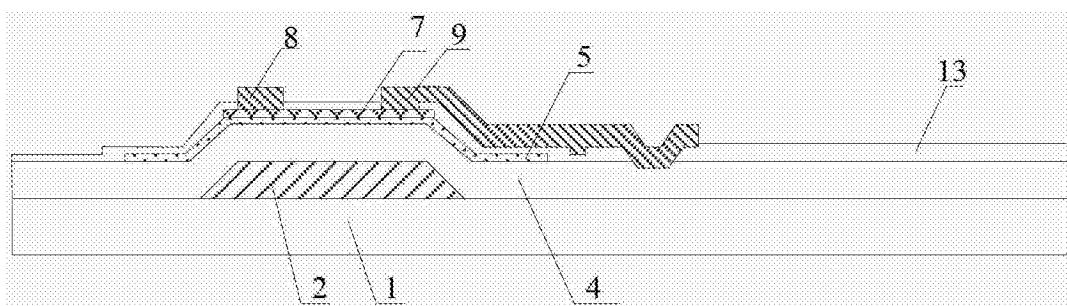


图 2

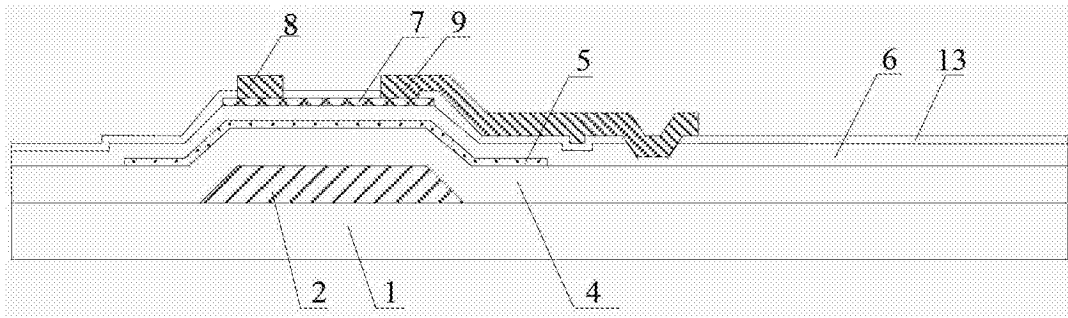


图 3

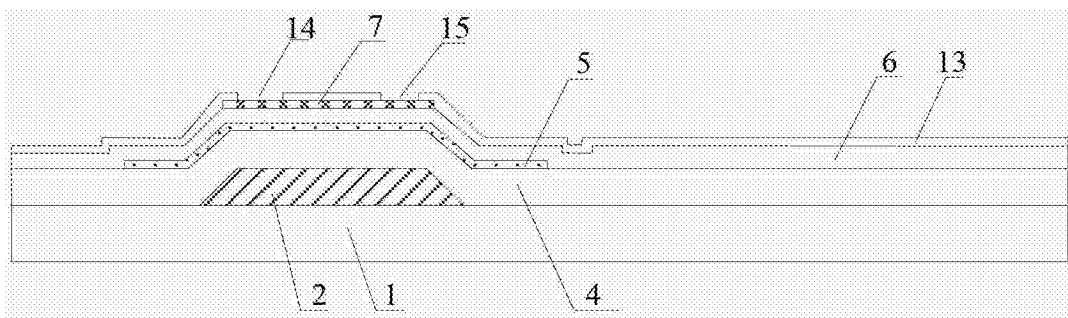


图 4

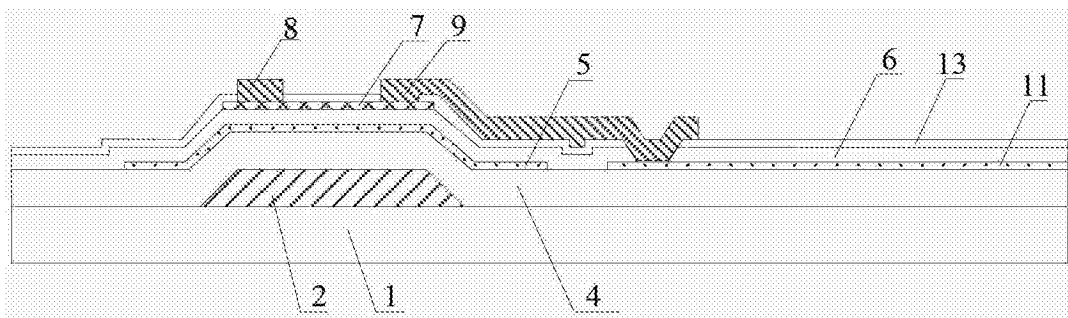


图 5

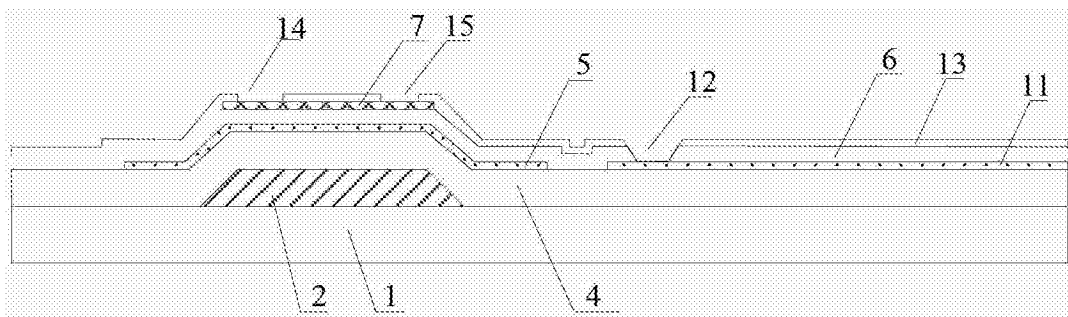


图 6

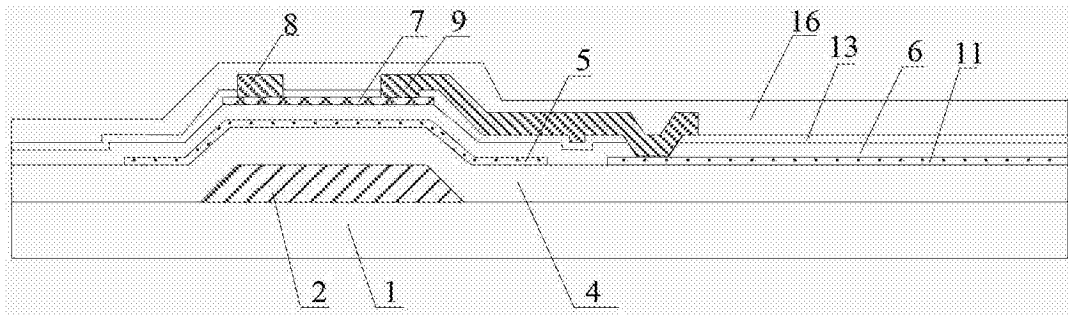


图 7

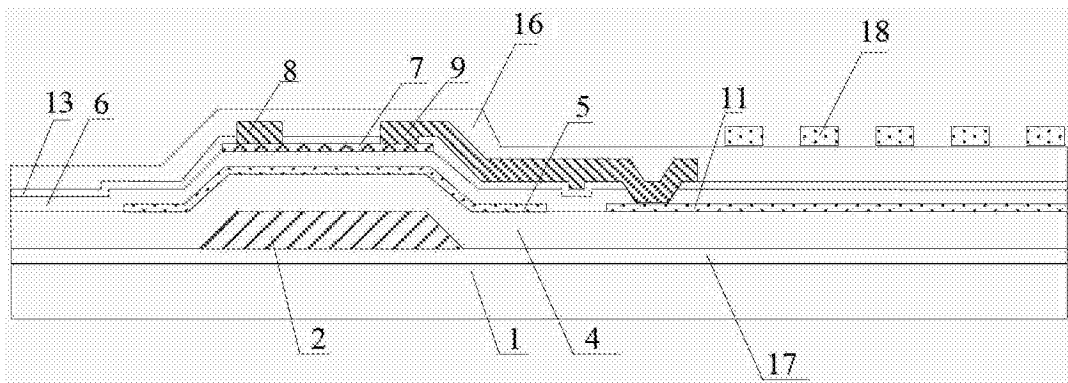


图 8

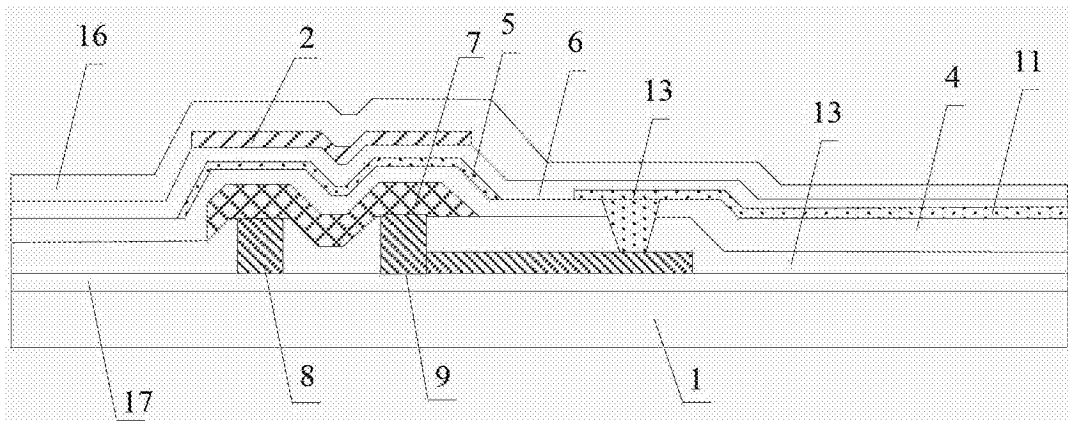


图 9

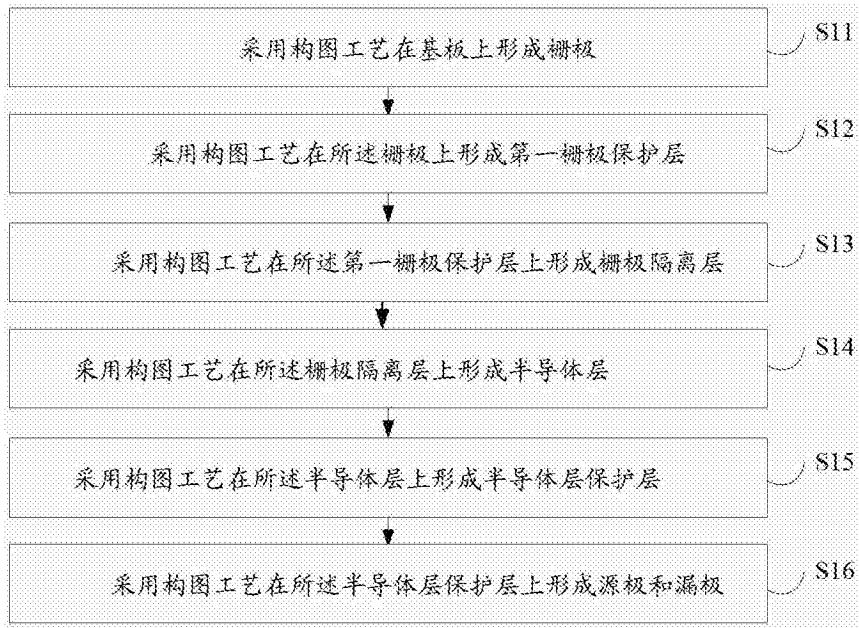


图 10

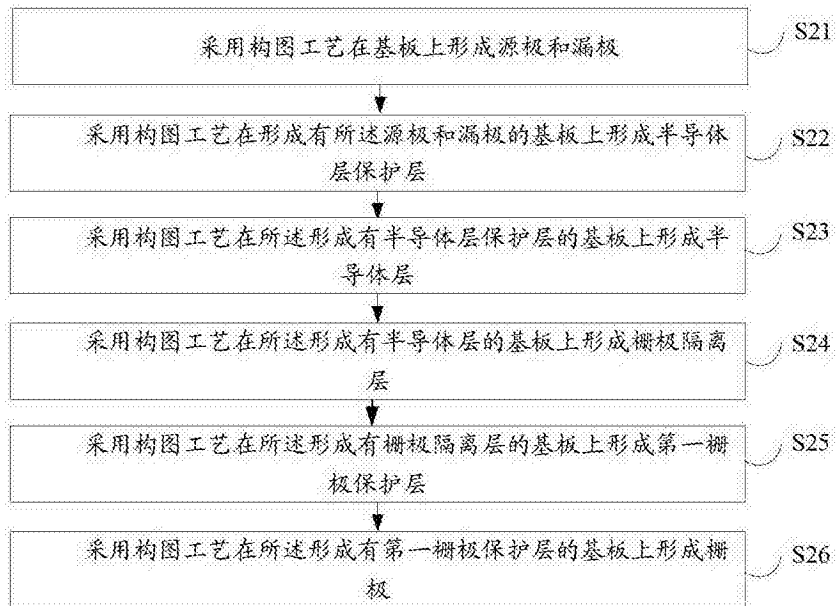


图 11