



(12) 发明专利申请

(10) 申请公布号 CN 113540249 A

(43) 申请公布日 2021. 10. 22

(21) 申请号 202110719711.4

H01L 29/423 (2006.01)

(22) 申请日 2021.06.28

H01L 21/34 (2006.01)

(30) 优先权数据

H01L 27/11519 (2017.01)

63/045,310 2020.06.29 US

H01L 27/11521 (2017.01)

17/229,758 2021.04.13 US

H01L 27/11551 (2017.01)

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 姜慧如 林仲德

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/788 (2006.01)

H01L 29/10 (2006.01)

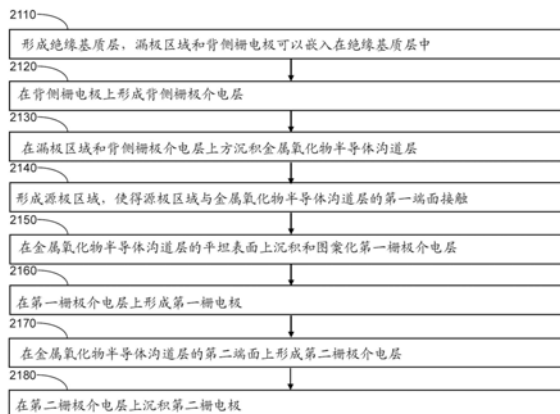
权利要求书2页 说明书23页 附图45页

(54) 发明名称

半导体器件及其形成方法、半导体存储器器件

(57) 摘要

半导体器件包括:金属氧化物半导体沟道层;第一栅极介电层,与金属氧化物半导体沟道层的主表面的第一部分接触;第一栅电极,位于第一栅极介电层上面并且与金属氧化物半导体沟道层的主表面的第二部分接触;漏极区域和背侧栅极介电层,与金属氧化物半导体沟道层的另一个主表面接触;背侧栅电极,与背侧栅极介电层接触;第二栅极介电层,与金属氧化物半导体沟道层的端面接触;第二栅电极,与第二栅极介电层的表面接触;以及源极区域,与金属氧化物半导体沟道层的另一端面接触。本发明的实施例还涉及半导体器件的形成方法、半导体存储器器件。



1. 一种半导体器件,包括:

金属氧化物半导体沟道层,具有在第一主表面和第二主表面之间的厚度并且在第一端面和第二端面之间延伸,所述第一端面和所述第二端面沿着第一方向间隔开并且连接所述第一主表面和所述第二主表面的相应边缘;

第一栅极介电层,与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触;

第一栅电极,位于所述第一栅极介电层上面并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触;

漏极区域和背侧栅极介电层,与所述金属氧化物半导体沟道层的所述第一主表面接触;

背侧栅电极,与所述背侧栅极介电层接触;

第二栅极介电层,与所述金属氧化物半导体沟道层的所述第二端面接触;

第二栅电极,与所述第二栅极介电层的表面接触;以及

源极区域,与所述金属氧化物半导体沟道层的所述第一端面接触。

2. 根据权利要求1所述的半导体器件,还包括:

绝缘基质层,与所述金属氧化物半导体沟道层的所述第一主表面接触并且设置在所述漏极区域和所述背侧栅电极之间。

3. 根据权利要求2所述的半导体器件,其中,所述背侧栅极介电层包括:

第一部分,平行于所述第一方向延伸并且与所述金属氧化物半导体沟道层的所述第一主表面接触;以及

第二部分,垂直于所述第一方向延伸并且与所述源极区域接触。

4. 根据权利要求1所述的半导体器件,其中,所述第二栅极介电层与所述第一栅电极的表面和所述漏极区域的表面接触。

5. 根据权利要求4所述的半导体器件,其中,所述金属氧化物半导体沟道层的所述第二端面、所述第一栅电极的表面和所述漏极区域的表面位于垂直于所述第一方向的同一平面内。

6. 根据权利要求1所述的半导体器件,其中,所述金属氧化物半导体沟道层的与所述第一栅电极接触的部分位于所述漏极区域上面,并且在沿着垂直于所述第一主表面的方向的平面图中远离所述背侧栅电极。

7. 根据权利要求5所述的半导体器件,还包括:

源极接触通孔结构,与所述源极区域接触并且沿着垂直于所述第一方向的方向延伸;以及

源极隔离间隔件,围绕所述源极接触通孔结构并且与所述第一栅电极和所述第一栅极介电层接触。

8. 根据权利要求1所述的半导体器件,其中,所述源极区域包括:

第一源极部分,与所述背侧栅极介电层接触;以及

第二源极部分,与所述金属氧化物半导体沟道层的所述第一端面接触。

9. 一种半导体存储器器件,包括多个场效应晶体管,

其中,选自所述多个场效应晶体管的每个场效应晶体管位于绝缘基质层上,所述绝缘

基质层沿着第一方向和垂直于所述第一方向的第二方向延伸；

其中，所述多个场效应晶体管中的每个场效应晶体管包括：

金属氧化物半导体沟道层，具有在第一主表面和第二主表面之间的沿着第三方向的厚度，

漏极区域和背侧栅极介电层，嵌入在所述绝缘基质层中并且与所述金属氧化物半导体沟道层的所述第一主表面接触，

背侧栅电极，嵌入在所述绝缘基质层中，

第一栅极介电层，与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触，以及

第一栅电极，位于所述第一栅极介电层上并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触，

其中，所述多个场效应晶体管包括沿着所述第二方向布置的至少一行场效应晶体管；并且

其中，介电轨与每行场效应晶体管内的相应的一对相邻的场效应晶体管的所述金属氧化物半导体沟道层和所述第一栅电极接触，并且在所述金属氧化物半导体沟道层和所述第一栅电极之间提供横向电隔离。

10. 一种形成半导体器件的方法，包括：

形成绝缘基质层；

将漏极区域和背侧栅电极嵌入在所述绝缘基质层中；

在所述背侧栅电极上形成背侧栅极介电层；

在所述漏极区域和所述背侧栅极介电层上方沉积金属氧化物半导体沟道层；

形成源极区域，使得所述源极区域与所述金属氧化物半导体沟道层的第一端面接触；

在所述金属氧化物半导体沟道层的主表面上沉积和图案化第一栅极介电层；

在所述第一栅极介电层上形成第一栅电极；

在所述金属氧化物半导体沟道层的第二端面上沉积第二栅极介电层；以及

在所述第二栅极介电层上沉积第二栅电极。

半导体器件及其形成方法、半导体存储器器件

技术领域

[0001] 本发明的实施例涉及半导体器件及其形成方法、半导体存储器器件。

背景技术

[0002] 使用存储的电荷的存储器器件包括易失性动态随机存取存储器器件。这种易失性动态随机存取存储器器件需要定期刷新所存储的电荷。其他存储器器件可能包括使用电荷隧穿的非易失性闪存器件。虽然闪存器件由于是非易失性器件而可能是有利的，但是在重复使用之后，闪存器件随着时间的流逝易于出现器件性能下降。随着时间的重复使用会导致对隧道电介质的累积损坏。因此，期望可以提供比闪存器件更长的耐久性的非易失性存储器器件。

发明内容

[0003] 本发明的实施例提供了一种半导体器件，包括：金属氧化物半导体沟道层，具有在第一主表面和第二主表面之间的厚度并且在第一端面和第二端面之间延伸，所述第一端面和所述第二端面沿着第一方向间隔开并且连接所述第一主表面和所述第二主表面的相应边缘；第一栅极介电层，与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触；第一栅电极，位于所述第一栅极介电层上面并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触；漏极区域和背侧栅极介电层，与所述金属氧化物半导体沟道层的所述第一主表面接触；背侧栅电极，与所述背侧栅极介电层接触；第二栅极介电层，与所述金属氧化物半导体沟道层的所述第二端面接触；第二栅电极，与所述第二栅极介电层的表面接触；以及源极区域，与所述金属氧化物半导体沟道层的所述第一端面接触。

[0004] 本发明的另一实施例提供了一种半导体存储器器件，包括多个场效应晶体管，其中，选自所述多个场效应晶体管的每个场效应晶体管位于绝缘基质层上，所述绝缘基质层沿着第一方向和垂直于所述第一方向的第二方向延伸；其中，所述多个场效应晶体管中的每个场效应晶体管包括：金属氧化物半导体沟道层，具有在第一主表面和第二主表面之间的沿着第三方向的厚度，漏极区域和背侧栅极介电层，嵌入在所述绝缘基质层中并且与所述金属氧化物半导体沟道层的所述第一主表面接触，背侧栅电极，嵌入在所述绝缘基质层中，第一栅极介电层，与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触，以及第一栅电极，位于所述第一栅极介电层上并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触，其中，所述多个场效应晶体管包括沿着所述第二方向布置的至少一行场效应晶体管；并且其中，介电轨与每行场效应晶体管内的相应的一对相邻的场效应晶体管的所述金属氧化物半导体沟道层和所述第一栅电极接触，并且在所述金属氧化物半导体沟道层和所述第一栅电极之间提供横向电隔离。

[0005] 本发明的又一实施例提供了一种形成半导体器件的方法，包括：形成绝缘基质层；将漏极区域和背侧栅电极嵌入在所述绝缘基质层中；在所述背侧栅电极上形成背侧栅极介电层；在所述漏极区域和所述背侧栅极介电层上方沉积金属氧化物半导体沟道层；形成源

极区域,使得所述源极区域与所述金属氧化物半导体沟道层的第一端面接触;在所述金属氧化物半导体沟道层的主表面上沉积和图案化第一栅极介电层;在所述第一栅极介电层上形成第一栅电极;在所述金属氧化物半导体沟道层的第二端面上沉积第二栅极介电层;以及在所述第二栅极介电层上沉积第二栅电极。

附图说明

[0006] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各方面。应该注意,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0007] 图1A是根据本发明的实施例的在绝缘基质层中形成漏极凹槽区域和栅极凹槽区域之后的第一示例性结构的顶视图。

[0008] 图1B是沿着图1A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0009] 图1C是沿着图1A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0010] 图1D是沿着图1A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0011] 图2A是根据本发明的实施例的在绝缘基质层中形成漏极区域和背侧栅电极之后的第一示例性结构的顶视图。

[0012] 图2B是沿着图2A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0013] 图2C是沿着图2A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0014] 图2D是沿着图2A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0015] 图3A是根据本发明的实施例的在绝缘基质层中形成源极凹槽区域之后的第一示例性结构的顶视图。

[0016] 图3B是沿着图3A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0017] 图3C是沿着图3A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0018] 图3D是沿着图3A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0019] 图4A是根据本发明的实施例的在修整背侧栅电极之后的第一示例性结构的顶视图。

[0020] 图4B是沿着图4A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0021] 图4C是沿着图4A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0022] 图4D是沿着图4A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0023] 图5A是根据本发明的实施例的在绝缘基质层中形成背侧栅极介电层之后的第一示例性结构的顶视图。

[0024] 图5B是沿着图5A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0025] 图5C是沿着图5A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0026] 图5D是沿着图5A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0027] 图6A是根据本发明的实施例的在形成源极区域和金属氧化物半导体沟道层的第一部分之后的第一示例性结构的顶视图。

[0028] 图6B是沿着图6A的垂直平面B-B'的第一示例性结构的垂直横截面。

[0029] 图6C是沿着图6A的垂直平面C-C'的第一示例性结构的垂直横截面。

[0030] 图6D是沿着图6A的垂直平面D-D'的第一示例性结构的垂直横截面。

[0031] 图7A是根据本发明的实施例的在绝缘基质层中形成源极区域的第二部分之后的第一示例性结构的顶视图。

[0032] 图7B是沿着图7A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0033] 图7C是沿着图7A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0034] 图7D是沿着图7A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0035] 图8A是根据本发明的实施例的在沉积第一栅极介电材料层之后的第一示例性结构的顶视图。

[0036] 图8B是沿着图8A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0037] 图8C是沿着图8A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0038] 图8D是沿着图8A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0039] 图9A是根据本发明的实施例的在形成第一栅电极材料层之后的第一示例性结构的顶视图。

[0040] 图9B是沿着图9A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0041] 图9C是沿着图9A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0042] 图9D是沿着图9A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0043] 图10A是根据本发明的实施例的在形成介电轨之后的第一示例性结构的顶视图。

[0044] 图10B是沿着图10A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0045] 图10C是沿着图10A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0046] 图10D是沿着图10A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0047] 图11A是根据本发明的实施例的在形成栅极通孔腔之后的第一示例性结构的顶视图。

[0048] 图11B是沿着图11A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0049] 图11C是沿着图11A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0050] 图11D是沿着图11A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0051] 图12A是根据本发明的实施例的在每个栅极通孔腔中形成第二栅极介电层和第二栅电极之后的第一示例性结构的顶视图。

[0052] 图12B是沿着图12A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0053] 图12C是沿着图12A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0054] 图12D是沿着图12A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0055] 图13A是根据本发明的实施例的在形成横向绝缘的源极接触结构之后的第一示例性结构的顶视图。

[0056] 图13B是沿着图13A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0057] 图13C是沿着图13A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0058] 图13D是沿着图13A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0059] 图14A是根据本发明的实施例的在形成栅极接触通孔结构和漏极接触通孔结构之后的第一示例性结构的顶视图。

[0060] 图14B是沿着图14A的垂直平面B-B' 的第一示例性结构的垂直横截面。

[0061] 图14C是沿着图14A的垂直平面C-C' 的第一示例性结构的垂直横截面。

[0062] 图14D是沿着图14A的垂直平面D-D' 的第一示例性结构的垂直横截面。

[0063] 图15A是示出根据本发明的实施例的在电荷存储在栅电极中的实施例中的读取操作期间的本发明的双沟道晶体管器件的配置的示意图。

[0064] 图15B是示出根据本发明的实施例的在电荷未存储在栅电极中的实施例中的读取操作期间的本发明的双沟道晶体管器件的配置的示意图。

[0065] 图16A是示出根据本发明的实施例的在用于写入“1”的写入操作期间的本发明的双沟道晶体管器件的配置的示意图。

[0066] 图16B是示出根据本发明的实施例的在用于写入“0”的写入操作期间的本发明的双沟道晶体管器件的配置的示意图。

[0067] 图17是根据本发明的实施例的包括存储器单元的三维阵列的第二示例性结构的垂直截面图。

[0068] 图18是根据本发明的实施例的包括存储器单元的三维阵列的第三示例性结构的垂直截面图。

[0069] 图19是根据本发明的实施例的包括存储器单元的三维阵列的第四示例性结构的垂直截面图。

[0070] 图20是根据本发明的实施例的包括存储器单元的三维阵列的第五示例性结构的垂直截面图。

[0071] 图21是示出根据本发明的实施例的用于制造双沟道晶体管器件的步骤的流程图。

具体实施方式

[0072] 本发明提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅是实例而不旨在限制。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成附加部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可以在各个示例中重复参考数字和/或字母。该重复是为了简单和清楚的目的,并且其本身不指示讨论的个实施例和/或配置之间的关系。

[0073] 此外,为了便于描述,本文中可以使用诸如“在…下方”、“在…下面”、“下部”、“在…之上”、“上部”等的空间相对术语,以描述如图中所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作工艺中的不同方位。装置可以以其它方式定位(旋转90度或在其它方位),并且在本文中使用的空间相对描述符可以同样地作相应地解释。除非另有明确说明,否则假定具有相同附图标记的每个元件具有相同的材料组分并且具有在相同厚度范围内的厚度。

[0074] 本发明总体上针对半导体器件,并且具体地涉及使用三个栅电极和双半导体沟道的半导体器件及其制造方法。根据本发明的实施例,金属氧化物半导体沟道层用于提供水平电流路径和垂直电流路径。水平电路路径可以在源极区域和漏极区域之间。水平电路路径可以由第一栅电极控制,该第一栅电极是可以存储电荷的浮置栅电极。此外,可以通过背侧栅电极以阵列设置选择水平电路路径。背侧栅电极可以导通水平电路路径或断开水平电路路径。漏极区域可以嵌入在绝缘基质层中。漏极区域可以与金属氧化物半导体沟道层的第一主表面的端部接触。源极区域可以与金属氧化物半导体沟道层的第一端面接触,该第一端面可以

垂直于第一主表面。第一栅电极中的电荷的充电或放电可以通过第二栅极介电层和第二栅电极的组合来实现,第二栅极介电层和第二栅电极可以提供在金属氧化物半导体沟道层的侧壁上。本发明的各个实施例的存储器器件包括使用三个栅电极的双沟道晶体管器件,该三个栅电极包括背侧栅电极、第一栅电极和第二栅电极,第一栅电极位于金属氧化物半导体沟道层的第二主表面上面,第二栅电极通过第二栅极介电层与金属氧化物半导体沟道层的第二端面横向间隔开。双沟道晶体管器件可以在没有电荷隧穿的情况下将电荷存储在第二栅电极中。第一沟道方向可以与第二沟道方向正交。因此,本发明的各个实施例的存储器器件也称为正交沟道晶体管器件。

[0075] 参考图1A至图1D,示出了根据本发明的实施例的第一示例性结构。第一示例性结构包括衬底10,衬底10可以是半导体衬底(诸如半导体晶圆)、绝缘衬底、导电衬底或包括多个材料层的混合衬底。绝缘基质层20可以形成在衬底10的顶部上,或者可以提供为衬底10的顶部。可选地,在衬底10包括绝缘衬底的实施例中,绝缘基质层20可以是绝缘衬底的上部。在说明性示例中,可以使用共形或非共形沉积方法来沉积绝缘基质层20。例如,绝缘基质层20可以包括氧化硅材料(诸如未掺杂的硅酸盐玻璃或掺杂的硅酸盐玻璃)。绝缘基质层20可以具有在100nm至2000nm的范围内的厚度,但是也可以使用更小和更大的厚度。可以用于绝缘基质层20的替代材料包括但不限于石英、碳氮化硅和氧化铝。其他合适的材料在本发明的预期范围内。在衬底10包括半导体衬底(诸如硅衬底)的实施例中,诸如场效应晶体管的半导体器件(未示出)可以形成在衬底10上。在这样的实施例中,绝缘基质层20可以具有形成在其中的金属互连结构(未示出)。

[0076] 可以在绝缘基质层20的顶部上方施加光刻胶层(未示出)。可以光刻图案化光刻胶层以形成贯穿其中的离散开口。可以在光刻胶层中图案化至少一对开口。在一个实施例中,光刻胶层中的开口可以以二维周期阵列的图案布置,该二维周期阵列可以沿着第一水平方向hd1以第一节距和沿着第二水平方向hd2以第二节距重复。在说明性示例中,第一节距可以在从80nm至2000nm的范围内,诸如从200nm至1000nm,但是也可以使用更小和更大的第一节距。第二节距可以在从40nm至1000nm的范围内,诸如从80nm至500nm,但是也可以使用更小和更大的第二节距。

[0077] 在一个实施例中,二维周期阵列的图案可以是具有矩形单位单元UC的区域的矩形周期图案。矩形周期图案可以沿着第一水平方向hd1以第一节距重复,并且可以沿着第二水平方向hd2以第二节距重复。在可选实施例中,单位单元的图案可以沿着第一水平方向hd1在单位单元UC的每个边界处和/或沿着第二水平方向hd2在单位单元UC的每个边界处被翻转成镜像。尽管使用实施例描述了本发明,在该实施例中,单位单元UC的图案在单位单元UC的每个边界处沿着第一水平方向hd1翻转成镜像,而不在单位单元UC的边界处沿着第二水平方向hd2翻转,在这里明确地预期这样的实施例:单位单元UC的图案沿着每个水平方向和/或第一水平方向hd1和第二水平方向hd2中的任一个被翻转或不翻转。

[0078] 在一个实施例中,单位单元UC的区域可以包括光刻胶层中的两个开口,该两个开口沿着第一水平方向hd1横向间隔开。在一个实施例中,光刻胶层中的每个开口可以具有矩形形状。开口的其他形状在本发明的预期范围内。可以执行各向异性蚀刻工艺以穿过绝缘基质层20的上部转印光刻胶层中的图案。可以在绝缘基质层20的被各向异性蚀刻工艺去除的体积中形成凹槽区域(17、14)。可选地,可以使用各向同性蚀刻工艺在绝缘基质层20中图

案化凹槽区域(17、14)。随后可以例如通过灰化来去除光刻胶层。

[0079] 凹槽区域(17、14)可以包括漏极凹槽区域17,随后在漏极凹槽区域17中形成漏极区域。凹槽区域(17、14)也可以包括栅极凹槽区域14,随后在栅极凹槽区域14中形成背侧栅电极。一对漏极凹槽区域17和栅极凹槽区域14可以沿着第一水平方向hd1横向地间隔开。可以形成多对的漏极凹槽区域17和栅极凹槽区域14,并且可以成行布置,每行沿着第二水平方向hd2延伸。

[0080] 每个凹槽区域(17、14)的深度可以在10nm至200nm的范围内,但是也可以使用更小和更大的深度。沿着第一水平方向hd1彼此横向间隔开的一对漏极凹槽区域17和栅极凹槽区域14可以具有与第二水平方向hd2平行的边缘。在这样的实施例中,一对漏极凹槽区域17和栅极凹槽区域14可以具有均匀的横向分隔距离。一对漏极凹槽区域17和栅极凹槽区域14之间的横向间距可以在从20nm至600nm的范围内,诸如从40nm至300nm,但是也可以使用更小和更大的横向间距(即沟道长度)。在一个实施例中,凹槽区域(17、14)可以具有矩形的水平横截面形状,但是其他横截面形状也在本发明的预期范围内。每个凹槽区域(17、14)沿着第一水平方向hd1的横向尺寸可以在从20nm到600nm的范围内,但是也可以使用更小和更大的尺寸。每个凹槽区域(17、14)沿着第二水平方向hd2的横向尺寸可以在从20nm到600nm的范围内,但是也可以使用更小和更大的尺寸。

[0081] 参考图2A至图2D,可以通过共形或非共形沉积工艺在凹槽区域(17、14)中沉积至少一种导电材料。至少一种导电材料可以包括掺杂的半导体材料和/或金属材料。可以用作导电材料的示范性金属材料包括诸如TiN、TaN和/或WN的导电金属氮化物材料、诸如W、Ru、Co、Mo、Ti、Ta的元素金属、至少两种元素金属的金属间合金以及诸如金属硅化物的金属-半导体合金材料。其他合适的金属材料可以在本发明的预期范围内。可以用作至少一种导电材料的示范性掺杂半导体材料包括但不限于掺杂的多晶硅、掺杂的硅锗合金、掺杂的III-V化合物半导体材料(诸如GaAs、InAs或InGaAs)和重掺杂的金属氧化物半导体材料(诸如具有高水平掺杂的铟镓锌氧化物(IGZO)、掺杂的氧化锌、掺杂的氧化铟或掺杂的氧化镉)。其他合适的半导体材料可以在本发明的预期范围内。掺杂的半导体材料中的掺杂剂浓度可以在从 $1.0 \times 10^{19}/\text{cm}^3$ 至 $2.0 \times 10^{21}/\text{cm}^3$ 的范围内,但是也可以使用更小和更大的掺杂剂浓度。掺杂剂可以是p型或n型。

[0082] 可以通过诸如化学机械平坦化(CMP)工艺的平坦化工艺从包括绝缘基质层20的顶面的水平面之上去除至少一种导电材料的过量部分。填充漏极凹槽区域17的至少一种导电材料的每个剩余部分包括漏极区域18。填充栅极凹槽区域14的至少一种导电材料的每个剩余部分包括背侧栅电极15。在一个实施例中,漏极区域18的顶面和背侧栅电极15的顶面可以与绝缘基质层20的顶面共面。

[0083] 参考图3A至图3D,可以在绝缘基质层20、漏极区域18和背侧栅电极15的顶面上方施加光刻胶层(未示出)。可以光刻图案化光刻胶层(未示出)以形成穿过其的离散开口。可以在光刻胶层中的单位单元UC的每个区域内图案化一个开口。光刻胶层中的每个开口可以具有与相应的背侧栅电极15的边缘重叠或跨越背侧栅电极15的边缘部分的边缘。在一个实施例中,光刻胶层中的每个开口可以具有矩形形状。其他形状的开口在本发明的预期范围内。可以执行各向异性蚀刻工艺以穿过绝缘基质层20的上部转印光刻胶层中的图案。可以在通过各向异性蚀刻工艺去除的绝缘基质层20的体积中形成源极凹槽区域11。可选地,可

以使用各向同性蚀刻工艺来在绝缘基质层20中图案化源极凹槽区域11。蚀刻工艺可以相对于背侧栅电极15的材料选择性地去除绝缘基质层20的材料。随后可以例如通过灰化去除光刻胶层。

[0084] 源极凹槽区域11可以形成在每个单位单元UC内,使得背侧栅电极15的侧壁物理地暴露于源极凹槽区域11。每个源极凹槽区域11的深度可以在从10nm至200nm的范围内,但是也可以使用更小和更大的深度。在一个实施例中,源极凹槽区域11可以具有矩形的水平横截面形状,但是其他横截面形状也在本发明的预期范围内。每个源极凹槽区域11沿着第一水平方向hd1的横向尺寸可以在从20nm到600nm的范围内,但是也可以使用更小和更大的尺寸。每个源极凹槽区域沿着第二水平方向hd2的横向尺寸可以在从30nm到600nm的范围内,但是也可以使用更小和更大的尺寸。

[0085] 参考图4A至图4D,可以在绝缘基质层20上方施加光刻胶层117。可以光刻图案化光刻胶层117以覆盖UC的漏极区域18,而不覆盖UC的背侧栅电极15。可以执行各向同性蚀刻工艺,以使背侧栅电极15的至少一种导电材料相对于绝缘基质层20的介电材料选择性地凹进。在一个实施例中,各向同性蚀刻工艺可以是缓慢的湿蚀刻工艺,湿蚀刻工艺各向同性地使背侧栅电极15的物理暴露表面凹进一凹进距离。在一个实施例中,凹进距离可以与随后要形成的背侧栅极介电层的厚度相同或可以基本上相同。例如,凹进距离可以在从1nm到12nm的范围内,诸如从2nm到6nm,但是也可以使用更小和更大的凹进距离。随后可以例如通过灰化去除光刻胶层117。

[0086] 通常,可以通过使背侧栅电极15的物理暴露表面各向同性地凹进来图案化栅极凹槽区域14中的至少一种导电材料的部分。绝缘基质层20可以嵌入有漏极区域18和背侧栅电极15。漏极区域18和背侧栅电极15可以包括和/或可以基本上由相同组的至少一种导电材料组成。在一个实施例中,漏极区域18和背侧栅电极15可以包括和/或可以基本上由相同的导电材料组成。每个漏极区域18的远端表面(诸如底面)和每个背侧栅电极15的远端表面(诸如底面)可以平行于包括绝缘基质层20的顶面的水平面。每个漏极区域18的远端表面和每个背侧栅电极15的远端表面可以与包括绝缘基质层20的顶面的水平面垂直地间隔开相同的间距。

[0087] 参考图5A至图5D,可以在背侧栅电极15的物理暴露的表面上形成背侧栅极介电层22。在一个实施例中,背侧栅电极15包括可以形成介电氧化物材料(诸如氧化硅)的重掺杂半导体材料(诸如重掺杂多晶硅)。在该实施例中,可以用牺牲氧化阻挡层(未示出)(诸如厚度在5nm至20nm的范围内的薄氮化硅层)来掩蔽漏极区域18的顶面。可以执行氧化工艺以将背侧栅电极15的物理暴露的表面部分转化为背侧栅极介电层22。可以例如通过灰化去除牺牲氧化阻挡层。

[0088] 可选地,可以通过共形沉积背侧栅极介电材料层以及通过图案化背侧栅极介电材料层以使得背侧栅极介电材料层的剩余部分包括背侧栅极介电层22来形成背侧栅极介电层22。在该实施例中,可以通过诸如低压化学气相沉积(LPCVD)工艺或原子层沉积(ALD)工艺的共形沉积工艺来沉积背侧栅极介电层22,并且可以使用掩模蚀刻工艺图案化背侧栅极介电层22。在该实施例中,图案化的光刻胶层可以在掩模蚀刻工艺期间用作蚀刻掩模。背侧栅极介电层22可以覆盖每个背侧栅电极15的顶面和侧壁。

[0089] 背侧栅极介电层22的背侧栅极介电材料可以包括诸如氧化硅、氮氧化硅、介电金

属氧化物或它们的组合的栅极介电材料。其他合适的介电材料在本发明的预期范围内。背侧栅极介电层22的厚度可以在从1nm至12nm的范围内,诸如从2nm至6nm,但是也可以使用更小和更大的厚度。

[0090] 通常地,每个背侧栅极介电层22可以形成在相应的背侧栅电极15上。可以通过在背侧栅电极15上沉积背侧栅介电材料来形成每个背侧栅极介电层22。可选地,可以通过例如通过氧化将背侧栅电极15的表面部分转化为介电材料来形成每个背侧栅极介电层22。绝缘基质层20可以设置在每个单位单元UC内的漏极区域18和背侧栅电极15之间。在一个实施例中,背侧栅极介电层22可以包括和/或由平行于第一水平方向hd1延伸的第一部分和垂直于第一水平方向hd1延伸的第二部分组成。

[0091] 参考图6A至图6D,可以通过共形或非共形沉积工艺在源极凹槽区域11中沉积至少一种导电材料。至少一种导电材料可以包括掺杂的半导体材料和/或金属材料。可以用于形成漏极区域18和背侧栅电极15的任何导电材料都可以用作沉积在源极凹槽区域11中的至少一种导电材料。沉积在源极凹槽区域11中的材料可以与漏极区域18和背侧栅电极15的至少一种导电材料相同或不同。

[0092] 可以通过平坦化工艺从包括绝缘基质层20的顶面的水平面之上去除至少一种导电材料的过量部分。在一个实施例中,平坦化工艺可以使用凹槽蚀刻工艺,该蚀刻工艺相对于背侧栅极介电层22和绝缘基质层20的材料选择性地蚀刻至少一种导电材料。可选地,在凹槽蚀刻工艺之前,可以执行化学机械平坦化工艺以从背侧栅极介电层22和绝缘基质层20之上减薄至少一种导电材料,而不物理暴露背侧栅极介电层22以防止机械损坏。

[0093] 填充源极凹槽区域11的至少一种导电材料的每个剩余部分包括第一源极部分121,该第一源极部分121是源极区域的第一部分。每个第一源极部分121可以形成在绝缘基质层20中。每个第一源极部分121可以邻近背侧栅极介电层22。每个第一源极部分121可以与背侧栅极介电层22的侧壁接触。在一个实施例中,漏极区域18和背侧栅极介电层22的顶面可以与绝缘基质层20的顶面共面。第一源极部分121的顶面可以与包括绝缘体层20的顶面的水平面共面,或者可以凹进至包括绝缘基质层20的顶面的水平面下方。

[0094] 金属氧化物半导体沟道层30可以沉积在第一源极部分121、背侧栅极介电层22、漏极区域18和绝缘基质层20上方。金属氧化物半导体沟道层30包括金属氧化物半导体材料,诸如铟镓锌氧化物(IGZO)、掺杂的氧化锌、掺杂的氧化铟或掺杂的氧化镉。其他合适的金属氧化物半导体材料在本发明的预期范围内。可以选择金属氧化物半导体沟道层30中的掺杂剂水平,使得在器件操作期间通过金属氧化物半导体沟道层30的漏电流可以忽略不计。例如,金属氧化物半导体沟道层30中的掺杂剂水平可以在从 $1.0 \times 10^{10}/\text{cm}^3$ 至 $2.0 \times 10^{16}/\text{cm}^3$ 的范围内,但是也可以使用更小和更大的掺杂剂浓度。

[0095] 可以例如通过化学气相沉积来沉积金属氧化物半导体沟道层30。整个金属氧化物半导体沟道层30可以具有均匀的厚度。金属氧化物半导体沟道层30的厚度可以在从10nm至200nm的范围内,诸如从20nm至100nm,但是也可以使用更小和更大的厚度。在一个实施例中,金属氧化物半导体沟道层30可以具有第一主表面301,该第一主表面301可以与绝缘基质层20、漏极区域18、背侧栅极介电层22和第一源极部分121接触。金属氧化物半导体沟道层30可以具有第二主表面302,该第二主表面302是顶面。元件的主表面是包括该元件的整个表面积的至少1/6的表面。在说明性示例中,立方体可以具有六个主表面,并且取决于边

的长度之间的比率,具有不等边的长方体形状物体可以具有两个主表面或四个主表面。在一个实施例中,第一主表面和第二主表面可以是平面,即位于相应二维平面内的表面。

[0096] 在金属氧化物半导体沟道层30中使用金属氧化物半导体材料代替元素半导体材料或III-V化合物半导体材料提供将漏电流抑制到可忽略的水平优点。使用金属氧化物半导体材料代替元素半导体材料或III-V族化合物半导体材料作为沟道材料可以使非易失性存储器器件成为可能。金属氧化物半导体材料可以提供大于 1.0×10^9 的开关比。换句话说,对于使用金属氧化物半导体材料作为沟道材料的场效应晶体管,导通电流与截止电流的比率可以大于 1.0×10^9 。相反,由元素半导体材料和III-V族化合物半导体材料组成的沟道提供约 1.0×10^4 的开关比。因此,使用金属氧化物半导体材料作为沟道材料提供低漏电流的优点。低漏电流特性可以提供非易失性存储器器件。如果电荷保持时间大于1天或365天,则本发明的存储器器件可以用作非易失性存储器器件。可选地,可以以与动态随机存取存储器相同的方式以周期刷新来操作随后要形成的存储器器件。例如,如果电荷保持时间小于1天,则本发明的存储器器件可以以周期的存储器刷新操作来操作,其中,在保持时间内的周期的基础上读取和重写数据位。

[0097] 参考图7A至图7D,可以穿过直接位于相应的一个第一源极部分121的顶面上的金属氧化物半导体沟道层30形成第二源极部分122。在一个实施例中,可以执行掩模离子注入以将金属氧化物半导体沟道层30中的离散部分转化为第二源极部分122。在该实施例中,可以在金属氧化物半导体沟道层30上方施加光刻胶层(未示出)。可以光刻图案化该光刻胶层,以在位于第一源极部分121的阵列上面的区域中形成开口的阵列。可以穿过光刻胶层中的开口注入电掺杂剂(诸如p型掺杂剂或n型掺杂剂),以将金属氧化物半导体沟道层30的注入部分转化为第二源极部分122。电掺杂剂可以选自但不限于Na、K、Mg、Ca、Sr、Sc、Y、La、B、Al、Ga、N、P、As、Sb、F、Cl和Br。第二源极部分122中的电掺杂剂的原子浓度可以在从 $1.0 \times 10^{19}/\text{cm}^3$ 到 $2.0 \times 10^{21}/\text{cm}^3$ 的范围内,诸如从 $5.0 \times 10^{19}/\text{cm}^3$ 到 $1.0 \times 10^{21}/\text{cm}^3$,但是也可以使用更小和更大的原子浓度。在该实施例中,每个第二源极部分122可以包括与金属氧化物半导体沟道层30相同的金属氧化物半导体材料。然而,第二源极部分122还可以包括原子浓度比金属氧化物半导体沟道层30中的原子浓度高的至少一种掺杂剂原子。随后可以去除光刻胶层。

[0098] 可选地,可以执行各向异性蚀刻工艺来代替离子注入工艺。可以去除光刻胶层中的开口下面的金属氧化物半导体沟道层30的部分以形成凹槽腔。在这样的实施例中,每个第一源极部分121的顶面可以在光刻胶层中的开口下面的金属氧化物半导体沟道层30中形成的每个凹槽腔的底部处物理地暴露。可以例如通过灰化去除光刻胶层。至少一种导电材料可以沉积在凹槽腔中。沉积在凹槽腔中的至少一种导电材料可以是用于漏极区域18、背侧栅电极15和/或第一源极部分121的任何导电材料。可以通过平坦化工艺从包括金属氧化物半导体沟道层30的顶面的水平面之上去除至少一种导电材料的过量部分。平坦化工艺可以使用凹槽蚀刻工艺或化学机械平坦化工艺。填充相应的凹槽腔的至少一种导电材料的每个剩余部分包括第二源极部分122。在该实施例中,第二源极部分122可以包括与漏极区域18和背侧栅电极15的材料相同的材料,或者可以包括与漏极区域18和背侧栅电极15的材料不同的材料。第二源极部分122可以包括与第一源极部分121的材料相同的材料,或者可以包括与第一源极部分121的材料不同的材料。第二源极部分122可以包括与金属氧化

物半导体沟道层30的材料相同的材料,或可以包括与金属氧化物半导体沟道层30的材料不同的材料。在一个实施例中,第二源极部分122可以包括和/或可以基本上由至少一种金属材料组成。第一源极部分121和第二源极部分122的每个垂直堆叠件包括源极区域12。

[0099] 通常地,源极区域12可以包括包含第一源极部分121的第一部分和包含第二源极部分122的第二部分。可以通过掺杂金属氧化物半导体沟道层30的部分,或者通过用导电材料部分代替金属氧化物半导体沟道层30的部分来形成每个源极区域12的第二部分。包括第二源极部分122的源极区域12的第二部分与包括第一源极部分121的源极区域12的第一部分接触。通常地,每个源极区域12可以形成为使得源极区域12与金属氧化物半导体沟道层30的端面(例如303)接触,该端面与金属氧化物半导体沟道层30的主表面(301、302)垂直并且邻接。

[0100] 在一个实施例中,每个源极区域12可以包括与背侧栅极介电层22接触的第一源极部分121。每个源极区域12还可以包括与金属氧化物半导体沟道层30的第一端面303接触的第二源极部分122。端面是附接至主表面的非主表面。在一个实施例中,第一源极部分121和第二源极部分122之间的界面可以位于包括金属氧化物半导体沟道层30和绝缘基质层20之间的界面的水平面内。可选地,第一源极部分121和第二源极部分122之间的界面可以凹进至绝缘基质层20的顶面下方。在一个实施例中,第一源极部分121和第二源极部分122可以包括不同的导电材料。

[0101] 参考图8A至图8D,可以在金属氧化物半导体沟道层30的第二主表面302(即,平坦的顶面)上沉积第一栅极介电材料层。第一栅极介电材料层包括栅极介电材料,诸如氧化硅、氮氧化硅、介电金属氧化物或它们的组合。其他合适的介电材料在本发明的预期范围内。第一栅极介电材料层的厚度可以在从1nm至12nm的范围内,诸如从2nm至6nm,但是也可以使用更小和更大的厚度。可以通过共形沉积工艺或非共形沉积工艺来沉积第一栅极介电材料层。

[0102] 根据本发明的实施例,可以图案化第一栅极介电材料层。例如,通过施加和图案化光刻胶层(未示出),可以在第一栅极介电材料层上方形成掩模。可以蚀刻第一栅极介电材料层的未掩蔽部分以形成第一栅极介电层40。第一栅极介电材料层的每个剩余的图案化部分构成第一栅极介电层40。例如,随后可以通过灰化去除光刻胶层。在一个实施例中,每个第一栅极介电层40可以形成为具有均匀宽度并且沿着第二水平方向hd2横向延伸的条。在一个实施例中,每个第一栅极介电层40的沿着第一水平方向hd1的均匀宽度可以小于单位单元UC的沿着第一水平方向hd1的节距的两倍。每个第一栅极介电层40可以在源极区域12的整个区域、位于源极区域12和邻近的漏极区域18之间的整个区域以及邻近的漏极区域18的近端部分(即,每个单位单元UC内的靠近源极区域12的部分)上方连续地延伸。邻近的漏极区域18的远端部分可以未由每个单位单元UC内的第一栅极介电层40覆盖。

[0103] 在一个实施例中,沿着第二水平方向hd2横向延伸的每个第一栅极介电层40的直边位于相应的漏极区域18上面。因此,每个漏极区域18的近端部分可以由第一栅极介电层40覆盖,并且每个漏极区域18的远端部分可以由第一栅极介电层40覆盖。相对于相应的漏极区域18的总面积,每个漏极区域18的远端部分的分数的分数(即,未由第一栅极介电层40覆盖的分数)可以在从0.2至0.8的范围内,诸如从0.35至0.65,但是也可以使用更小和更大的分数。金属氧化物半导体沟道层30的顶面的部分可以在漏极区域18的每个远端部分之上物理

地暴露,使得金属氧化物半导体沟道层30的物理暴露的部分具有与相应的下面的漏极区域18重叠的区域。

[0104] 参考图9A至图9D,可以在金属氧化物半导体沟道层30和第一栅极介电层40的物理暴露的表面上沉积栅电极材料,以形成栅电极材料层50L。栅电极材料可以包括掺杂的半导体材料或金属材料。可以用作栅电极材料的掺杂的半导体材料包括掺杂的多晶硅、硅锆合金或掺杂的III-V化合物半导体材料。其他合适的掺杂的半导体材料在本发明的预期范围内。作为栅电极材料的掺杂的半导体材料可以包括掺杂剂,掺杂剂浓度在从 $1.0 \times 10^{19}/\text{cm}^3$ 至 $2.0 \times 10^{21}/\text{cm}^3$ 的范围内,但是也可以使用更小和更大的掺杂剂浓度。掺杂剂可以是p型或n型。可以用作栅电极材料的金属材料包括导电金属氮化物材料(诸如TiN、TaN和WN)、元素金属(诸如W、Ta、Ru、Co或Mo)以及至少两种金属的金属间合金。其他合适的金属材料在本发明的预期范围内。栅电极材料层可以形成在金属氧化物半导体沟道层30和第一栅极介电层40上方。栅电极材料层50L的厚度可以在从50nm至300nm的范围内,但是也可以使用更小和更大的厚度。

[0105] 参考图10A至图10D,可以在栅电极材料层50L上方施加光刻胶层(未示出)。可以光刻图案化光刻胶层以形成线和间隔图案,该线和间隔图案包括沿着第一水平方向hd1横向延伸的光刻胶材料条。线和间隔图案可以沿着第二水平方向hd2具有均匀的节距,该节距可以与第二节距相同。在一个实施例中,光刻胶材料条之间的间隙可以位于每个背侧栅电极15的端部和每个漏极区域18的端部上面。每个光刻胶材料条可以沿着第二水平方向hd2具有均匀的宽度,该宽度可以在第二节距的50%到80%的范围内。例如,每个光刻胶材料条可以具有在从20nm至800nm的范围内的均匀宽度,诸如从60nm至300nm,但是也可以使用更小和更大的宽度。

[0106] 可以执行各向异性蚀刻工艺以相对于漏极区域18和背侧栅电极15的材料选择性地蚀刻栅电极材料层50L、第一栅极介电层40和金属氧化物半导体沟道层30的未掩蔽部分。可选地,各向异性蚀刻工艺可以对绝缘基质层20的材料具有选择性。可以在未由光刻胶材料条掩蔽的区域中形成沿着第一水平方向hd1横向延伸的线沟槽。栅电极材料层50L、第一栅极介电层40和金属氧化物半导体沟道层30中的每个可以划分为多个条,这些条沿着第一水平方向hd1横向延伸并且沿着第二水平方向hd2具有第二节距。具体地,金属氧化物半导体沟道层30可以划分为具有相应的条形的多个金属氧化物半导体沟道层30。第一栅极介电层40可以划分为具有相应的条形的多个第一栅极介电层40。栅电极材料层50L可以划分为多个第一栅电极50,多个第一栅电极50沿着第一水平方向hd1横向地延伸并且沿着第二水平方向hd2具有相应的均匀宽度。金属氧化物半导体沟道层30、第一栅极介电层40和第一栅电极50的每个垂直堆叠件可以具有均匀的宽度,并且可以位于相应的相邻的一对线沟槽之间。随后可以例如通过灰化去除光刻胶层。

[0107] 至少一种介电材料可以沉积在金属氧化物半导体沟道层30、第一栅极介电层40和第一栅电极50的每对相邻的垂直堆叠件之间的线槽中。例如,至少一种介电材料可以包括氮化硅衬垫和诸如氧化硅的介电填充材料。氮化硅衬垫的厚度可以在从3nm至20nm的范围内,诸如从6nm至10nm,但是也可以使用更小和更大的厚度。可以通过共形沉积工艺或通过旋涂来沉积介电填充材料。可以通过平坦化工艺从包括第一栅电极50的顶面的水平面之上去除至少一种介电材料的过量部分。平坦化工艺可以使用凹槽蚀刻工艺和/或化学机械平

平坦化工艺。填充相应的线沟槽的至少一种介电材料的每个剩余部分包括介电轨90。

[0108] 参考图11A至图11D,可以在介电轨90和第一栅电极50上方施加光刻胶层(未示出)。可以光刻图案化光刻胶层以形成离散开口的阵列,使得光刻胶中的每个开口的边缘位于相应的漏极区域18的外周部分上面,该外周部分远离同一UC中的相应的背侧栅电极15。在一个实施例中,光刻胶层中的离散开口可以形成在不存在第一栅极介电层40的区域内。在一个实施例中,光刻胶层中的每个开口可以在沿着第二水平方向hd2横向间隔开的一对横向相邻的介电轨90之间横向延伸。

[0109] 可以执行各向异性蚀刻工艺以蚀刻穿过第一栅电极50、金属氧化物半导体沟道层30、绝缘基质层20的上部以及可选地漏极区域18的边缘部分的未掩蔽部分。可以在从中蚀刻了第一栅电极50、金属氧化物半导体沟道层30和绝缘基质层20的上部的体积内形成栅极通孔腔69。第一栅电极50的侧壁、金属氧化物半导体沟道层30的第二端面304以及漏极区域18的侧壁可以在每个栅极通孔腔69的一侧上物理地暴露。在一个实施例中,栅极通孔腔69可以具有笔直的侧壁,该笔直的侧壁包括第一栅电极50的侧壁、金属氧化物半导体沟道层30的侧壁和漏极区域18的侧壁。每个栅极通孔腔69的沿着第一水平方向hd1的横向尺寸可以在从20nm至600nm的范围内,诸如从60nm至300nm,但是也可以使用更小和更大的横向尺寸。沿着第二水平方向hd2的每个栅极通孔腔69的横向尺寸可以与沿着第二水平方向hd2的相邻的一对介电轨90之间的横向间距相同或可以大于该横向间距。每个栅极通孔腔69可以具有矩形水平横截面形状、圆形水平横截面形状、椭圆形水平横截面形状或任何闭合的非相交的二维水平横截面曲线形状的水平横截面形状,只要栅极通孔腔69在一对介电轨90之间横向延伸。

[0110] 通常地,可以通过蚀刻第一栅电极50、金属氧化物半导体沟道层30、绝缘基质层20的部分以及漏极区域18的边缘部分而物理地暴露第一栅电极50的表面、金属氧化物半导体沟道层30的端面(诸如第二端面304)和漏极区域18的表面。

[0111] 参考图12A至图12D,第二栅极介电材料层60可以沉积在栅极通孔腔69中以及第一栅电极50和介电轨90上方。在该处理步骤处沉积的第二栅极介电材料层60也称为垂直栅极介电材料层(随后用于提供垂直延伸的栅极介电层)。第二栅极介电材料层60可以包括可以用于第一栅极介电层40或背侧栅极介电层22的任何材料。例如,第二栅极介电材料层60可以包括栅极介电材料,诸如氧化硅、氮氧化硅、介电金属氧化物或它们的组合。第二栅极介电材料层的厚度可以在从1nm至12nm的范围内,诸如从2nm至6nm,但是也可以使用更小和更大的厚度。可以通过诸如低压化学气相沉积(LPCVD)工艺或原子层沉积(ALD)工艺的共形沉积工艺来沉积第二栅极介电材料层60。在一个实施例中,第二栅极介电材料层60可以沉积在每个漏极区域18的侧壁上、每个金属氧化物半导体沟道层30的物理暴露的端面上以及每个第一栅电极50的侧壁上。第二栅极介电材料层60不接触任何第一栅极介电层40。

[0112] 至少一种导电填充材料70可以随后沉积在第二栅极介电材料层60上方的栅极通孔腔69的剩余体积中。至少一种导电填充材料70可以是用作第一栅电极50的材料的任何材料。例如,至少一种导电填充材料70可以包括掺杂的半导体材料或金属材料。每个栅极通孔腔69的整个体积可以由第二栅极介电层60和至少一种导电填充材料70的组合填充。

[0113] 可以通过平坦化工艺去除第二栅极介电材料层60和至少一种导电填充材料70的位于包括第一栅电极50和介电轨90的顶面的水平面上面的过量部分。平坦化工艺可以使用

化学机械平坦化 (CMP) 工艺和/或凹槽蚀刻工艺。第二栅极介电材料层60可以划分为多个离散部分,每个离散部分在这里称为第二栅极介电层60。换句话说,第二栅极介电材料层的每个剩余部分包括第二栅极介电层60。在相应的栅极通孔腔内的至少一种导电填充材料的每个剩余部分构成第二栅电极70。

[0114] 通常地,第二栅极介电层60和第二栅电极70可以形成在每个栅极通孔腔69中。每个第二栅极介电层60可以形成在漏极区域18的侧壁上、金属氧化物半导体沟道层30的端面(诸如侧壁)上和第一栅电极50的侧壁上。每个第二栅电极70可以形成在相应的第二栅极介电层60的侧壁上,并且可以形成在相应的第二栅极介电层60内。每个第二栅电极70可以由相应的第二栅极介电层60横向围绕,并且可以与相应的第二栅极介电层60的水平底部的顶面接触。

[0115] 每个第二栅极介电层60可以形成在第一栅电极50、金属氧化物半导体沟道层30和漏极区域18的物理暴露表面上。每个金属氧化物半导体沟道层30可以具有第一主表面301,第一主表面301与绝缘基质层20、漏极区域18的近端表面以及背侧栅极介电层22的第一部分接触。每个金属氧化物半导体沟道层30还可以具有第二主表面302,第二主表面302与第一栅极介电层40和第一栅电极50接触。每个金属氧化物半导体沟道层30还可以具有第一端面303和第二端面304,第一端面303与源极区域12的表面(可以是源极区域12的第二源极部分122的表面)接触,第二端面304与第二栅极介电层60接触。在一个实施例中,栅极通孔腔69的侧壁可以是直的,并且金属氧化物半导体沟道层30的第二端面、第一栅电极50的表面(诸如侧壁)和漏极区域18的表面(诸如侧壁)可以位于与金属氧化物半导体沟道层30的第一主表面301和第二主表面304垂直的同一平面(诸如垂直平面)内。

[0116] 参考图13A至图13D,可以在介电轨90和第一栅电极50上方施加光刻胶层(未示出)。可以光刻图案化该光刻胶层以在相应的一个源极区域12上面形成离散开口的阵列。在一个实施例中,光刻胶层中的每个开口可以在沿着第二水平方向hd2横向间隔开的一对横向相邻的介电轨90之间横向延伸。

[0117] 可以执行各向异性蚀刻工艺以蚀刻穿过第一栅电极50和第一栅极介电层40的未掩蔽部分。源极接触腔可以形成在从中蚀刻了第一栅电极50和第一栅极介电层40的材料体积内。可以穿过第一栅电极50和第一栅极介电层40形成源极接触腔的阵列(未示出)。第一栅电极50的侧壁和第一栅极介电层40的侧壁可以在源极接触腔的每侧上物理地暴露。在一个实施例中,源极接触腔可以具有包括第一栅电极50的侧壁和第一栅极介电层40的侧壁的笔直侧壁。每个源极接触腔的沿着第一水平方向hd1的横向尺寸可以在从20nm至600nm的范围内,诸如从60nm至300nm,但是也可以使用更小和更大的横向尺寸。每个源极接触腔的沿着第二水平方向hd2的横向尺寸可以与沿着第二水平方向hd2的一对相邻的介电轨90之间的横向间距相同或可以大于该横向间距。每个源极接触腔可以具有矩形的水平横截面形状、圆形的水平横截面形状、椭圆形的水平横截面形状或任何闭合的非相交的二维水平横截面曲线形状的水平横截面形状,只要源极接触腔在一对介电轨90之间横向延伸。

[0118] 诸如氧化硅的绝缘材料层56可以共形地沉积在源极接触腔中和第一栅电极50上方。可以通过执行各向异性蚀刻工艺来去除绝缘材料层56的水平延伸的部分。绝缘材料层的每个剩余的垂直延伸的管状部分构成源极隔离间隔件56。

[0119] 可以在源极接触腔的剩余体积中沉积至少一种导电材料52。至少一种导电材料可

以包括至少一种金属阻挡材料,诸如TiN、TaN和/或WN;以及金属填充材料,诸如Cu、Co、Ru、Mo、W、另一种元素金属和/或金属间合金。其他合适的导电材料在本发明的预期范围内。可以通过平坦化工艺从包括第一栅电极50的顶面的水平面之上去除至少一种导电材料的过量部分,该平坦化工艺可以使用化学机械平坦化工艺和/或凹槽蚀刻工艺。至少一种导电材料的每个剩余部分构成源极接触通孔结构52。每个源极接触通孔结构52可以具有位于包括第一栅电极50的顶面的水平面内的顶面。

[0120] 源极接触通孔结构52和源极隔离间隔件56的每个组合构成横向绝缘的源极接触结构(52、56)。每个横向绝缘的源极接触结构(52、56)可以包括源极接触通孔结构52,该源极接触通孔结构52与源极区域12接触并且沿着垂直于金属氧化物半导体沟道层30的第一主表面301和第二主表面302的方向延伸。每个横向绝缘的源极接触结构(52、56)还可以包括围绕源极接触通孔结构52并且与第一栅电极50和第一栅极介电层40接触的源极隔离间隔件56。

[0121] 单位单元UC的每个区域包括半导体器件,该半导体器件可以是包括双沟道场效应晶体管的半导体存储器器件。半导体器件可以包括在沿着第一方向(诸如第一水平方向hd1)间隔开的第一端面303和第二端面304之间延伸的金属氧化物半导体沟道层30,该金属氧化物半导体沟道层30的厚度在第一主表面301和第二主表面302之间。金属氧化物半导体沟道层30可以连接第一主表面301和第二主表面302的相应边缘。半导体器件还可以包括与金属氧化物半导体沟道层30的第二主表面302的第一部分接触的第一栅极介电层40;位于第一栅极介电层40上面并且与金属氧化物半导体沟道层30的第二主表面302的第二部分接触的第一栅电极50;与金属氧化物半导体沟道层30的第一主表面301接触的漏极区域18和背侧栅极介电层22;与背侧栅极介电层22接触的背侧栅电极15;与金属氧化物半导体沟道层30的第二端面304接触的第二栅极介电层60;与第二栅极介电层60的表面接触的第二栅电极70;与金属氧化物半导体沟道层30的第一端面303接触的源极区域12。

[0122] 参考图14A至图14D,可以穿过介电轨90向下至漏极区域18和背侧栅电极15中的相应一个的顶面形成接触通孔腔。使用光刻胶层的光刻图案化步骤和各向异性蚀刻步骤的组合可以用于形成接触通孔腔。接触通孔腔可以包括垂直延伸至相应的一个漏极区域18的漏极接触通孔腔,以及垂直延伸至相应的一个背侧栅电极15的背侧栅极接触通孔腔。

[0123] 至少一种导电材料可以沉积在接触通孔腔中,并且可以被平坦化以形成接触通孔结构(95、98)。接触通孔结构(95、98)包括与相应的背侧栅电极15接触的背侧栅极接触通孔结构95和与相应的漏极区域18接触的漏极接触通孔结构98。

[0124] 可以沿着第二水平方向h2重复单位单元UC的图案,以提供至少一行场效应晶体管。可选地,单位单元UC的图案可以在沿着第一水平方向hd1延伸的每隔一列改变为镜像图案。此外,可以沿着第一水平方向hd1重复场效应晶体管的行的图案,以提供多行场效应晶体管。可选地,可以将单位单元UC的图案在沿着第二水平方向hd2延伸的每隔一行改变为镜像图案。

[0125] 通常地,提供包括多个场效应晶体管的半导体存储器器件。选自多个场效应晶体管的每个场效应晶体管可以位于绝缘基质层20上,该绝缘基质层20沿着第一方向(诸如第一水平方向hd1)和垂直于第一方向的第二方向(诸如第二水平方向hd2)延伸。多个场效应晶体管中的每个场效应晶体管可以包括:金属氧化物半导体沟道层30,在第一主表面301和

第二主表面302之间具有沿着第三方向(诸如垂直方向)的厚度;漏极区域18和背侧栅极介电层22,嵌入绝缘基质层20中并且与金属氧化物半导体沟道层30的第一主表面301接触;背侧栅电极15,嵌入绝缘基质层20中;第一栅极介电层40,与金属氧化物半导体沟道层30的第二主表面302的第一部分接触;以及第一栅电极50,位于第一栅极介电层40上并且与金属氧化物半导体沟道层30的第二主表面302的第二部分接触。多个场效应晶体管包括沿着第二方向(诸如第二水平方向hd2)布置的至少一行场效应晶体管,并且介电轨90与场效应晶体管的每一行内的相应的一对相邻的场效应晶体管的金属氧化物半导体沟道层30和第一栅电极50接触并且在它们之间提供横向电隔离。每个场效应晶体管可以包括与金属氧化物半导体沟道层30的第一端面303接触的源极区域12。此外,场效应晶体管可以包括与金属氧化物半导体沟道层30的第二端面304接触的第二栅极介电层60和与第二栅电极层60接触并且由第二栅电极层60围绕的第二栅电极70。

[0126] 在一个实施例中,至少一行场效应晶体管包括沿着第一方向(诸如第一水平方向hd1)布置的多行场效应晶体管,并且第二栅极介电层60的阵列位于场效应晶体管的相邻的行之间并且在场效应晶体管的相邻的行之间提供电隔离,并且每个第二栅极介电层60与相应的一个金属氧化物半导体沟道层30的端面(诸如第二端面304)接触并且围绕相应的第二栅电极70。

[0127] 根据本发明的实施例,可以在单位单元内的场效应晶体管的的操作期间形成第一沟道区域和第二沟道区域。场效应晶体管是包括两个可激活沟道区域的双沟道晶体管器件。第一沟道区域也称为水平沟道区域。第一沟道区域对应于金属氧化物半导体沟道层30的区域,在该区域内,电流可以在漏极区域18和源极区域12之间流动。第二沟道区域也称为垂直沟道区域。第二沟道区域对应于金属氧化物半导体沟道层30的区域,在该区域内,电流可以在漏极区域18与第一栅电极50之间流动。在电路级,双沟道晶体管器件包括水平沟道晶体管和垂直沟道晶体管,该水平沟道晶体管包括第一沟道区域作为第一沟道,垂直沟道晶体管包括第二沟道区域作为第二沟道。

[0128] 参考图15A,示意性地示出了在处于存储器状态(其中在第一栅电极50中存储电荷)(即,在第一栅电极50中编码“1”的状态)的读取操作期间的本发明的双沟道晶体管器件。图14A至图14D中的第一示例性结构的源极区域12表示为用于水平沟道晶体管的第一源极区域S1。图14A至图14D中的第一示例性结构的漏极区域18表示为用于水平沟道晶体管和垂直沟道晶体管的公共漏极区域D。图14A至图14D中的第一示例性结构的第一栅电极50表示为水平沟道晶体管的水平栅极(HG)。图14A至图14D中的第一示例性结构的第一栅电极50还用作垂直沟道晶体管的第二源极区域S2。图14A至图14D中的第一示例性结构的第二栅电极70表示为垂直沟道晶体管的垂直栅极(VG)。图14A至图14D中的第一示例性结构的第一栅电极50是电浮置的,除非垂直沟道晶体管的垂直沟道被激活,并且用作电容器的第一节点。电接地的组件(诸如源极区域12)的电接地用作电容器的第二节点。图14A至图14D中的第一示例性结构的背侧栅电极15表示为背侧栅极BG,背侧栅极BG可以在读取操作期间被激活以促进导通第一沟道。因此,背侧栅极BG也称为读取栅极。

[0129] 水平沟道晶体管包括作为源极区域的源极区域12、作为漏极区域的漏极区域18、作为半导体沟道的金属氧化物半导体沟道层30的水平延伸部分、作为栅电极的第一栅电极50以及作为栅极电介质的第一栅极介电层40。垂直沟道晶体管包括作为源极区域的第一栅

电极50、作为漏极区域的漏极区域18、与作为半导体沟道的第二栅极介电层60之间的垂直界面邻近的金属氧化物半导体沟道层30的表面部分、作为栅电极的第二栅电极70以及作为栅极电介质的第二栅极介电层60。

[0130] 在读取操作期间,可以通过将源极区域12电接地,通过向漏极区域18施加读取电压(诸如电源电压Vdd)以及通过测量在漏极区域18和源极区域12之间流动的电流来测量和确定第一栅电极50中的电荷量。包括背侧栅电极15的背侧栅极BG提供偏置电压,该偏置电压调整第一沟道的阈值电压,使得第一沟道仅在第一栅电极50被电荷充电时才导通。如果第一栅电极50被电荷充电(即,在编程“1”的编程操作之后存储电荷,即在第一栅电极50中存在电荷的状态),则第一栅电极50中的电荷激活金属氧化物半导体沟道层30内的水平半导体沟道。金属氧化物半导体沟道层30中的水平半导体沟道导通,并且读取电流在漏极区域18和源极区域12之间流动。非零读取电流可以由感测放大器检测,并且状态“1”可以由感测放大器测量和确定。垂直栅电极(即,第二栅电极70)可以是电浮置的,或者可以在读取操作期间接地。因为水平半导体沟道是激活的,所以辅助再充电电流可以流过金属氧化物半导体沟道层30的靠近第二栅电极70的边缘部分。因此,读取操作可以使“1”状态再充电并且补偿第一栅电极50中存储的电荷中的任何逐渐损失。

[0131] 参考图15B,示意性地示出了在存储器状态中的读取操作期间的本发明的双沟道晶体管器件,其中电荷未存储在第一栅电极50中,即,在第一栅电极50中编码状态“0”。如果第一栅电极50未充电(即,在编程“0”的编程操作之后未存储电荷,即在第一栅电极50中不存在电荷的状态),则由于在第一栅电极50中不存在电荷,因此在读取操作期间,金属氧化物半导体沟道层30内的水平半导体沟道未被激活。金属氧化物半导体沟道层30中的水平半导体沟道保持绝缘,并且在漏极区域18和源极区域12之间没有读取电流流动。零读取电流可以由感测放大器检测,并且状态“0”可以由感测放大器测量和确定。垂直栅电极(即,第二栅电极70)可以是电浮置的,或者可以在读取操作期间接地。辅助再充电电流不流过金属氧化物半导体沟道层30,因为金属氧化物半导体沟道层30保持不导电。因此,读取操作不会向第一栅电极50添加任何电荷,并且第一栅电极50保持在0V,即电接地的电压。

[0132] 参考图16A,根据本发明的实施例,示意性地示出了在用于写入“1”的写入(编程)操作期间的本发明的双沟道晶体管器件。通过将非零编程电压(诸如电源电压Vdd)施加至漏极区域18并且通过向第二栅电极70施加导通电压,可以将第一栅电极50编程为充电状态,即“1”状态,导通电压激活金属氧化物半导体沟道层30的表面部分中的表面半导体沟道。可以在第二栅极介电层60和金属氧化物半导体沟道层30之间的界面附近形成表面半导体沟道。充电电流流过表面半导体沟道进入第一栅电极50。源极区域12可以是电浮置的,或者可以在编程操作期间电接地。对于“1”状态的写入操作,背侧栅极BS上的电压并不重要。

[0133] 参考图16B,根据本发明的实施例,示意性地示出了在用于写入“0”的写入(编程)操作期间的本发明的双沟道晶体管器件。通过将零电压施加至漏极区域18并且通过将导通电压施加至第二栅电极70,可以将第一栅电极50编程为非充电状态,即“0”状态,导通电压激活金属氧化物半导体沟道层30的表面部分中的表面半导体沟道。可以在第二栅极介电层60和金属氧化物半导体沟道层30之间的界面附近形成表面半导体沟道。存储在第一栅电极50中的电荷可以通过表面半导体沟道流至电接地的漏极区域18。因此,第一栅电极50处的电压达到0V,即电接地的电压。源极区域12可以是电浮置的,或者可以在编程操作期间电接

地。对于“0”状态的写入操作，背侧栅极BS上的电压并不重要。

[0134] 参考图17，根据本发明的实施例的第二示例性结构包括存储器单元的三维阵列。每个存储器单元在图14A至图14D的第一示例性结构的单位单元内并入了双沟道三栅场效应晶体管。单位单元UC中的每个场效应晶体管用作存储器单元，并且可以如参考图15A至图16B所述地操作。

[0135] 在一个实施例中，存储器单元的二维阵列的多个实例可以垂直地堆叠在衬底10上方以形成存储器单元的三维阵列。衬底10可以是半导体衬底、绝缘衬底或导电衬底。存储器单元的二维阵列的每个实例可以竖直地堆叠在衬底10的主表面7上方。每个金属氧化物半导体沟道层30的主表面(301、302)可以平行于衬底10的主表面7。每个金属氧化物半导体沟道层30的端面(303、304)可以垂直于衬底10的主表面7。

[0136] 在一个实施例中，垂直重叠的源极接触通孔结构52可以垂直地延伸穿过绝缘基质层20以与上面的源极区域12和/或下面的源极区域12接触。在该实施例中，多个源极区域12和多个源极接触通孔结构52的垂直堆叠件可以共同形成源极线(12、52)，该源极线(12、52)可以沿着垂直于金属氧化物半导体沟道层30的主表面的方向延伸。在一些实施例中，代替或除了源极接触通孔结构52的垂直延伸件之外，源极区域12的各个部件可以垂直地延伸。源极隔离间隔件56可以根据需要垂直地延伸。

[0137] 在一个实施例中，垂直重叠的第二栅电极70可以合并为单个第二栅电极70，并且可以代替垂直重叠的多个第二栅极介电层60形成单个第二栅极介电层60。在该实施例中，可以形成垂直延伸穿过多层级绝缘基质层20的深沟槽，使得位于不同层级处的多个漏极区域18的侧壁物理地暴露，并且第二栅极介电材料层和至少一种导电填充材料可以沉积在深沟槽中，并且随后被平坦化以提供垂直地延伸穿过多个层级的第二栅极介电层60和第二栅电极70的组合。可以根据需要对存储器单元的组件执行其他修改。

[0138] 参考图18，根据本发明的实施例的第三示例性结构包括存储器单元的三维阵列。在该实施例中，在存储器单元的二维阵列的两个垂直相邻实例内的存储器单元的二维阵列可以上下翻转。例如，在以从1开始的正整数顺序编号存储器单元的所有堆叠的二维阵列之后，可以笔直形成存储器单元的二维阵列的每个奇数实例，而存储器单元的二维阵列的每个偶数实例可以倒置地形成。可选地，存储器单元的二维阵列的每个偶数实例可以笔直地形成，并且存储器单元的二维阵列的每个奇数实例可以倒置地形成。每个金属氧化物半导体沟道层30的主表面(301、302)可以平行于衬底10的主表面7。

[0139] 在一个实施例中，垂直重叠的源极接触通孔结构52可以垂直地延伸穿过绝缘基质层20以与上面的源极区域12和/或下面的源极区域12接触，并且提供延伸穿过多个层级的源极线(12、52)。在一个实施例中，垂直重叠的第二栅电极70可以合并为单个第二栅电极70，并且可以代替垂直重叠的多个第二栅极介电层60形成单个第二栅极介电层60。

[0140] 参考图19，根据本发明的实施例的第四示例性结构包括存储器单元的三维阵列。可以通过在载体衬底上堆叠存储器单元的二维阵列的多个实例，并且将存储器单元的二维阵列的多个实例的堆叠件转移到衬底10的主表面上，使得金属氧化物半导体沟道层30的主表面垂直于衬底10的主表面来形成第四示例性结构。可选地，可以通过从衬底10的主表面7向上图案化并且堆叠第四示例性结构的各个组件而垂直地形成第四示例性结构。每个金属氧化物半导体沟道层30的主表面(301、302)可以垂直于衬底10的主表面7。可以逐层执行相

同顺序的处理步骤。在一个实施例中,可以沿着水平方向重复存储器单元的实例,而无需改变图案。

[0141] 参考图20,根据本发明的实施例的第五示例性结构包括存储器单元的三维阵列。可以以与第四示例性结构相同的方式形成第五示例性结构。在一个实施例中,可以沿着水平方向重复存储器单元的实例,使得水平相邻的单元是彼此的镜像。每个金属氧化物半导体沟道层30的主表面(301、302)可以垂直于衬底10的主表面7。

[0142] 共同参考图1A至图20,并且根据本发明的各个实施例,提供了包括多个场效应晶体管的半导体存储器器件。选自多个场效应晶体管的每个场效应晶体管可以位于沿着第一方向(是包含在金属氧化物半导体沟道层30的主表面内的沟道方向,并且可以是垂直的或水平的)和垂直于第一方向的第二方向(是包含在金属氧化物半导体沟道层30的主表面内并且垂直于沟道方向的方向)延伸的绝缘基质层20上。多个场效应晶体管中的每个场效应晶体管可以包括:金属氧化物半导体沟道层30,该金属氧化物半导体沟道层30在第一主表面301和第二主表面302之间具有沿着第三方向(垂直于金属氧化物半导体沟道层30的主表面的方向)的厚度;漏极区域18和背侧栅极介电层22,嵌入在绝缘基质层20中并且与金属氧化物半导体沟道层30的第一主表面301接触;背侧栅电极15,嵌入在绝缘基质层20中;第一栅极介电层40,与金属氧化物半导体沟道层30的第二主表面302的第一部分接触;以及第一栅电极50,位于第一栅极介电层40上并且与金属氧化物半导体沟道层30的第二主表面302的第二部分接触。多个场效应晶体管包括沿着第二方向布置的至少一行场效应晶体管,并且介电轨90与每行场效应晶体管内的相应的一对相邻场效应晶体管的金属氧化物半导体沟道层30和第一栅电极50接触并且在它们之间提供横向电隔离。每个场效应晶体管可以包括与金属氧化物半导体沟道层30的第一端面303接触的源极区域12。此外,场效应晶体管可以包括与金属氧化物半导体沟道层30的第二端面304接触的第二栅极介电层60以及与第二栅电极层60接触并且由第二栅电极层60围绕的第二栅电极70。

[0143] 在一些实施例中,半导体存储器器件可以包括位于相应的附加绝缘基质层20上的至少一个附加的多个场效应晶体管,它们沿着第一方向和第二方向延伸并且沿着第三方向(即堆叠方向)通过至少一个附加绝缘基质层20与多个场效应晶体管间隔开。选自至少一个附加的多个场效应晶体管的每个场效应晶体管包括:相应的金属氧化物半导体沟道层30,沿着第三方向在相应的第一主表面301和相应的第二主表面302之间具有厚度;相应的漏极区域18和相应的背侧栅极介电层22,嵌入在附加绝缘基质层20中并且与相应的金属氧化物半导体沟道层30的相应的第一主表面301接触;相应的背侧栅电极15,嵌入在附加绝缘体中基质层20中;相应的第一栅极介电层40,与相应的金属氧化物半导体沟道层30的相应的第二主表面302的第一部分接触;以及相应的第一栅电极50,位于相应的第一栅极介电层40上并且与金属氧化物半导体沟道层30的相应的第二主表面302的第二部分接触。

[0144] 在一些实施例中,半导体存储器器件可以包括具有主表面7的衬底10。如图18和图19所示,第一方向(是平行于金属氧化物半导体沟道层30的主表面(301、302)的沟道方向)和第二方向(是平行于金属氧化物半导体沟道层30的主表面(301、302)的方向)可以平行于衬底10的主表面7,而第三方向(是金属氧化物半导体沟道层30的厚度方向)可以平行于衬底10的主表面7。在一个实施例中,绝缘基质层20和至少一个附加绝缘基质层20中的一个与衬底10的主表面接触,并且绝缘基质层20和至少一个附加绝缘基质层20中的另一个沿着第

三方向与衬底10间隔开。

[0145] 在一些实施例中,半导体存储器器件可以包括具有主表面7的衬底10。第三方向(是金属氧化物半导体沟道层30的厚度方向)与第一方向(是平行于金属氧化物半导体沟道层30的主表面(301、302)的沟道方向)和第二方向(是平行于金属氧化物半导体沟道层30的主表面(301、302)的方向)中的一个平行于衬底的主表面7。如图20所示,第一方向和第二方向中的另一个垂直于衬底10的主表面7。

[0146] 参考图21,流程图示出了根据本发明的实施例的用于制造双沟道晶体管器件的步骤。参考步骤2110和图1A至图4D,可以形成绝缘基质层20,其中漏极区域18和背侧栅电极15可以嵌入在绝缘基质层20内。参考步骤2120和图5A至图5D,可以在背侧栅电极15上形成背侧栅极介电层22。参考步骤2130和图6A至图6D,可以在漏极区域18和背侧栅极介电层22上方沉积金属氧化物半导体沟道层30。参考步骤2140和图7A至图7D,可以形成源极区域12,使得源极区域12与金属氧化物半导体沟道层30的第一端面303接触。参考步骤2150和图8A至图8D,可以在金属氧化物半导体沟道层30的主表面(诸如第二主表面302)上沉积和图案化第一栅极介电材料层,以形成第一栅极介电层40。参考步骤2160和图9A至图10D,可以在第一栅极介电层40上形成第一栅电极50。参考步骤2170和图11A至图12D,可以在金属氧化物半导体沟道层30的第二端面304上形成第二栅极介电层60。参考步骤2180和图12A至图12D,可以在第二栅极介电层60上形成第二栅电极70。可以根据需要执行图13A至图14D和图18至图20的附加处理步骤。

[0147] 参考所有附图并且根据本发明的各个实施例,提供了一种半导体器件,半导体器件包括:金属氧化物半导体沟道层30,该金属氧化物半导体沟道层30具有在第一主表面301和第二主表面302之间的厚度并且在第一端面303和第二端面304之间延伸,第一端面303和第二端面304沿着第一方向(诸如第一水平方向hd1)间隔开,并且连接第一主表面301和第二主表面302的相应边缘;第一栅极介电层40,与金属氧化物半导体沟道层30的第二主表面302的第一部分接触;第一栅电极50,位于第一栅极介电层40上面并且与金属氧化物半导体沟道层30的第二主表面302的第二部分接触;漏极区域18和背侧栅极介电层22,与金属氧化物半导体沟道层30的第一主表面301接触;背侧栅电极15,与背侧栅极介电层22接触;第二栅极介电层60,与金属氧化物半导体沟道层30的第二端面304接触;第二栅电极70,与第二栅极介电层60的表面接触;以及源极区域12,与金属氧化物半导体沟道层30的第一端面303接触。

[0148] 本发明的各个实施例可用于制造和操作双沟道存储器器件或“正交沟道”存储器器件,其中第一栅电极可以用作电浮置栅电极,该电浮置栅电极可以仅当将导通电压施加至第二栅电极70时电连接至漏极区域18,该第二栅电极70是双沟道存储器器件内的垂直沟道晶体管的栅电极。背侧栅电极可以用于调整水平沟道的阈值电压,以便促进并且提高读取操作的准确性。双沟道存储器器件不使用任何电荷隧穿,因此,与使用隧道介电层(随着使用遭受电荷俘获)的存储器器件相比,存储器器件的可靠性得到增强。本发明的双沟道存储器器件可以提供较小的器件占用空间和较高的器件可靠性。

[0149] 本发明的实施例提供了一种半导体器件,包括:金属氧化物半导体沟道层,具有在第一主表面和第二主表面之间的厚度并且在第一端面和第二端面之间延伸,所述第一端面和所述第二端面沿着第一方向间隔开并且连接所述第一主表面和所述第二主表面的相应

边缘;第一栅极介电层,与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触;第一栅电极,位于所述第一栅极介电层上面并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触;漏极区域和背侧栅极介电层,与所述金属氧化物半导体沟道层的所述第一主表面接触;背侧栅电极,与所述背侧栅极介电层接触;第二栅极介电层,与所述金属氧化物半导体沟道层的所述第二端面接触;第二栅电极,与所述第二栅极介电层的表面接触;以及源极区域,与所述金属氧化物半导体沟道层的所述第一端面接触。

[0150] 在上述半导体器件中,还包括:绝缘基质层,与所述金属氧化物半导体沟道层的所述第一主表面接触并且设置在所述漏极区域和所述背侧栅电极之间。

[0151] 在上述半导体器件中,还包括:绝缘基质层,与所述金属氧化物半导体沟道层的所述第一主表面接触并且设置在所述漏极区域和所述背侧栅电极之间,其中,所述背侧栅极介电层包括:第一部分,平行于所述第一方向延伸并且与所述金属氧化物半导体沟道层的所述第一主表面接触;以及第二部分,垂直于所述第一方向延伸并且与所述源极区域接触。

[0152] 在上述半导体器件中,其中,所述第二栅极介电层与所述第一栅电极的表面和所述漏极区域的表面接触。

[0153] 在上述半导体器件中,其中,所述第二栅极介电层与所述第一栅电极的表面和所述漏极区域的表面接触,所述金属氧化物半导体沟道层的所述第二端面、所述第一栅电极的表面和所述漏极区域的表面位于垂直于所述第一方向的同一平面内。

[0154] 在上述半导体器件中,其中,所述金属氧化物半导体沟道层的与所述第一栅电极接触的部分位于所述漏极区域上面,并且在沿着垂直于所述第一主表面的方向的平面图中远离所述背侧栅电极。

[0155] 在上述半导体器件中,其中,所述第二栅极介电层与所述第一栅电极的表面和所述漏极区域的表面接触,所述金属氧化物半导体沟道层的所述第二端面、所述第一栅电极的表面和所述漏极区域的表面位于垂直于所述第一方向的同一平面内,还包括:源极接触通孔结构,与所述源极区域接触并且沿着垂直于所述第一方向的方向延伸;以及源极隔离间隔件,围绕所述源极接触通孔结构并且与所述第一栅电极和所述第一栅极介电层接触。

[0156] 在上述半导体器件中,其中,所述源极区域包括:第一源极部分,与所述背侧栅极介电层接触;以及第二源极部分,与所述金属氧化物半导体沟道层的所述第一端面接触。

[0157] 在上述半导体器件中,其中,所述源极区域包括:第一源极部分,与所述背侧栅极介电层接触;以及第二源极部分,与所述金属氧化物半导体沟道层的所述第一端面接触,其中,所述第一源极部分和所述第二源极部分包括不同的导电材料。

[0158] 在上述半导体器件中,其中,所述源极区域包括:第一源极部分,与所述背侧栅极介电层接触;以及第二源极部分,与所述金属氧化物半导体沟道层的所述第一端面接触,其中:所述漏极区域和所述背侧栅电极包括相同的导电材料;并且所述漏极区域的远端表面和所述背侧栅电极的远端表面平行于所述第一主表面并且与所述第一主表面间隔开相同的间距。

[0159] 本发明的另一实施例提供了一种半导体存储器器件,包括多个场效应晶体管,其中,选自所述多个场效应晶体管的每个场效应晶体管位于绝缘基质层上,所述绝缘基质层沿着第一方向和垂直于所述第一方向的第二方向延伸;其中,所述多个场效应晶体管中的每个场效应晶体管包括:金属氧化物半导体沟道层,具有在第一主表面和第二主表面之间

的沿着第三方向的厚度,漏极区域和背侧栅极介电层,嵌入在所述绝缘基质层中并且与所述金属氧化物半导体沟道层的所述第一主表面接触,背侧栅电极,嵌入在所述绝缘基质层中,第一栅极介电层,与所述金属氧化物半导体沟道层的所述第二主表面的第一部分接触,以及第一栅电极,位于所述第一栅极介电层上并且与所述金属氧化物半导体沟道层的所述第二主表面的第二部分接触,其中,所述多个场效应晶体管包括沿着所述第二方向布置的至少一行场效应晶体管;并且其中,介电轨与每行场效应晶体管内的相应的一对相邻的场效应晶体管的所述金属氧化物半导体沟道层和所述第一栅电极接触,并且在所述金属氧化物半导体沟道层和所述第一栅电极之间提供横向电隔离。

[0160] 在上述半导体存储器器件中,其中:所述至少一行场效应晶体管包括沿着所述第一方向布置的多行场效应晶体管;第二栅极介电层的阵列位于相邻行的场效应晶体管之间并且在所述相邻行的场效应晶体管之间提供电隔离;并且每个所述第二栅极介电层与相应的一个所述金属氧化物半导体沟道层的端面接触并且围绕相应的第二栅电极。

[0161] 在上述半导体存储器器件中,还包括位于附加绝缘基质层上的附加多个场效应晶体管,所述附加多个场效应晶体管沿着所述第一方向和所述第二方向延伸并且沿着所述第三方向通过所述附加绝缘基质层与所述多个场效应晶体管间隔开,其中,选自所述附加多个场效应晶体管的每个场效应晶体管包括:相应的金属氧化物半导体沟道层,具有在相应的第一主表面和相应的第二主表面之间的沿着所述第三方向的厚度,相应的漏极区域和相应的背侧栅极介电层,嵌入在所述附加绝缘基质层中并且与所述相应的金属氧化物半导体沟道层的所述相应的第一主表面接触,相应的背侧栅电极,嵌入在所述附加绝缘基质层中,相应的第一栅极介电层,与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第一部分接触,和相应的第一栅电极,位于所述相应的第一栅极介电层上并且与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第二部分接触。

[0162] 在上述半导体存储器器件中,还包括位于附加绝缘基质层上的附加多个场效应晶体管,所述附加多个场效应晶体管沿着所述第一方向和所述第二方向延伸并且沿着所述第三方向通过所述附加绝缘基质层与所述多个场效应晶体管间隔开,其中,选自所述附加多个场效应晶体管的每个场效应晶体管包括:相应的金属氧化物半导体沟道层,具有在相应的第一主表面和相应的第二主表面之间的沿着所述第三方向的厚度,相应的漏极区域和相应的背侧栅极介电层,嵌入在所述附加绝缘基质层中并且与所述相应的金属氧化物半导体沟道层的所述相应的第一主表面接触,相应的背侧栅电极,嵌入在所述附加绝缘基质层中,相应的第一栅极介电层,与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第一部分接触,和相应的第一栅电极,位于所述相应的第一栅极介电层上并且与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第二部分接触,还包括具有主表面的衬底,其中:所述第一方向和所述第二方向平行于所述衬底的所述主表面;并且所述第三方向垂直于所述衬底的所述主表面。

[0163] 在上述半导体存储器器件中,还包括位于附加绝缘基质层上的附加多个场效应晶体管,所述附加多个场效应晶体管沿着所述第一方向和所述第二方向延伸并且沿着所述第三方向通过所述附加绝缘基质层与所述多个场效应晶体管间隔开,其中,选自所述附加多个场效应晶体管的每个场效应晶体管包括:相应的金属氧化物半导体沟道层,具有在相应的主表面和相应的第二主表面之间的沿着所述第三方向的厚度,相应的漏极区域和相

应的背侧栅极介电层,嵌入在所述附加绝缘基质层中并且与所述相应的金属氧化物半导体沟道层的所述相应的第一主表面接触,相应的背侧栅电极,嵌入在所述附加绝缘基质层中,相应的第一栅极介电层,与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第一部分接触,和相应的第一栅电极,位于所述相应的第一栅极介电层上并且与所述相应的金属氧化物半导体沟道层的所述相应的第二主表面的第二部分接触,还包括具有主表面的衬底,其中:所述第三方向以及所述第一方向和所述第二方向中的一个平行于所述衬底的所述主表面;并且所述第一方向和所述第二方向中的另一个垂直于所述衬底的所述主表面。

[0164] 本发明的又一实施例提供了一种形成半导体器件的方法,包括:形成绝缘基质层;将漏极区域和背侧栅电极嵌入在所述绝缘基质层中;在所述背侧栅电极上形成背侧栅极介电层;在所述漏极区域和所述背侧栅极介电层上方沉积金属氧化物半导体沟道层;形成源极区域,使得所述源极区域与所述金属氧化物半导体沟道层的第一端面接触;在所述金属氧化物半导体沟道层的主表面上沉积和图案化第一栅极介电层;在所述第一栅极介电层上形成第一栅电极;在所述金属氧化物半导体沟道层的第二端面上沉积第二栅极介电层;以及在所述第二栅极介电层上沉积第二栅电极。

[0165] 在上述方法中,还包括:通过蚀刻所述第一栅电极和所述金属氧化物半导体沟道层的部分,物理地暴露所述第一栅电极和所述漏极区域的表面,其中,所述第二栅极介电层形成在所述第一栅电极和所述漏极区域的物理暴露表面上。

[0166] 在上述方法中,还包括:在所述绝缘基质层中形成漏极凹槽区域和栅极凹槽区域;在所述漏极凹槽区域和所述栅极凹槽区域中沉积导电材料,其中,填充所述漏极凹槽区域的所述导电材料的部分包括所述漏极区域;以及图案化所述栅极凹槽区域中的所述导电材料的部分,其中,所述栅极凹槽区域中的所述导电材料的图案化的部分包括所述背侧栅电极。

[0167] 在上述方法中,还包括:在所述绝缘基质层中形成漏极凹槽区域和栅极凹槽区域;在所述漏极凹槽区域和所述栅极凹槽区域中沉积导电材料,其中,填充所述漏极凹槽区域的所述导电材料的部分包括所述漏极区域;以及图案化所述栅极凹槽区域中的所述导电材料的部分,其中,所述栅极凹槽区域中的所述导电材料的图案化的部分包括所述背侧栅电极;在邻近所述背侧栅极介电层的所述绝缘基质层中形成所述源极区域的第一部分,其中,所述金属氧化物半导体沟道层形成在所述源极区域的所述第一部分上方;以及通过掺杂所述金属氧化物半导体沟道层的部分或通过用导电材料部分代替所述金属氧化物半导体沟道层的部分来形成所述源极区域的第二部分,其中,所述源极区域的第二部分与所述源极区域的第一部分接触。

[0168] 在上述方法中,其中:沉积和图案化所述第一栅极介电层包括物理地暴露所述金属氧化物半导体沟道层的所述主表面的部分;并且所述第一栅电极直接形成在所述金属氧化物半导体沟道层的所述主表面的物理暴露部分上,并且直接形成在所述第一栅极介电层上。

[0169] 前面概述了若干实施例的特征,使得本领域人员可以更好地理解本发明的方面。本领域人员应该理解,它们可以容易地使用本发明作为基础来设计或修改用于实施与本文所介绍实施例相同的目的和/或实现相同优势的其它工艺和结构。本领域技术人员也应该

意识到,这种等同配置不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中它们可以做出多种变化、替换以及改变。

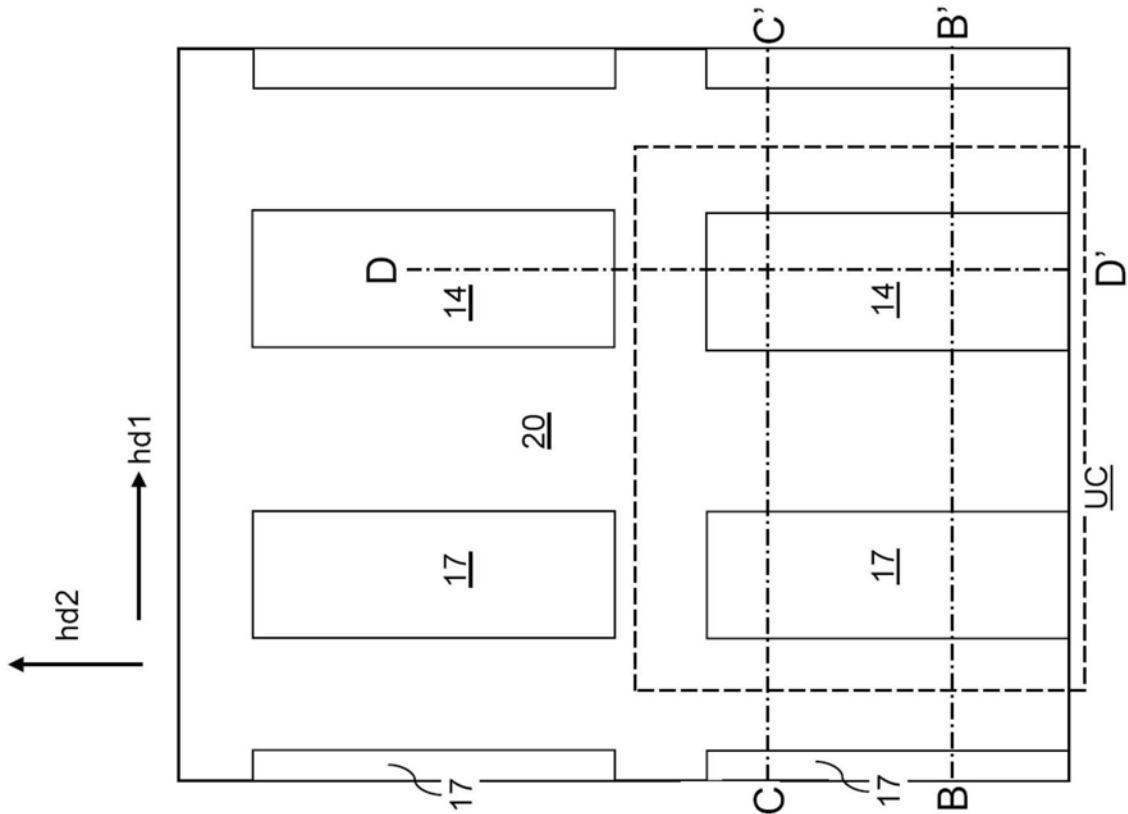


图1A

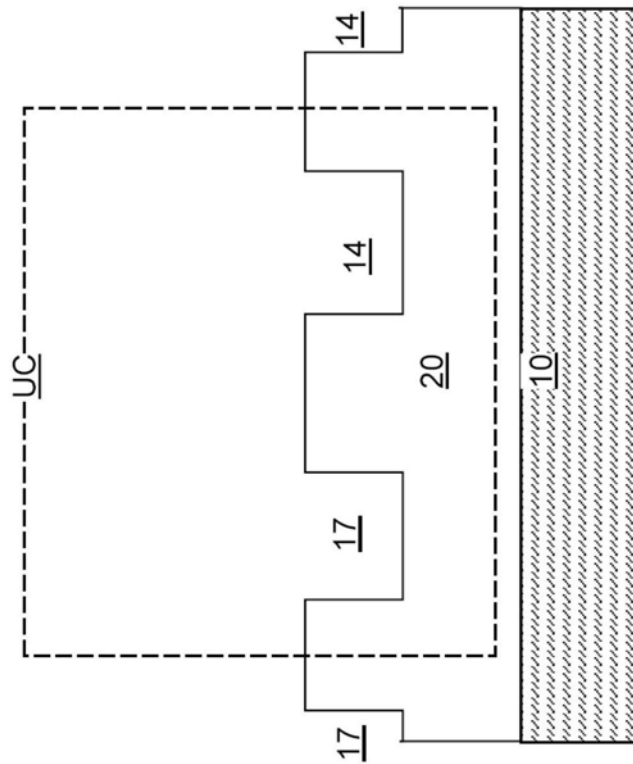


图1B

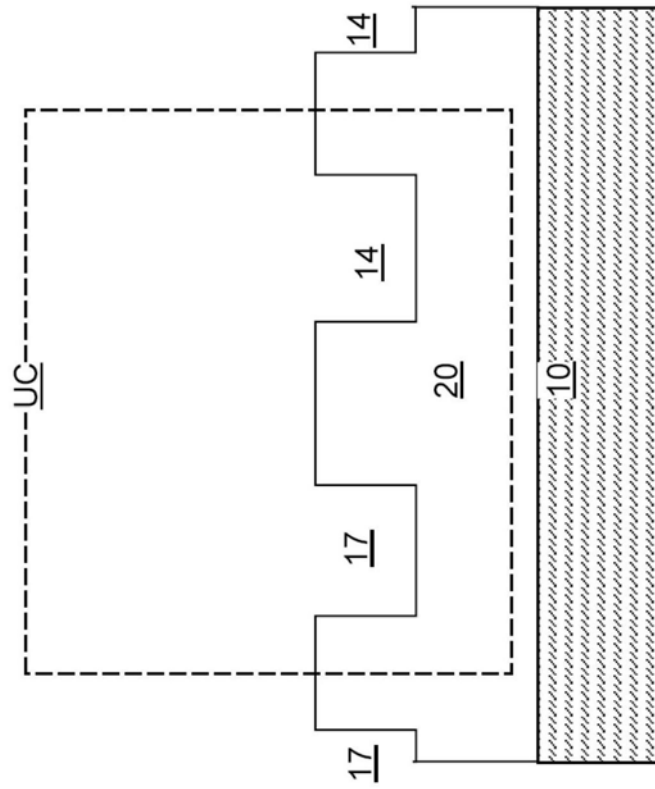


图1C

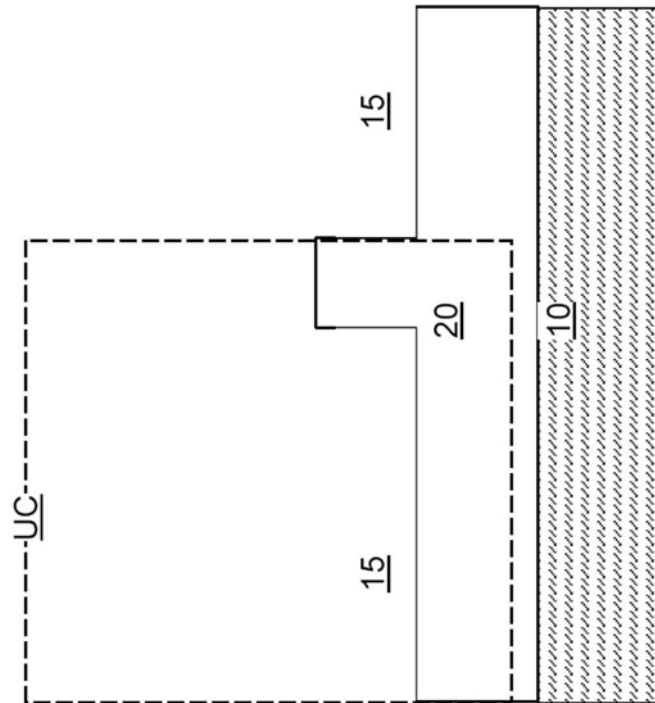


图1D

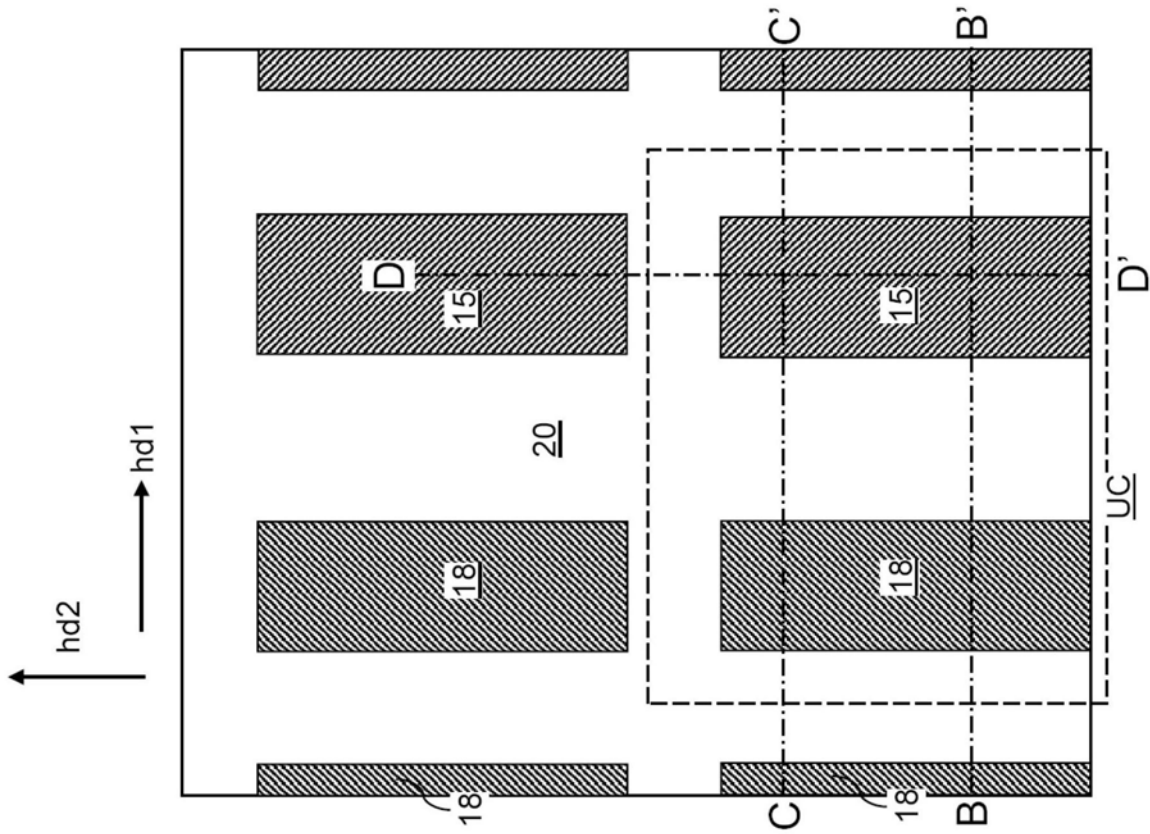


图2A

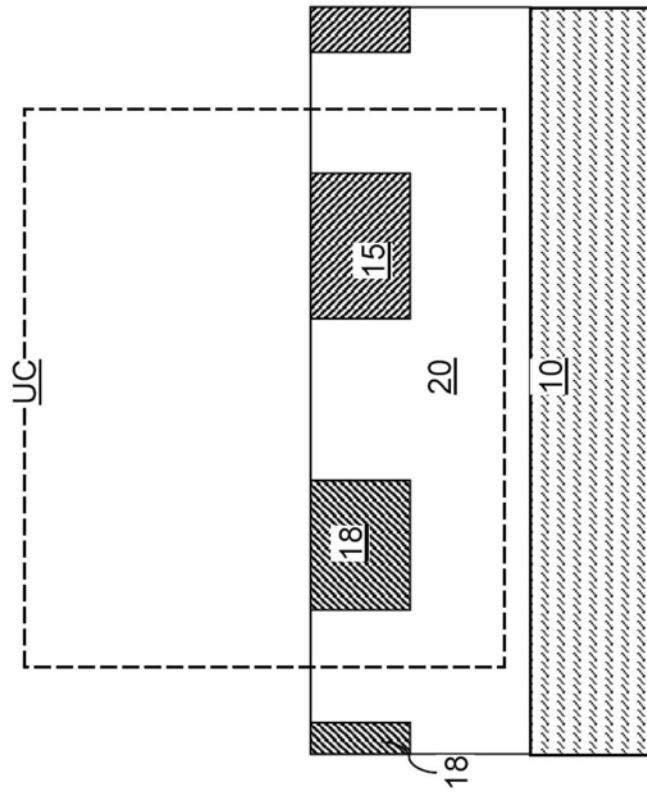


图2B

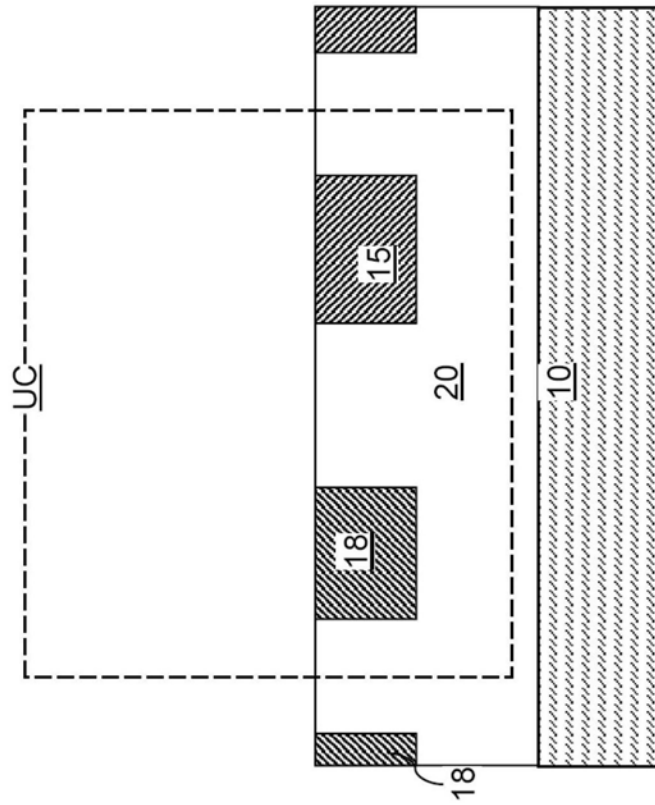


图2C

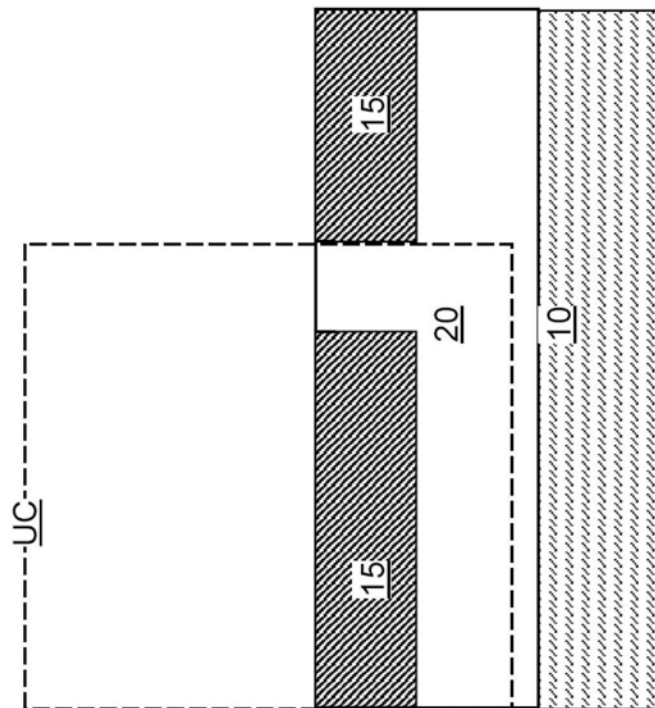


图2D

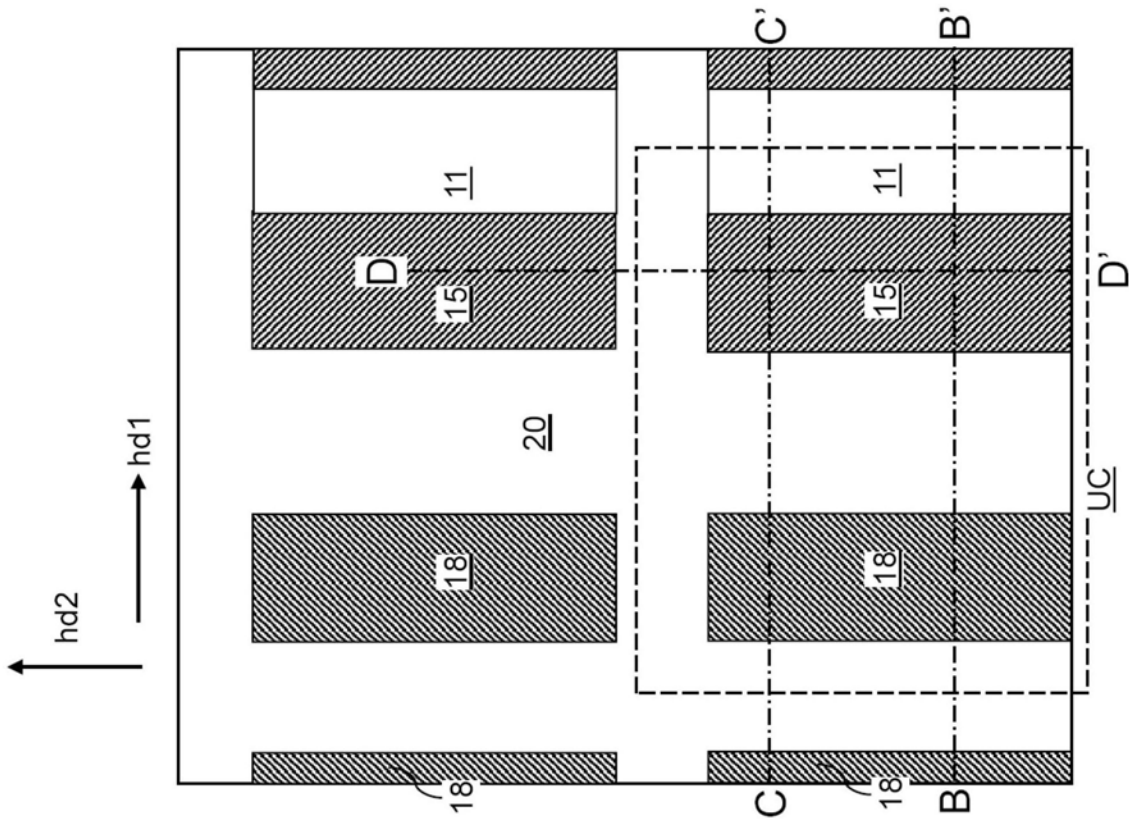


图3A

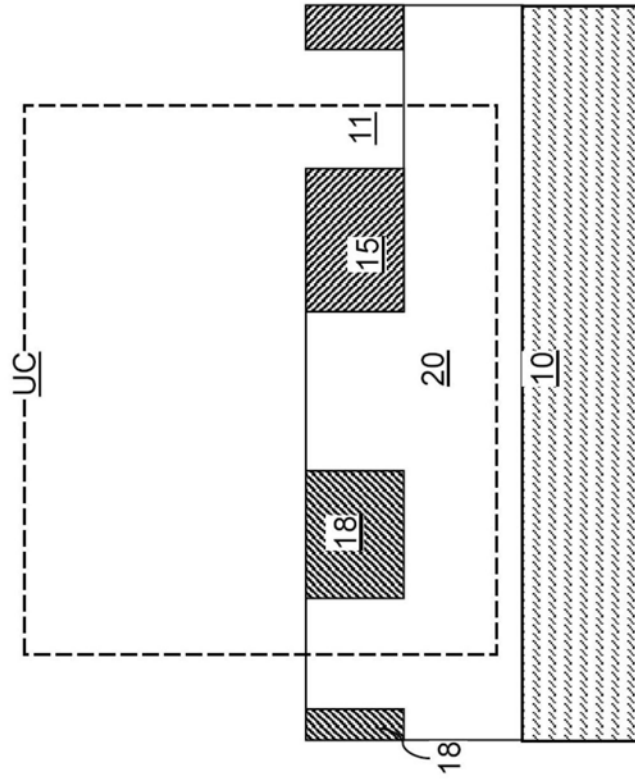


图3B

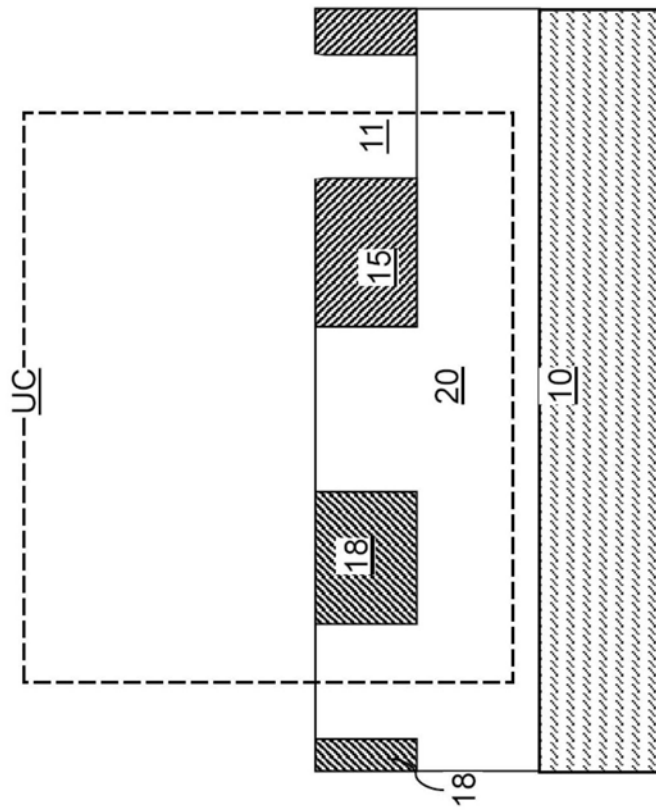


图3C

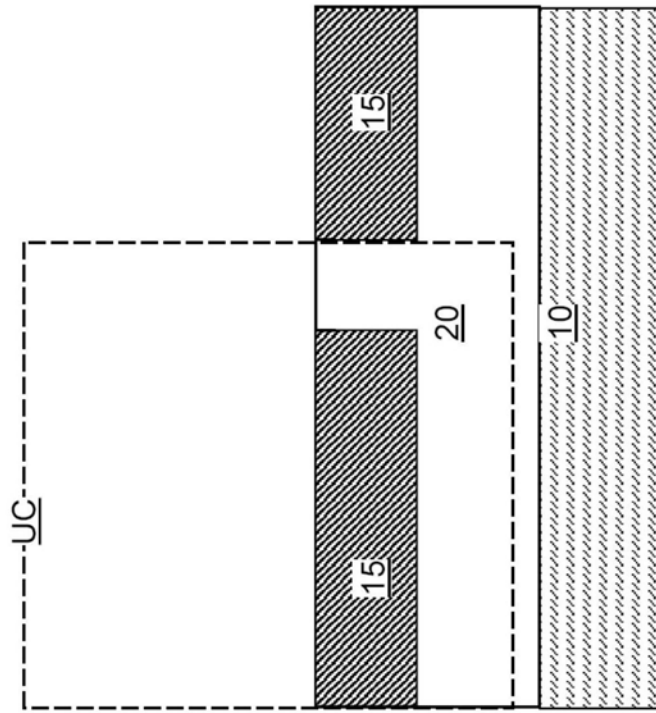


图3D

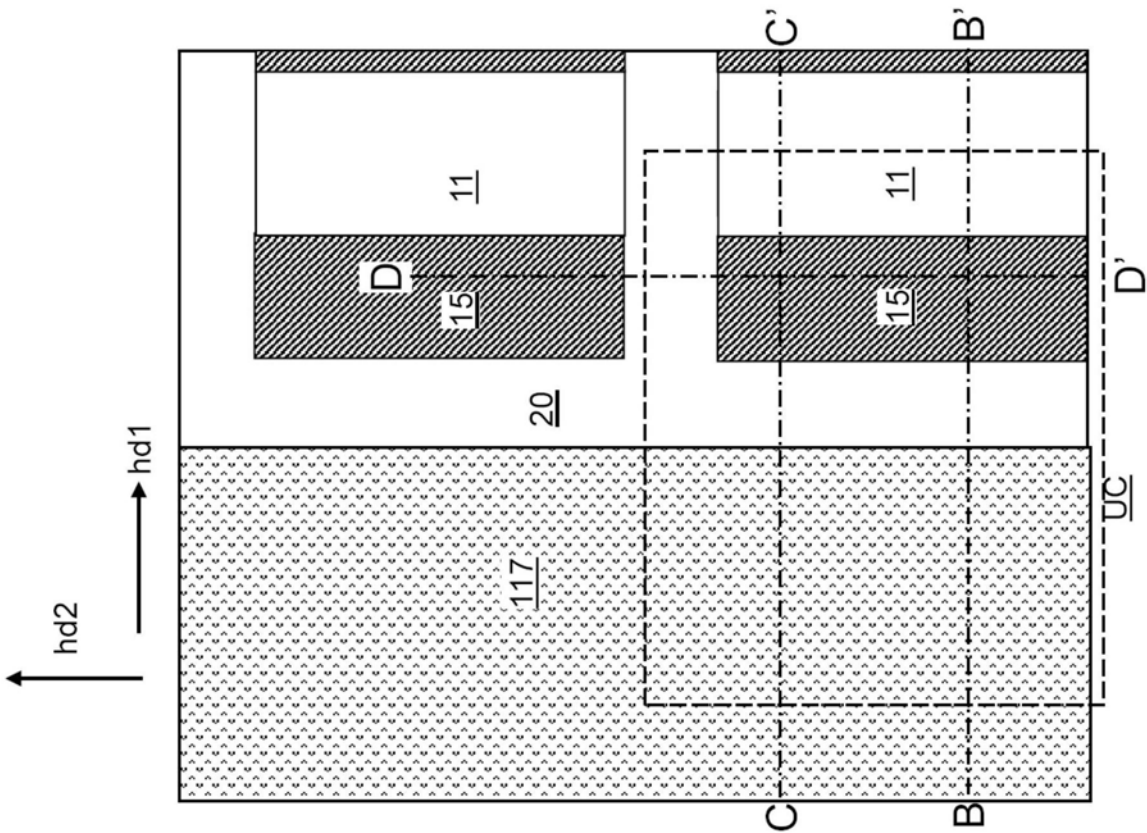


图4A

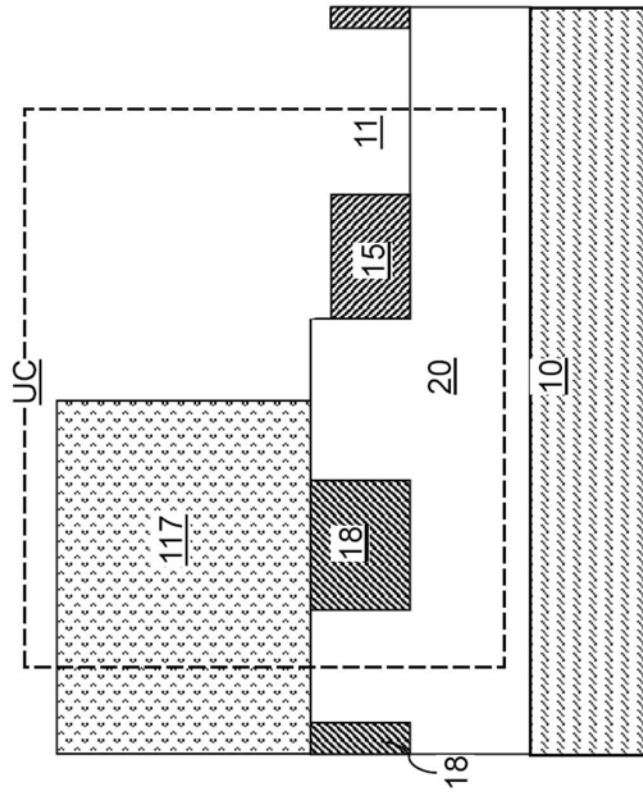


图4B

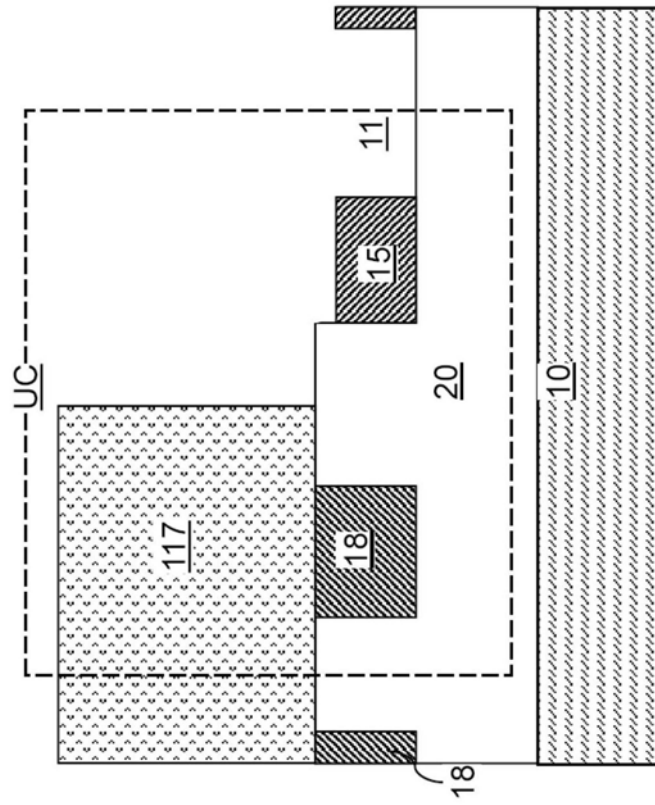


图4C

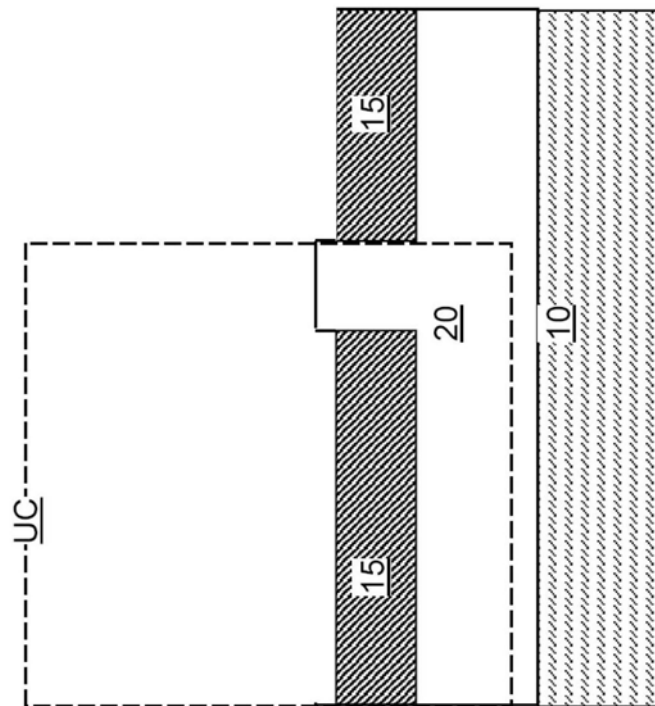


图4D

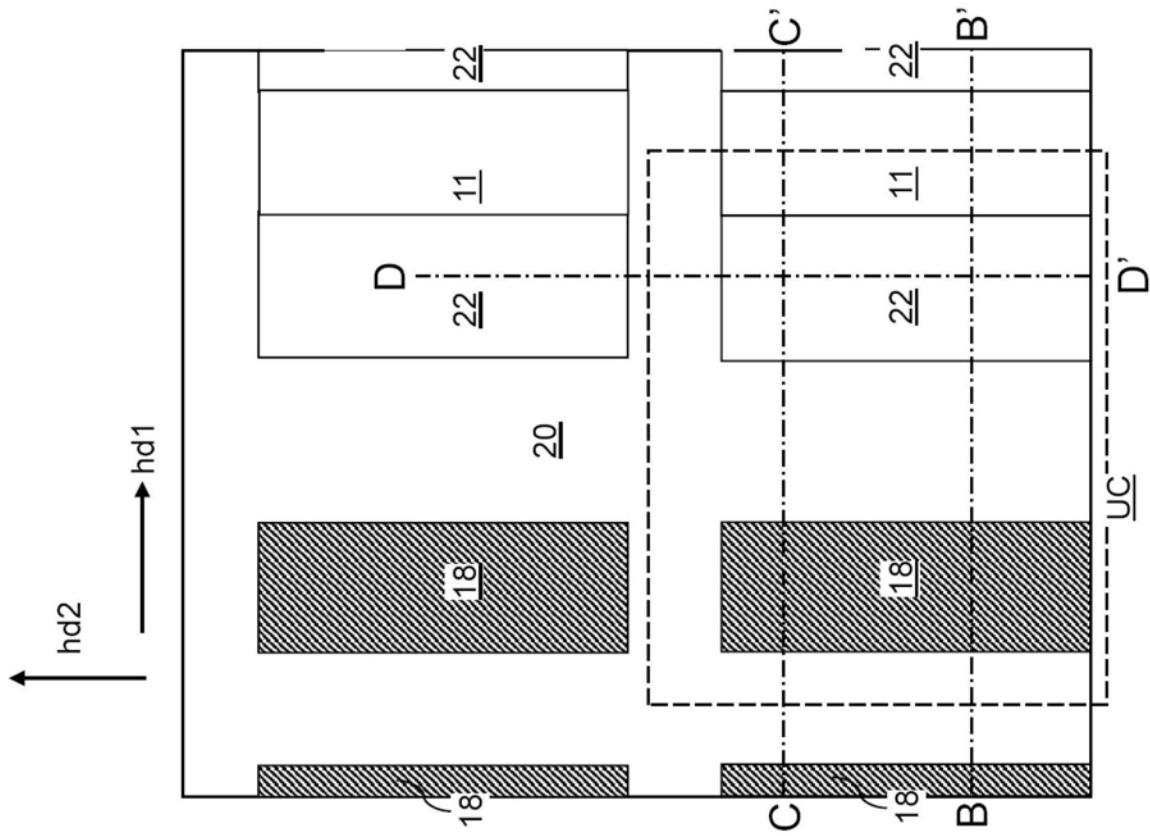


图5A

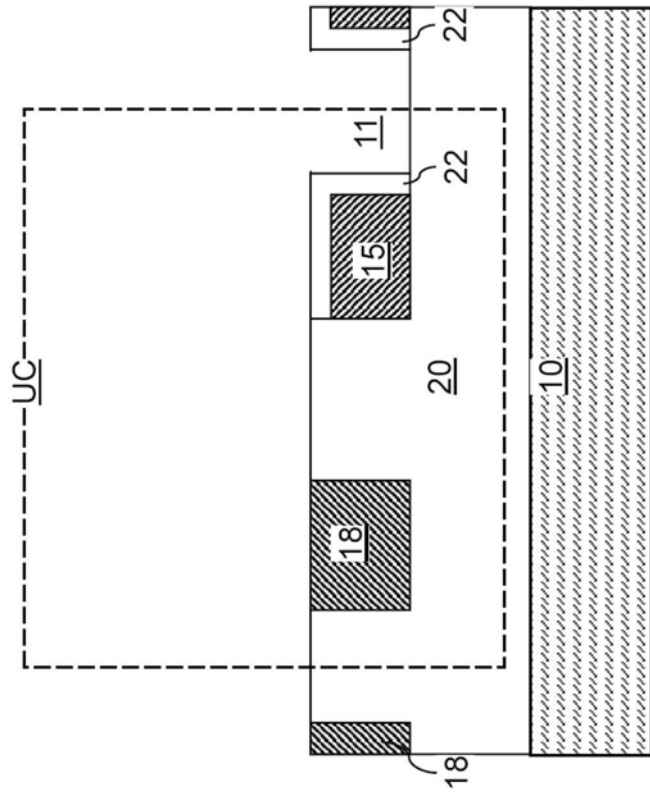


图5B

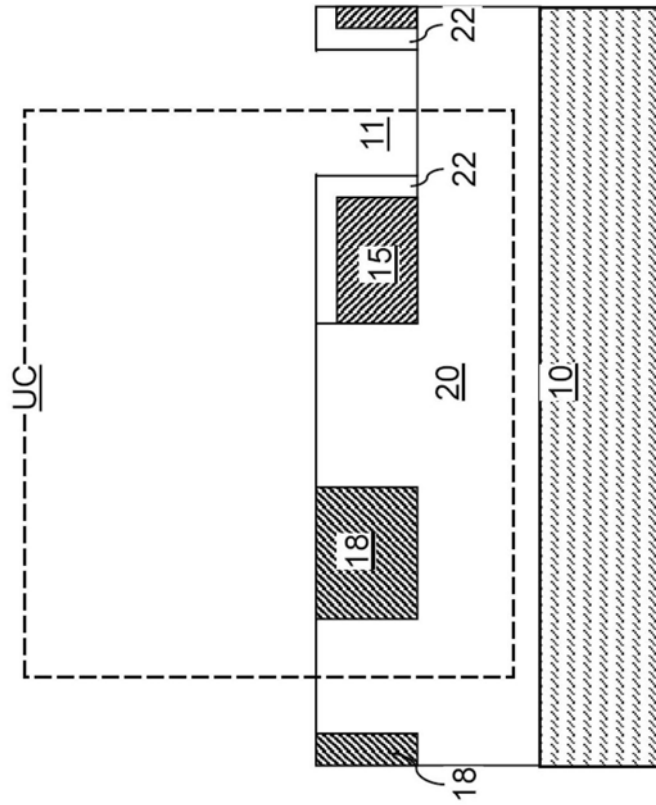


图5C

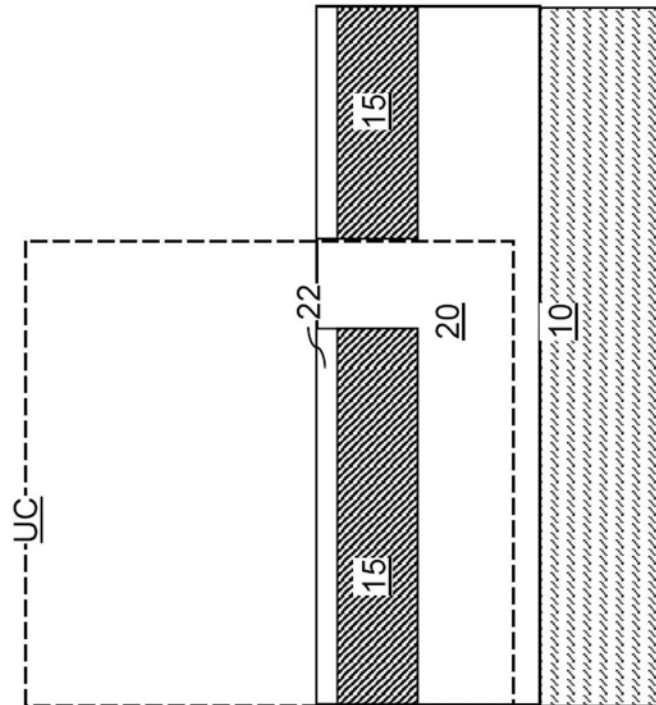


图5D

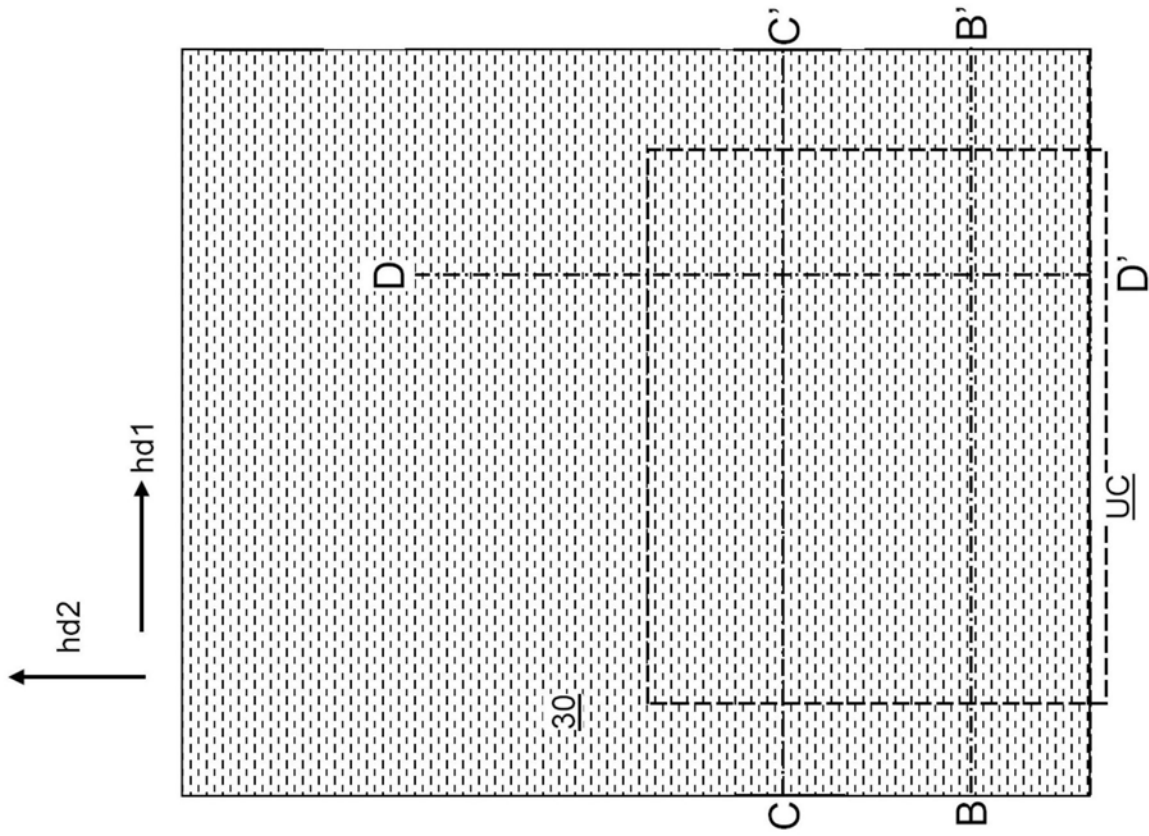


图6A

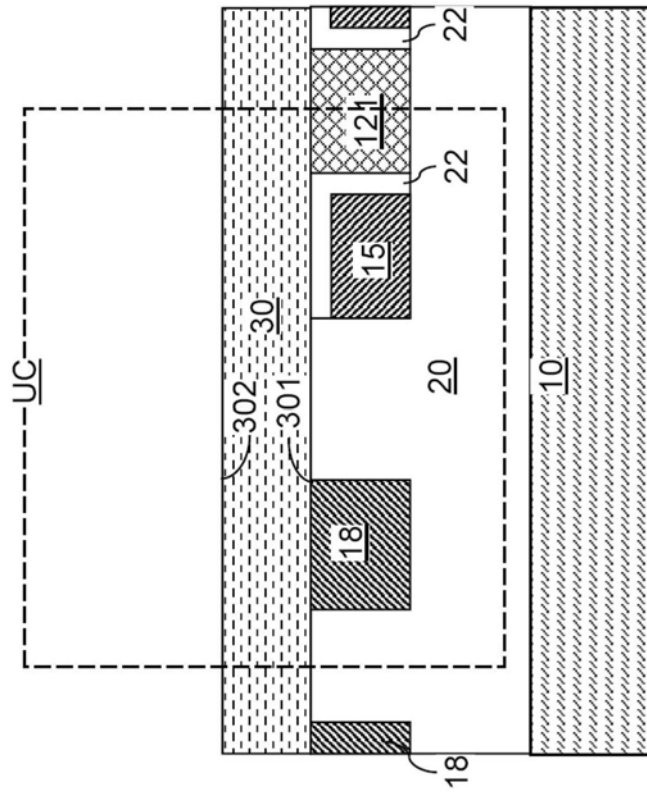


图6B

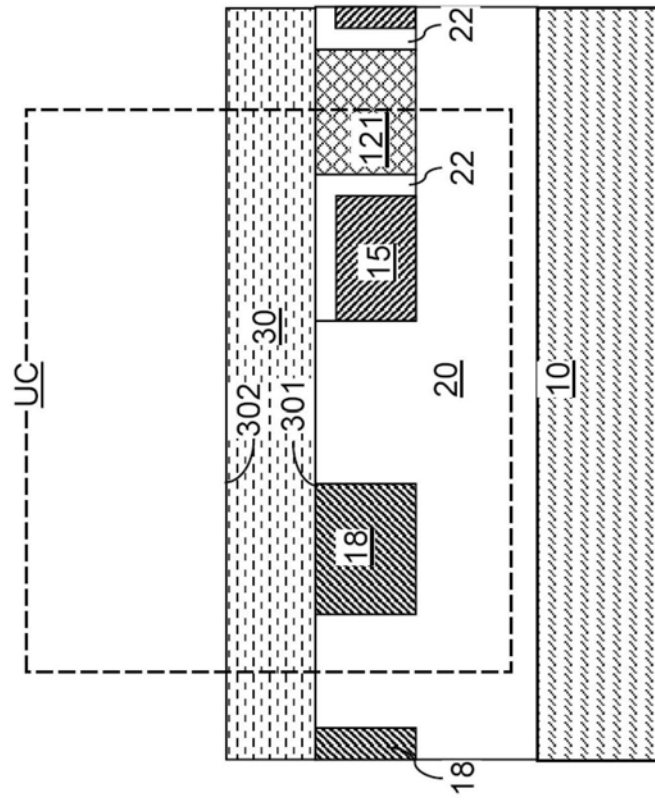


图6C

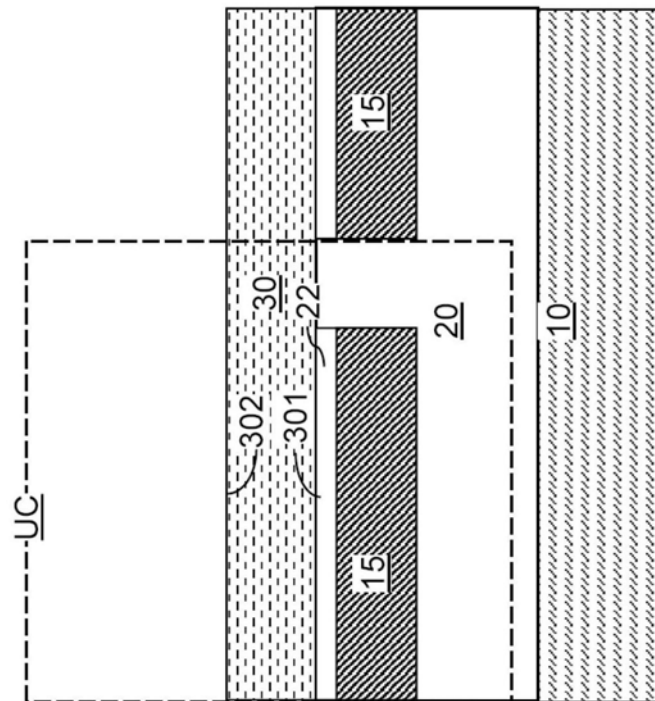


图6D

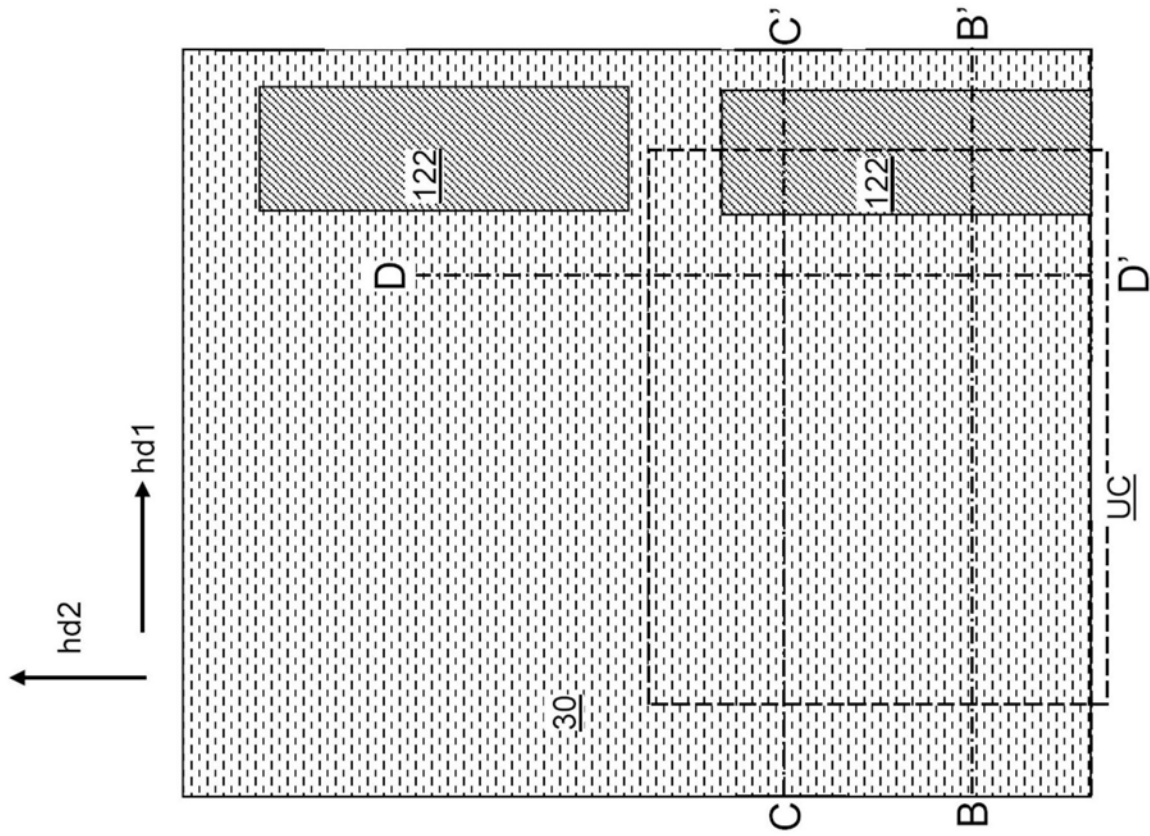


图7A

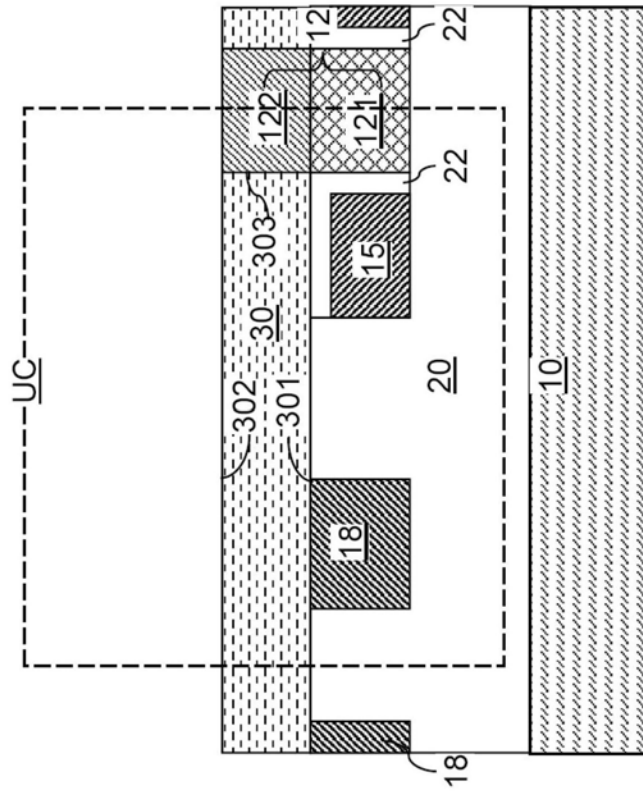


图7B

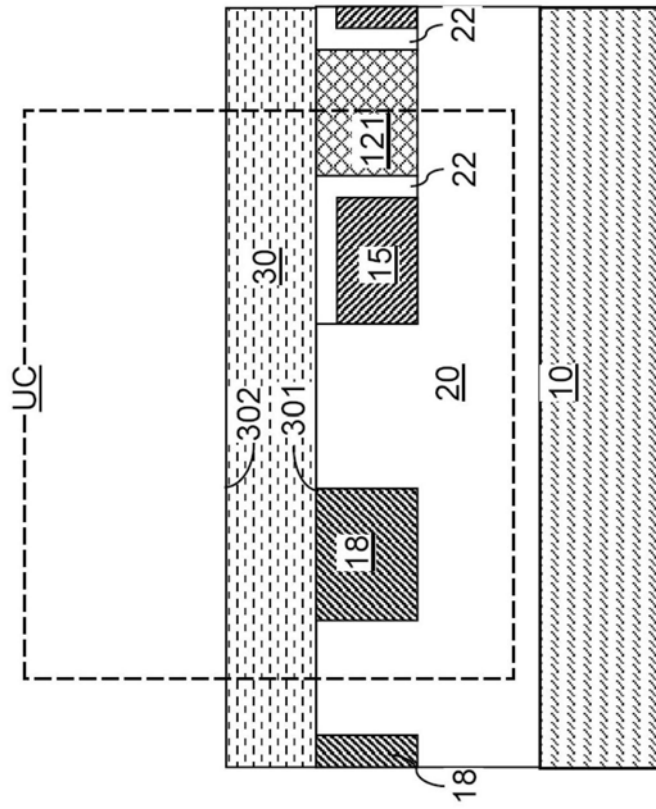


图7C

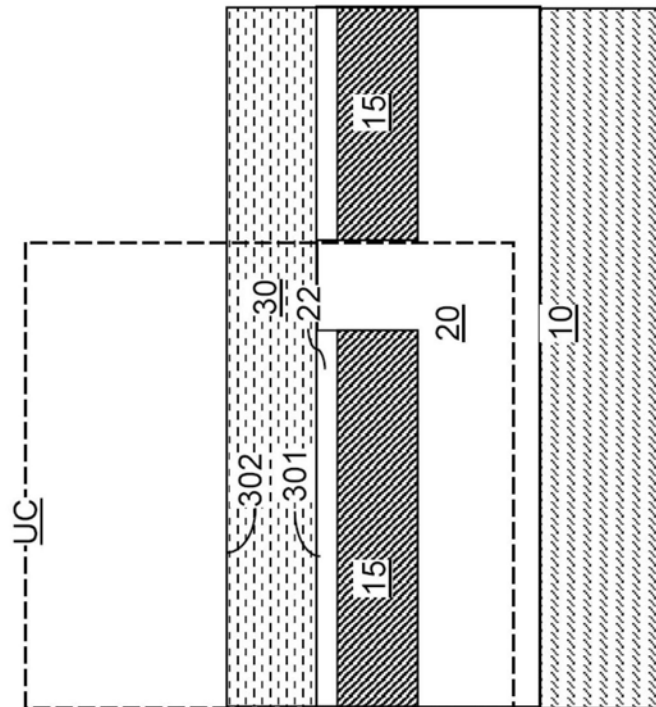


图7D

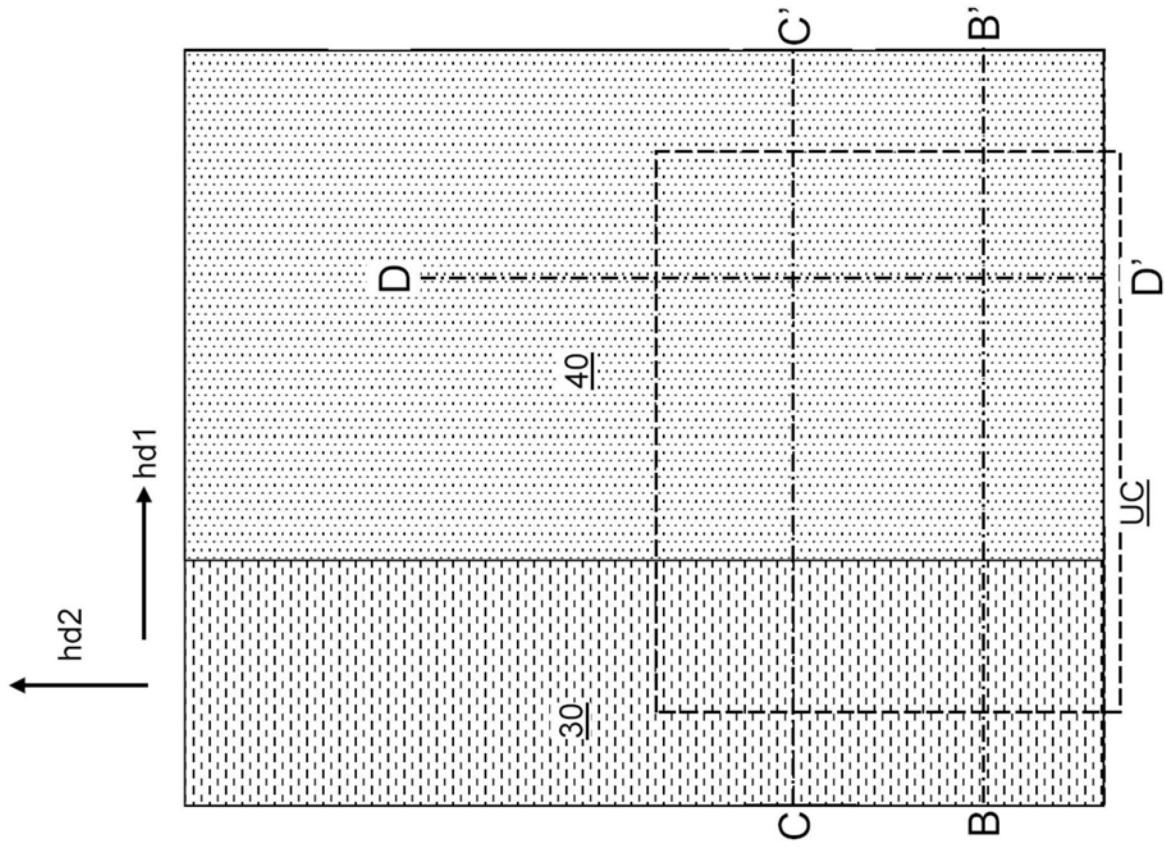


图8A

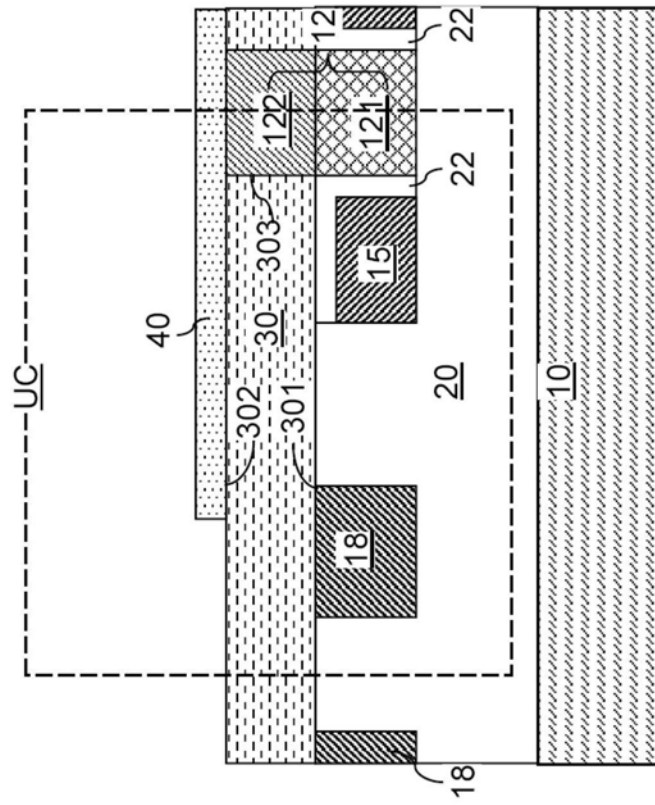


图8B

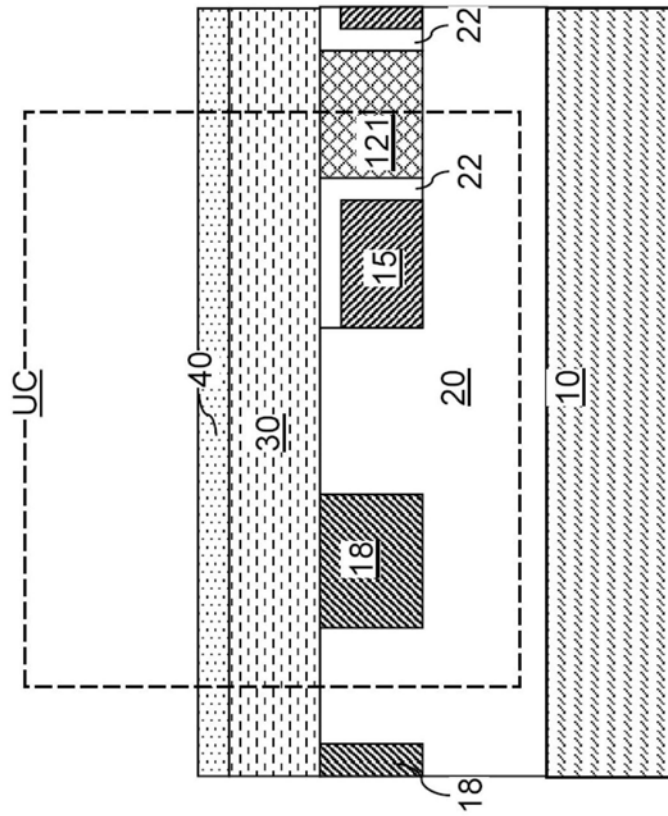


图8C

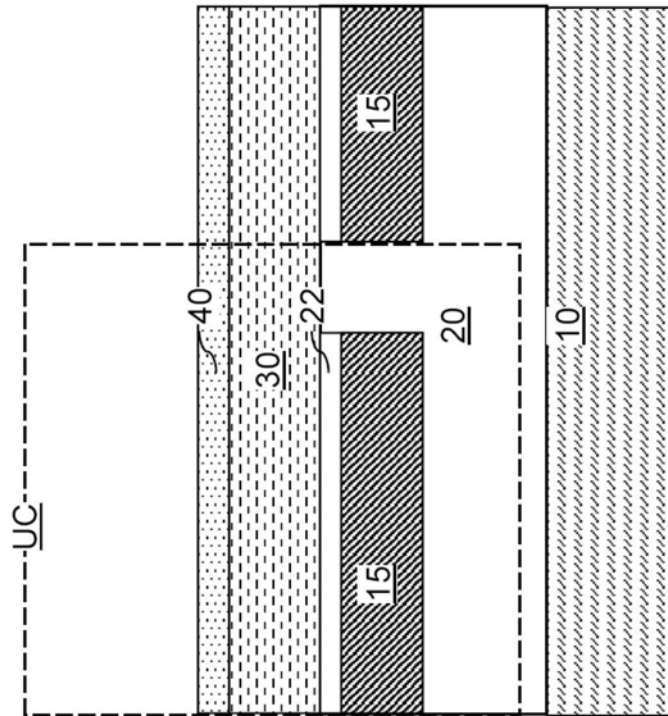


图8D

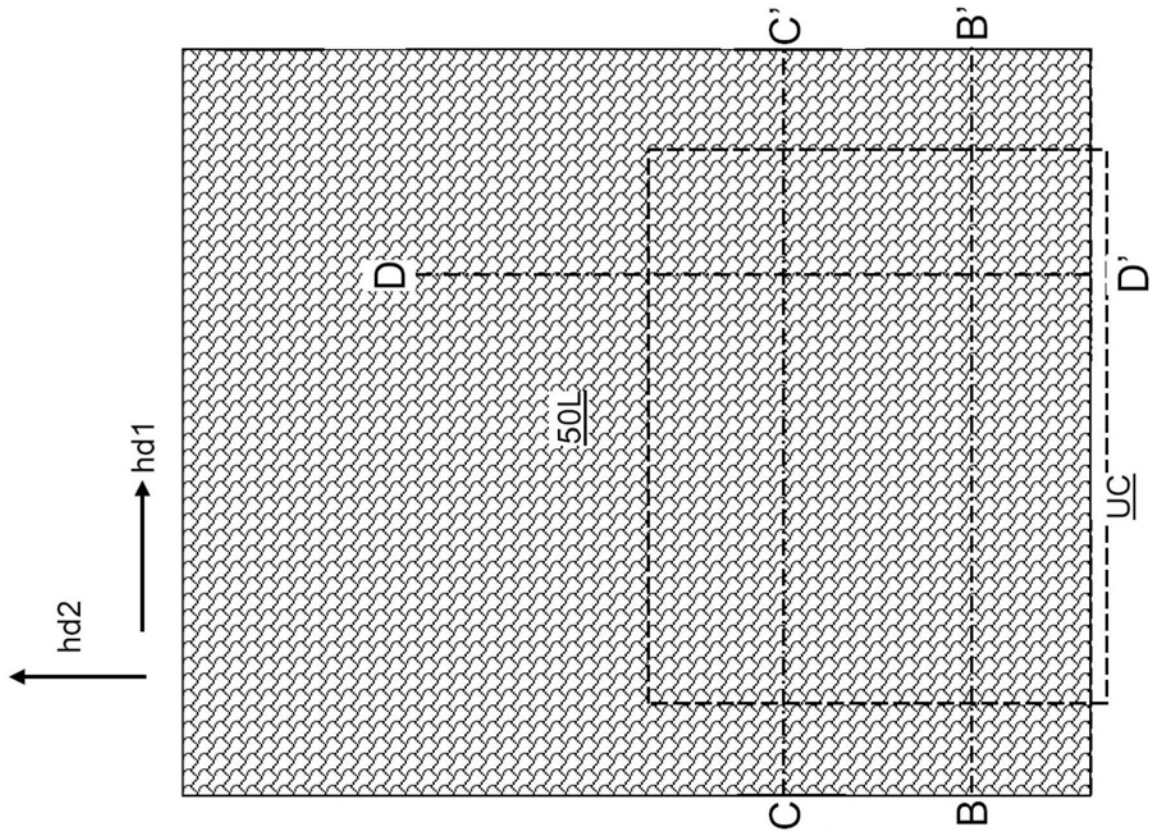


图9A

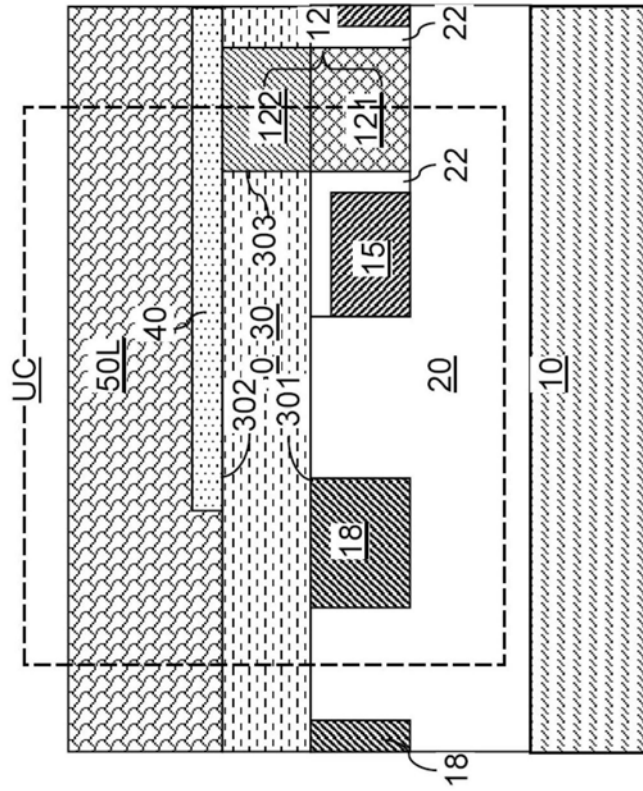


图9B

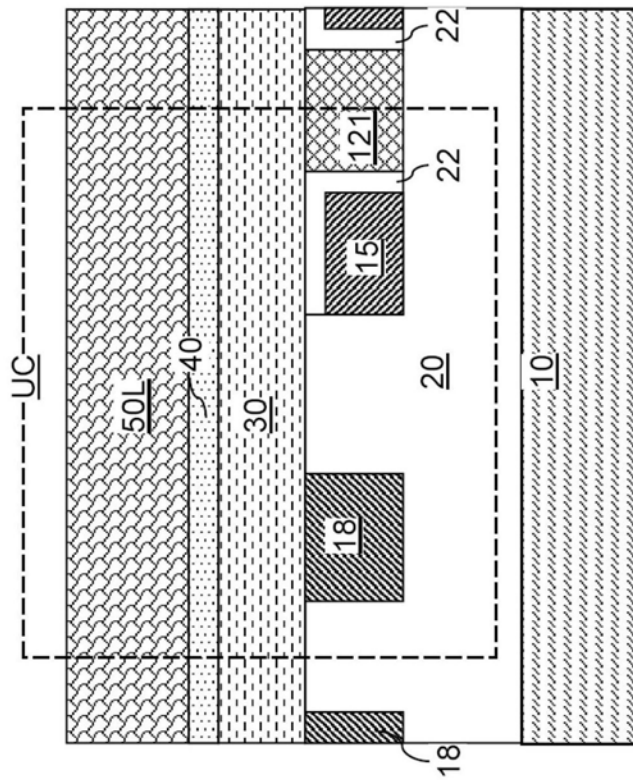


图9C

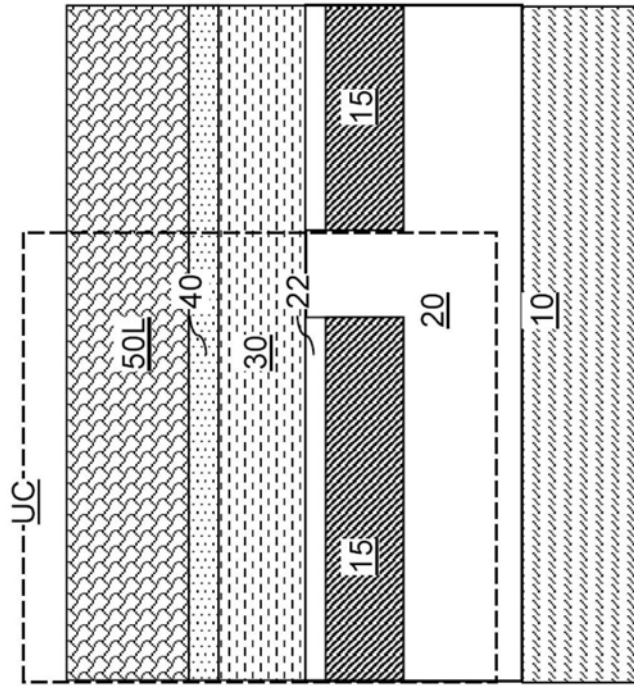


图9D

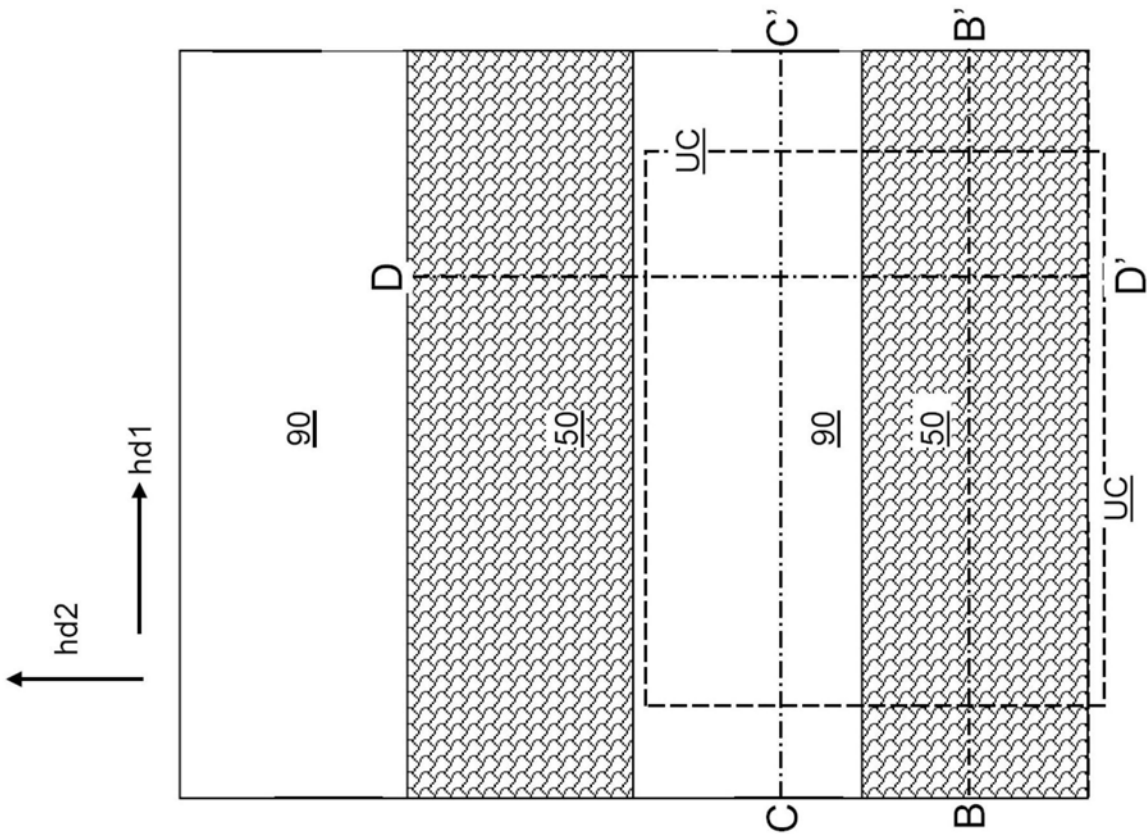


图10A

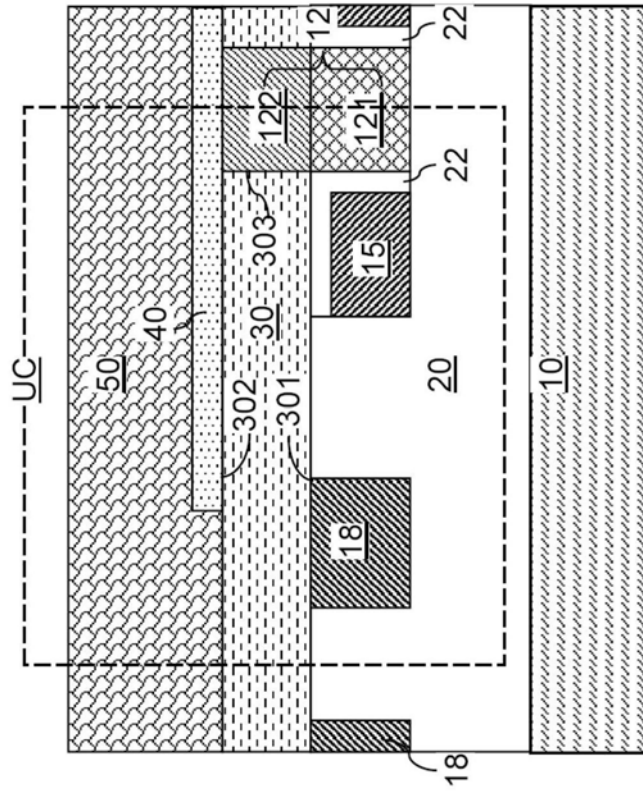


图10B

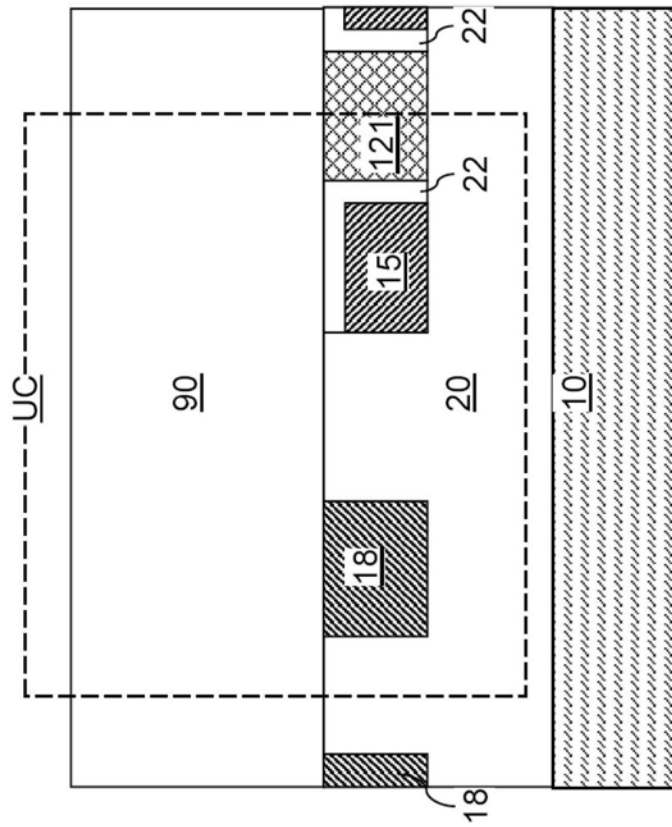


图10C

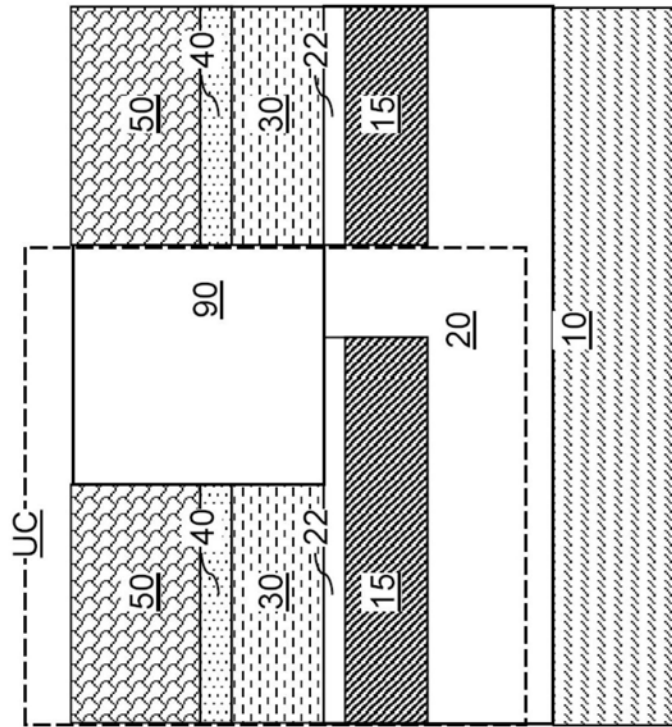


图10D

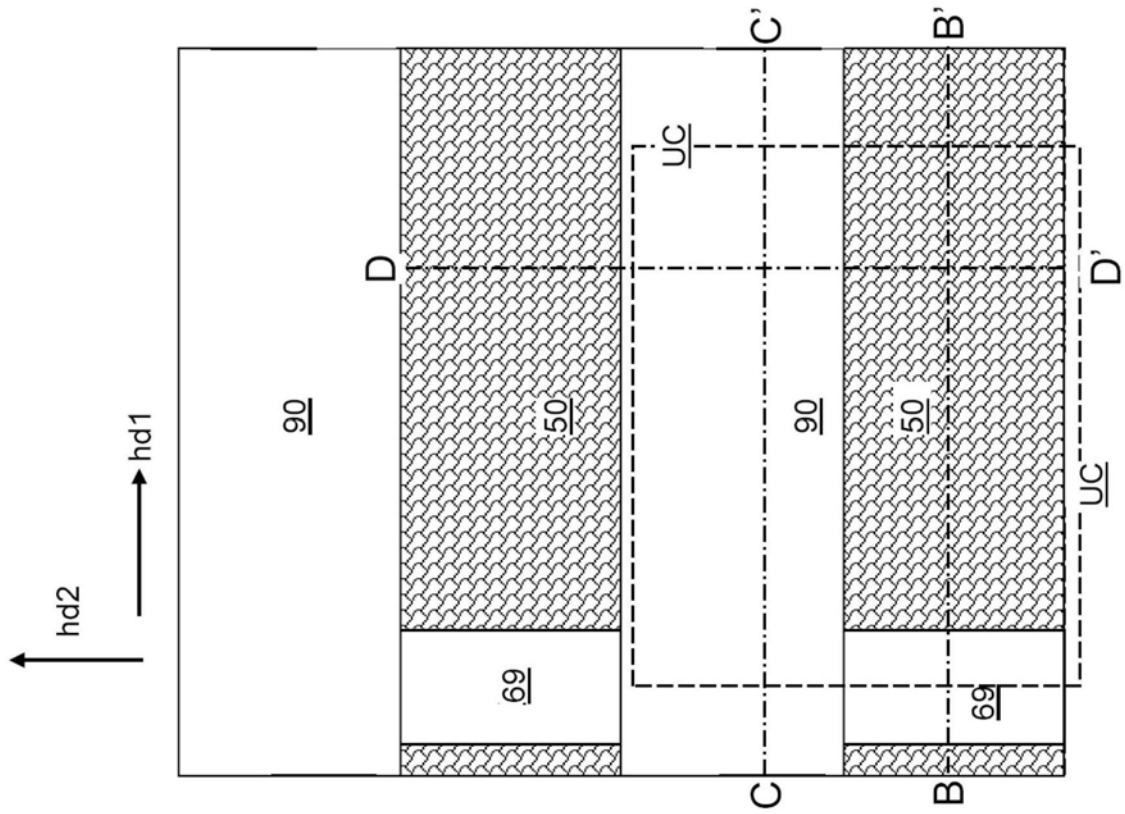


图11A

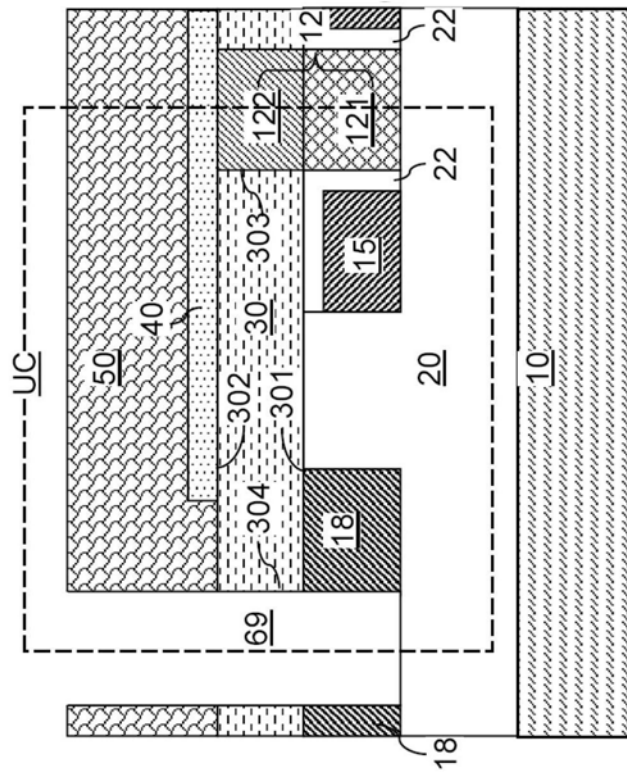


图11B

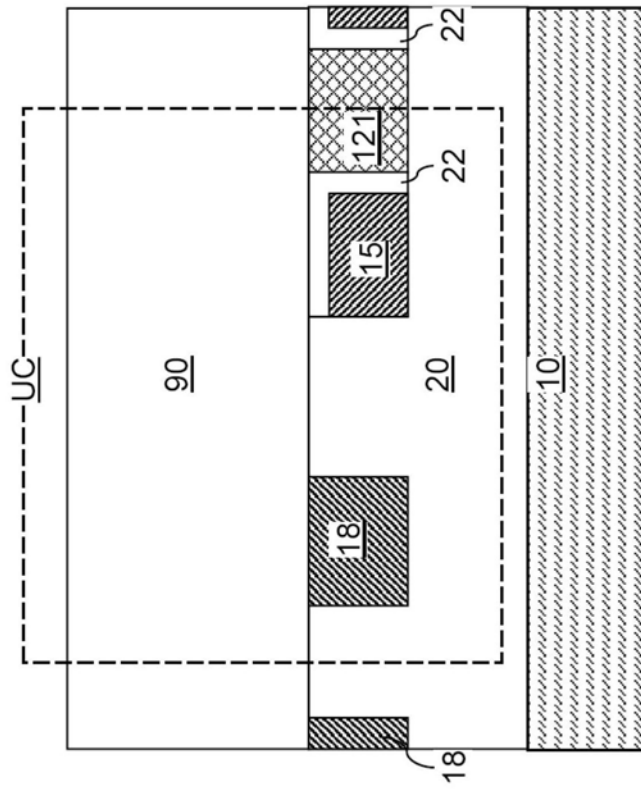


图11C

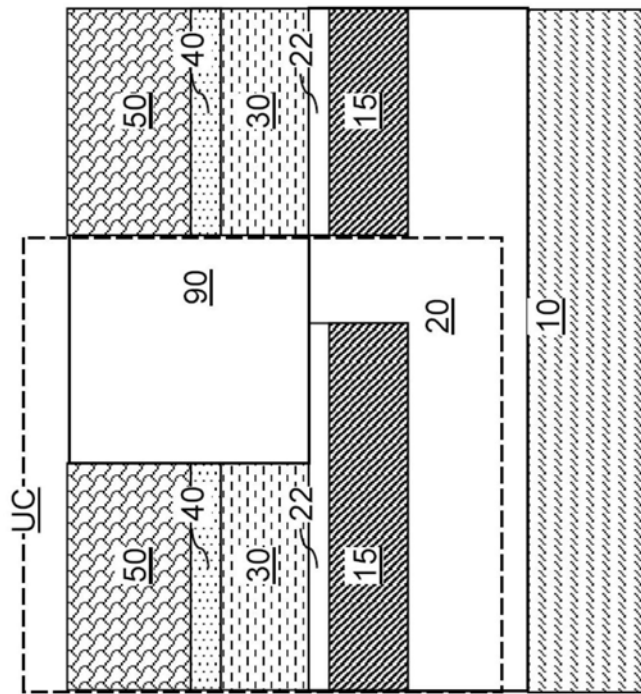


图11D

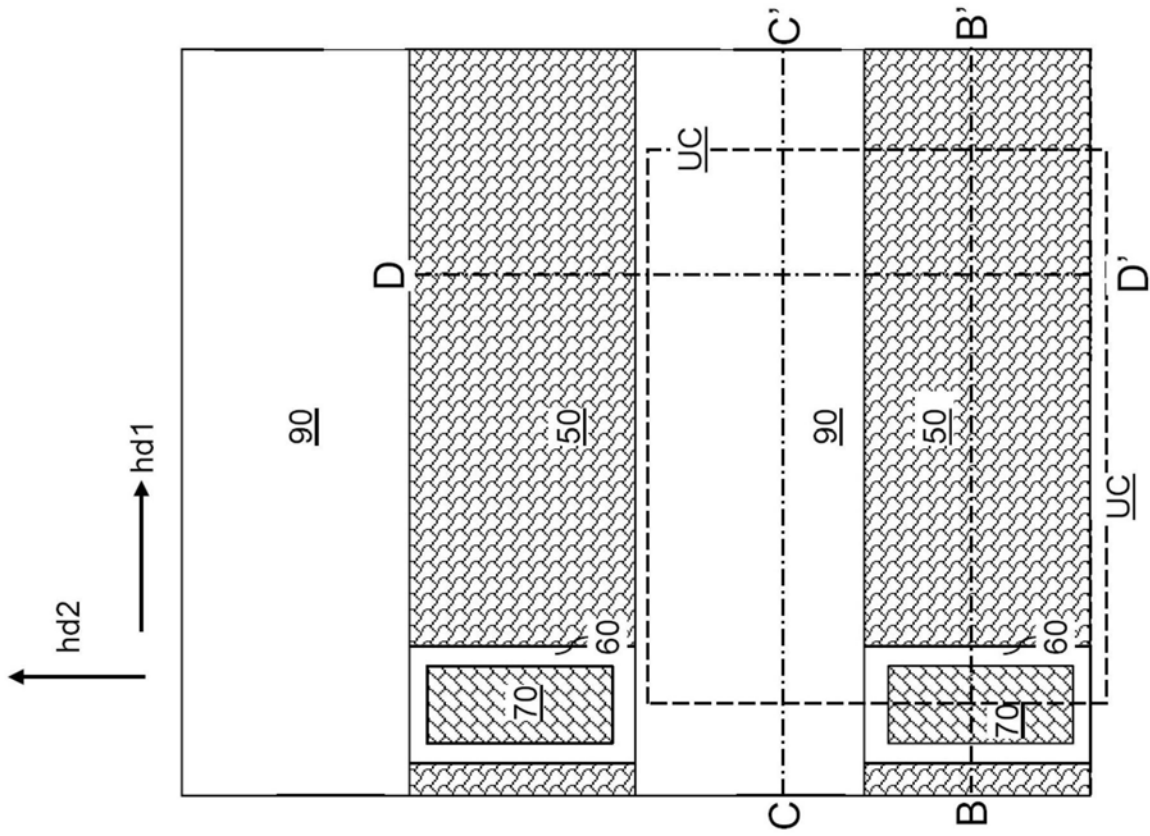


图12A

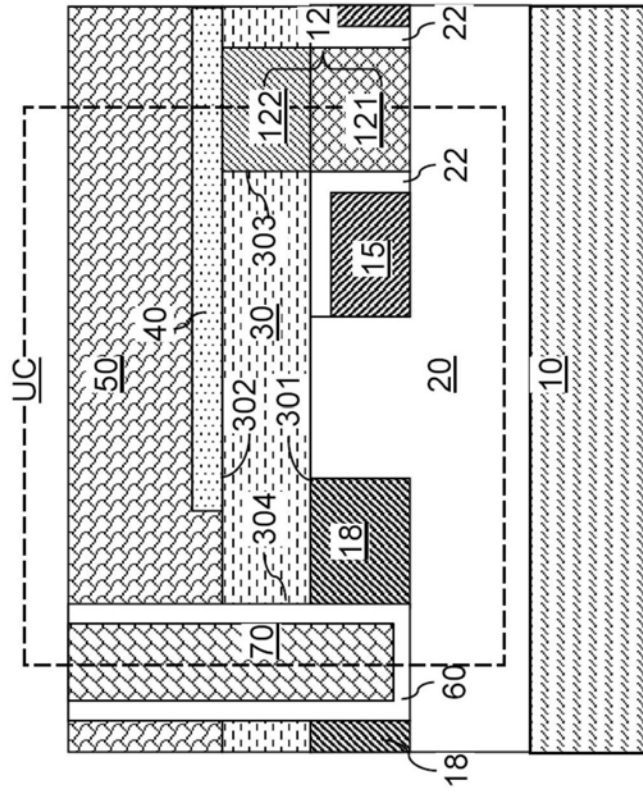


图12B

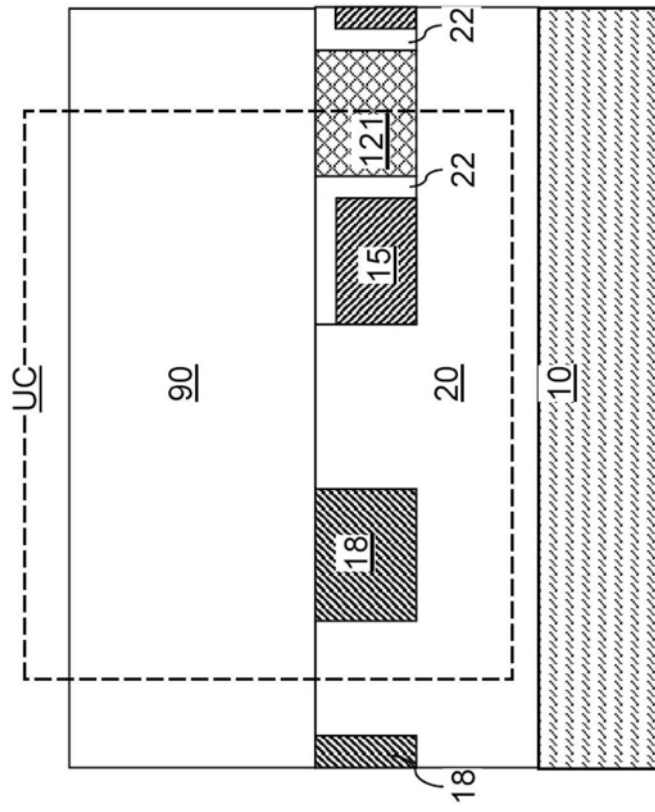


图12C

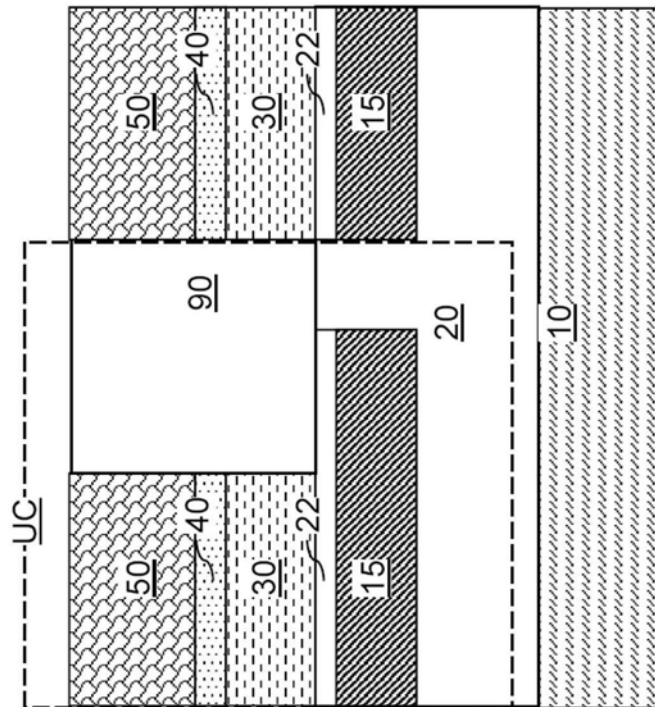


图12D

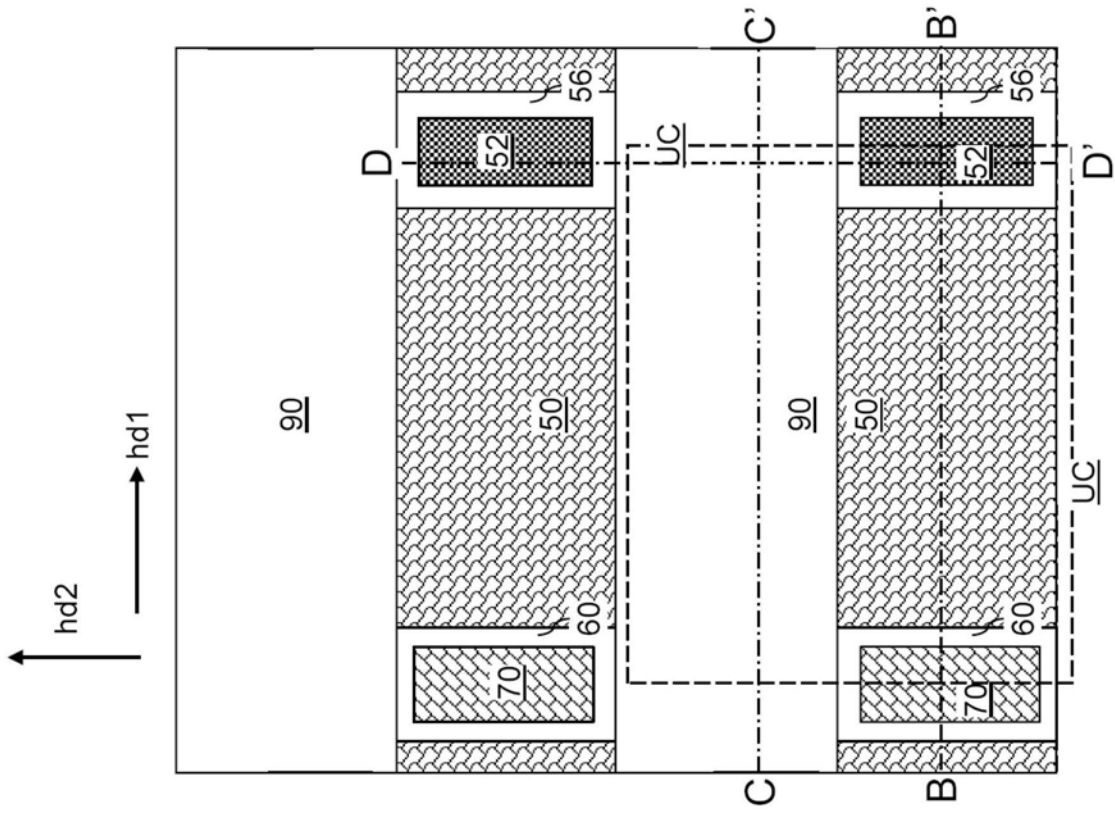


图13A

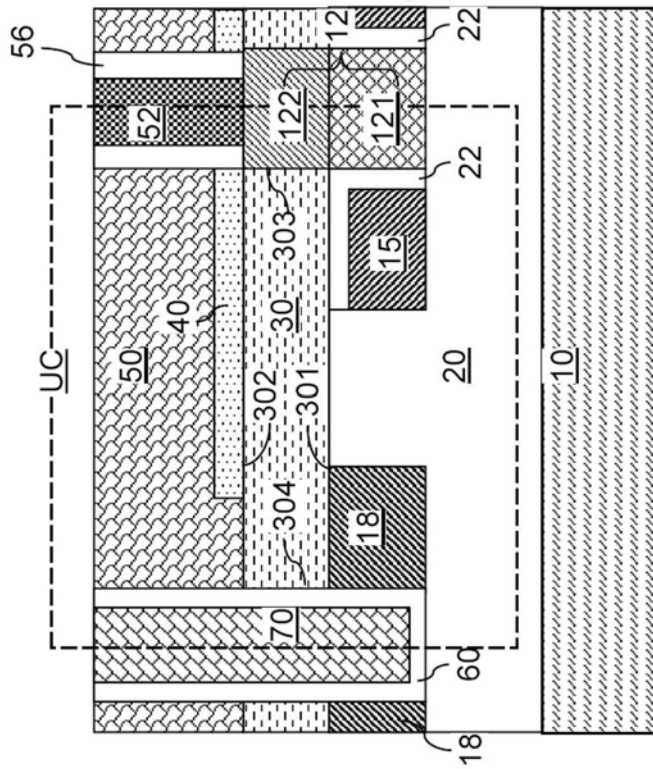


图13B

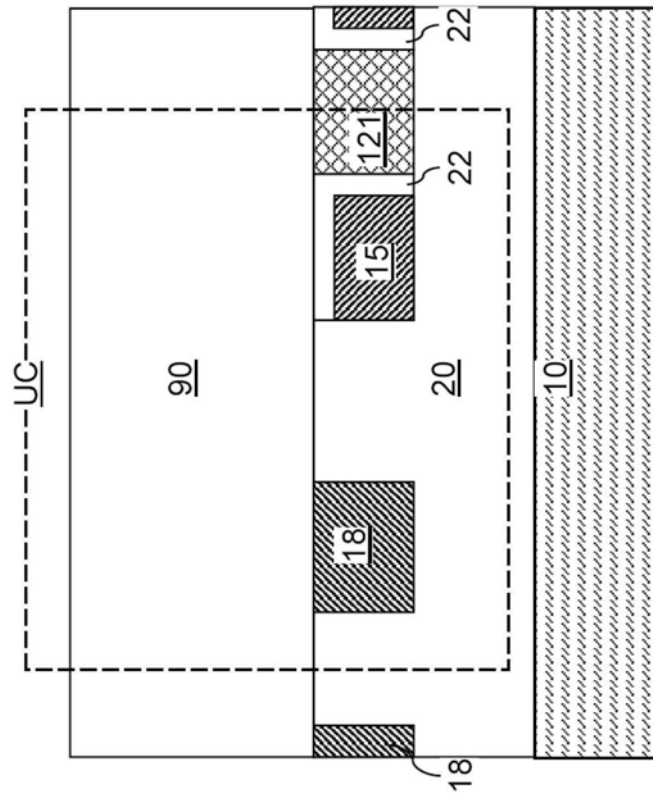


图13C

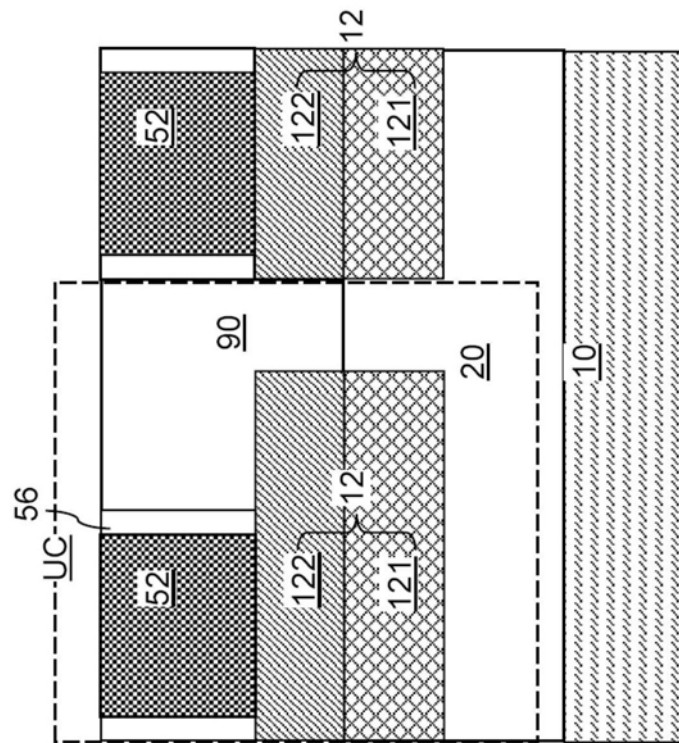


图13D

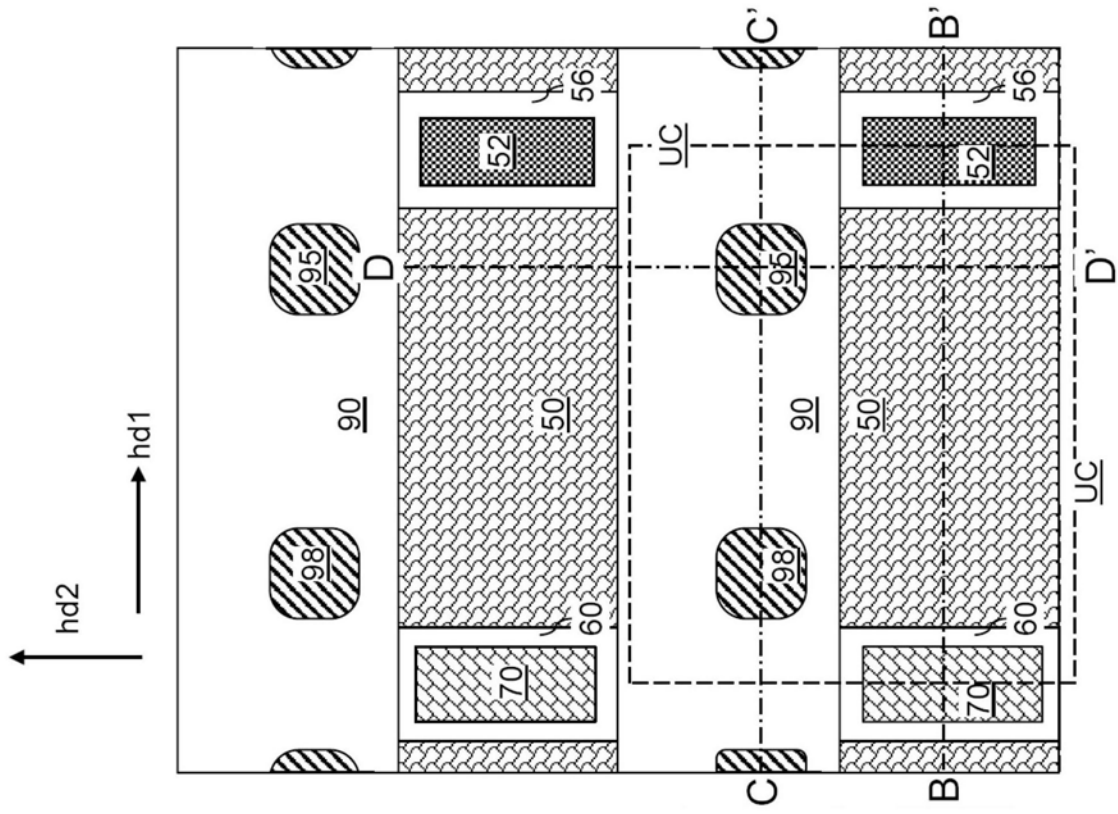


图14A

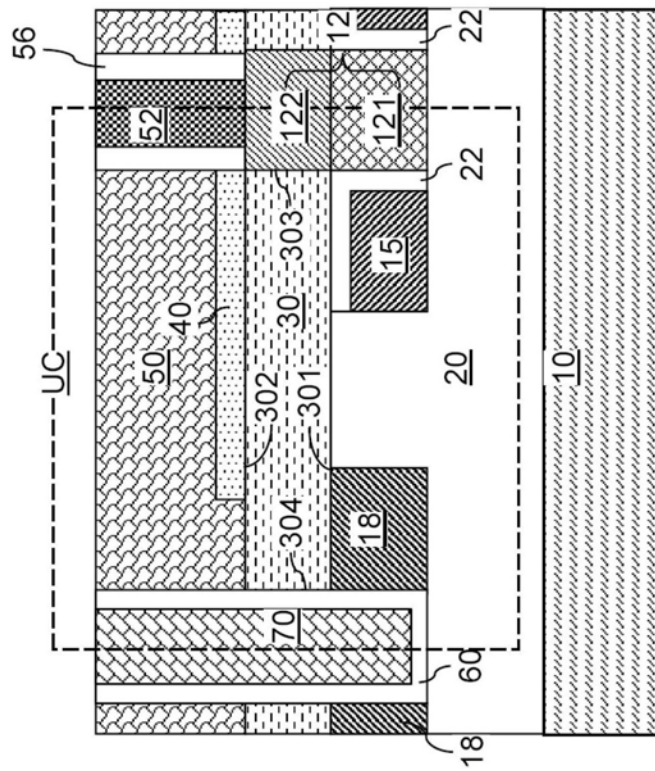


图14B

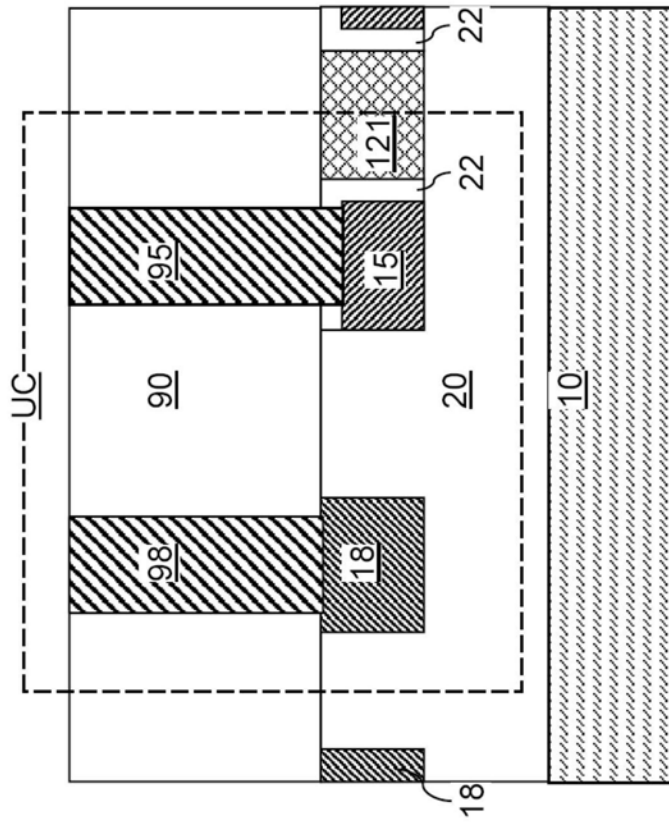


图14C

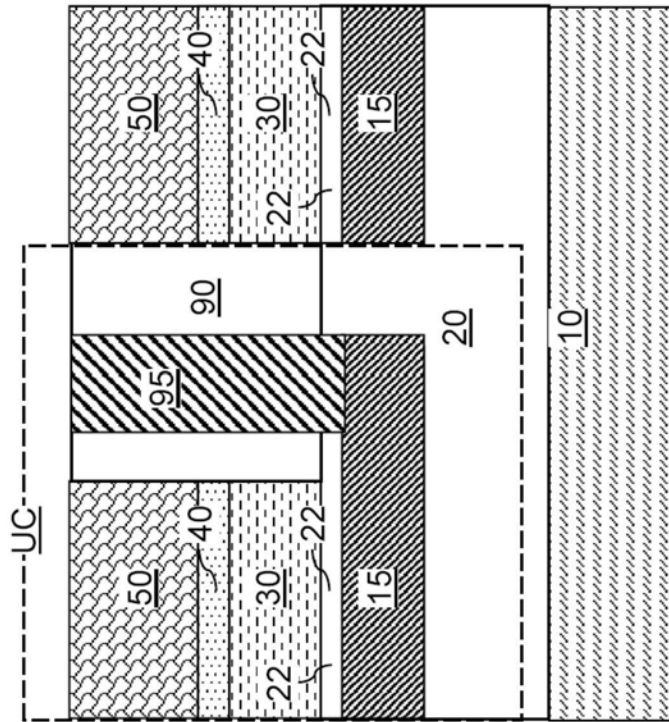


图14D

在第一栅电极充电时的读取操作

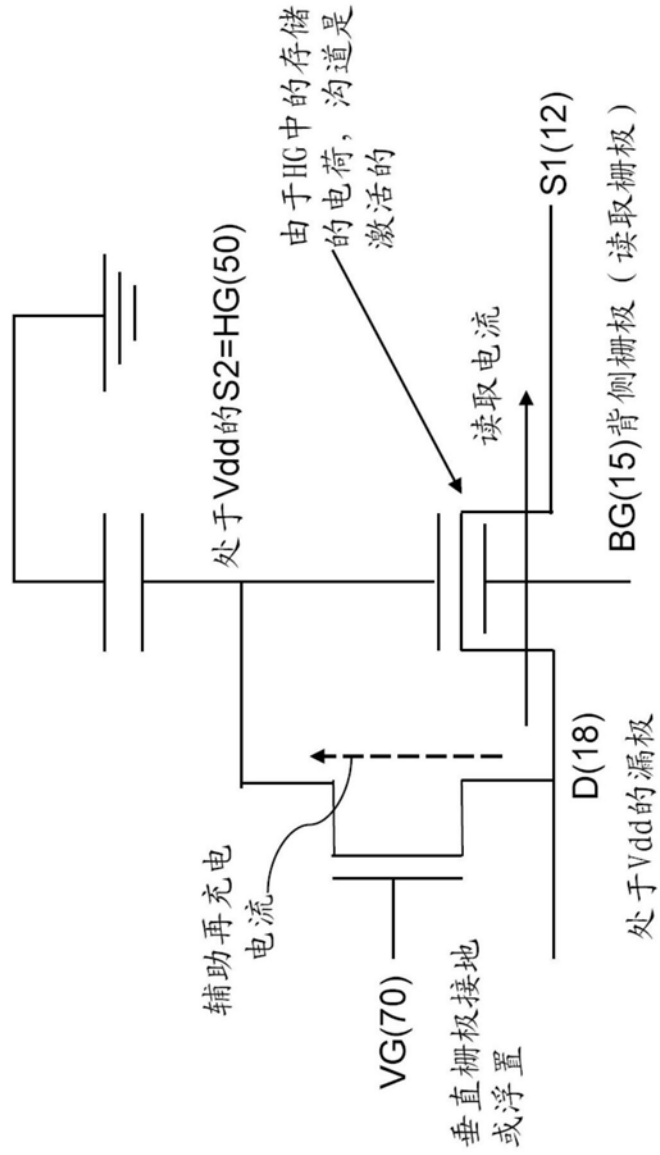


图15A

在第一栅电极放电时的读取操作

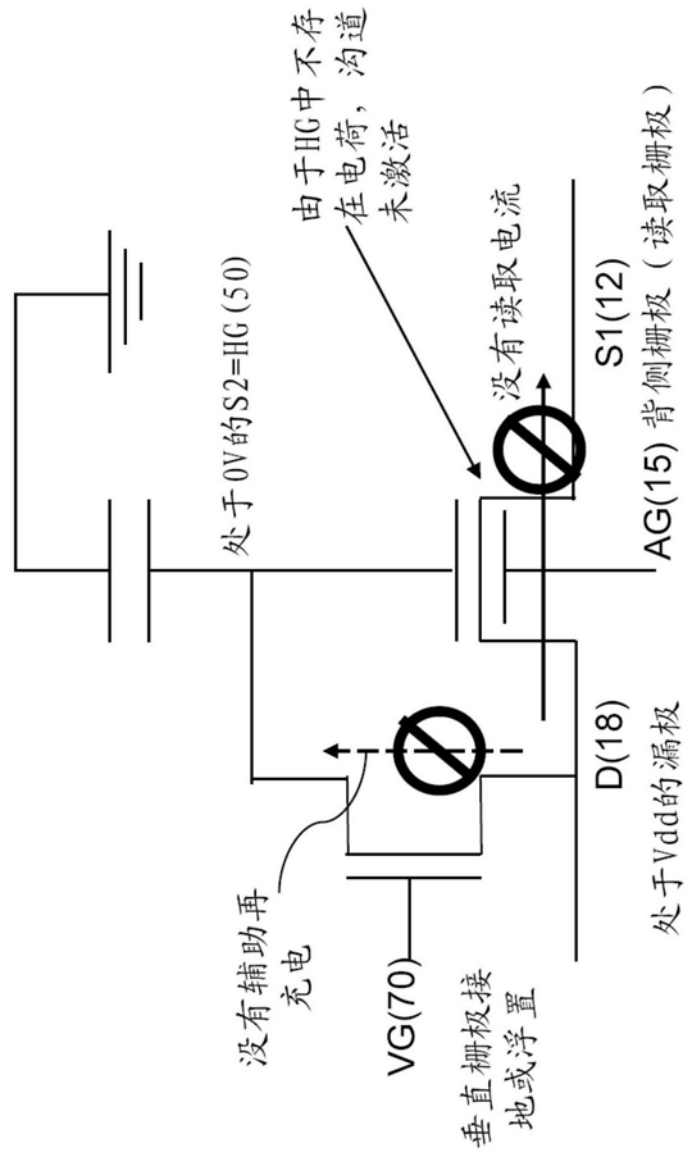


图15B

用于1的写入操作 (充电状态)

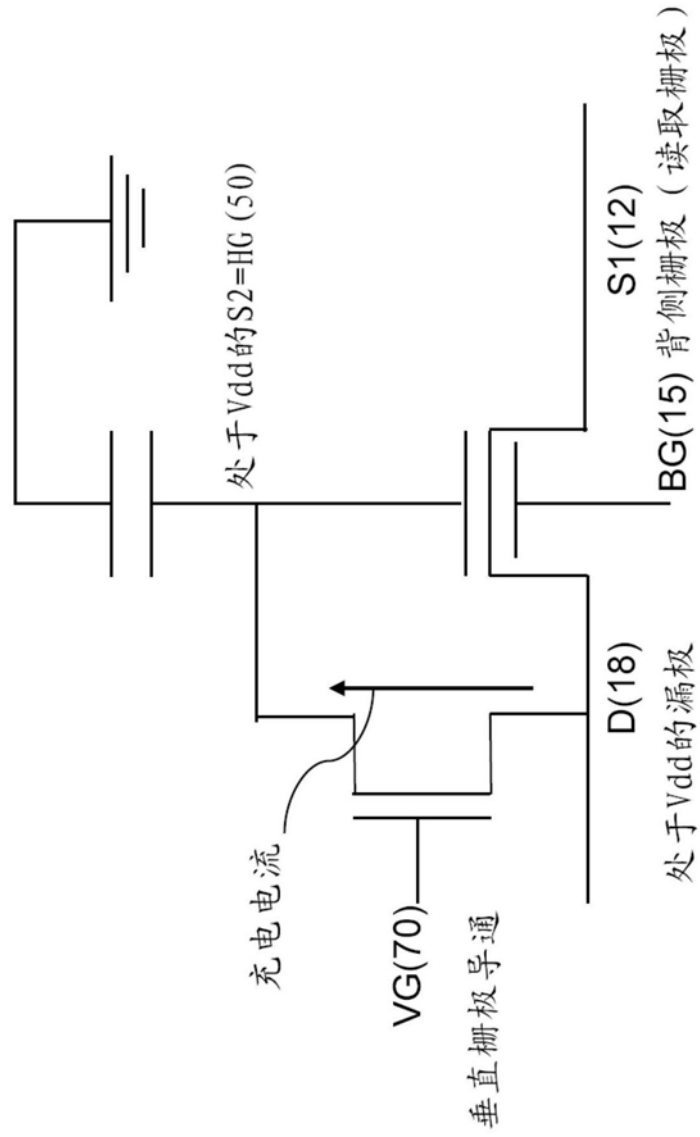


图16A

用于0的写入操作 (放电状态)

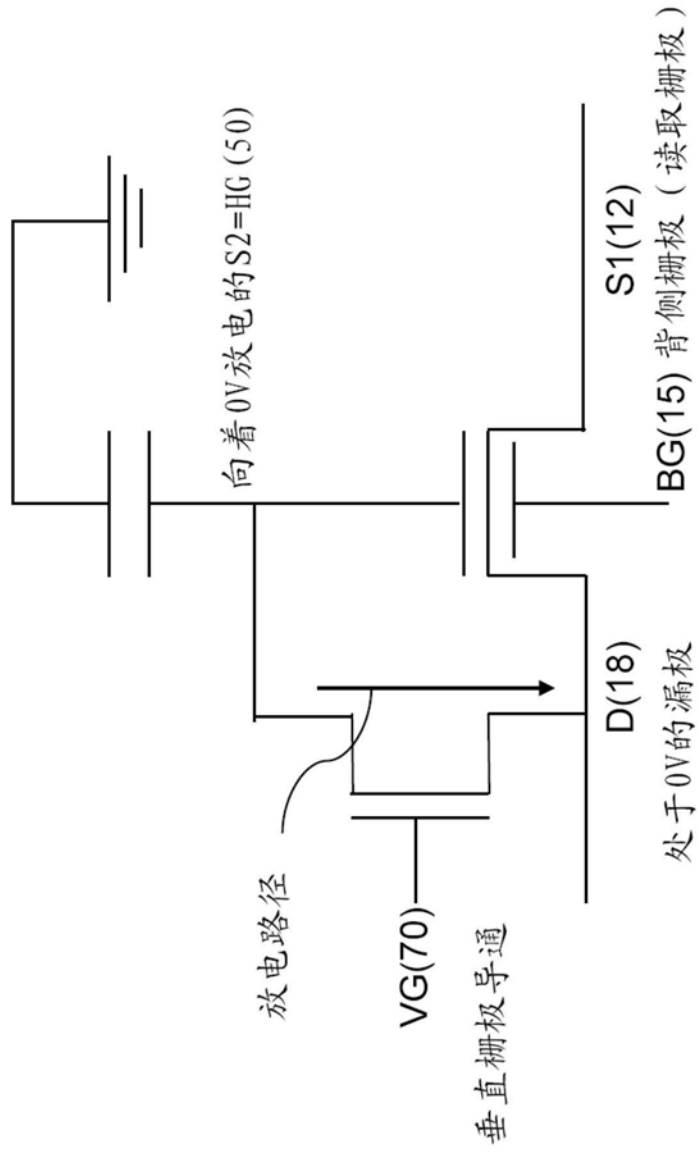


图16B

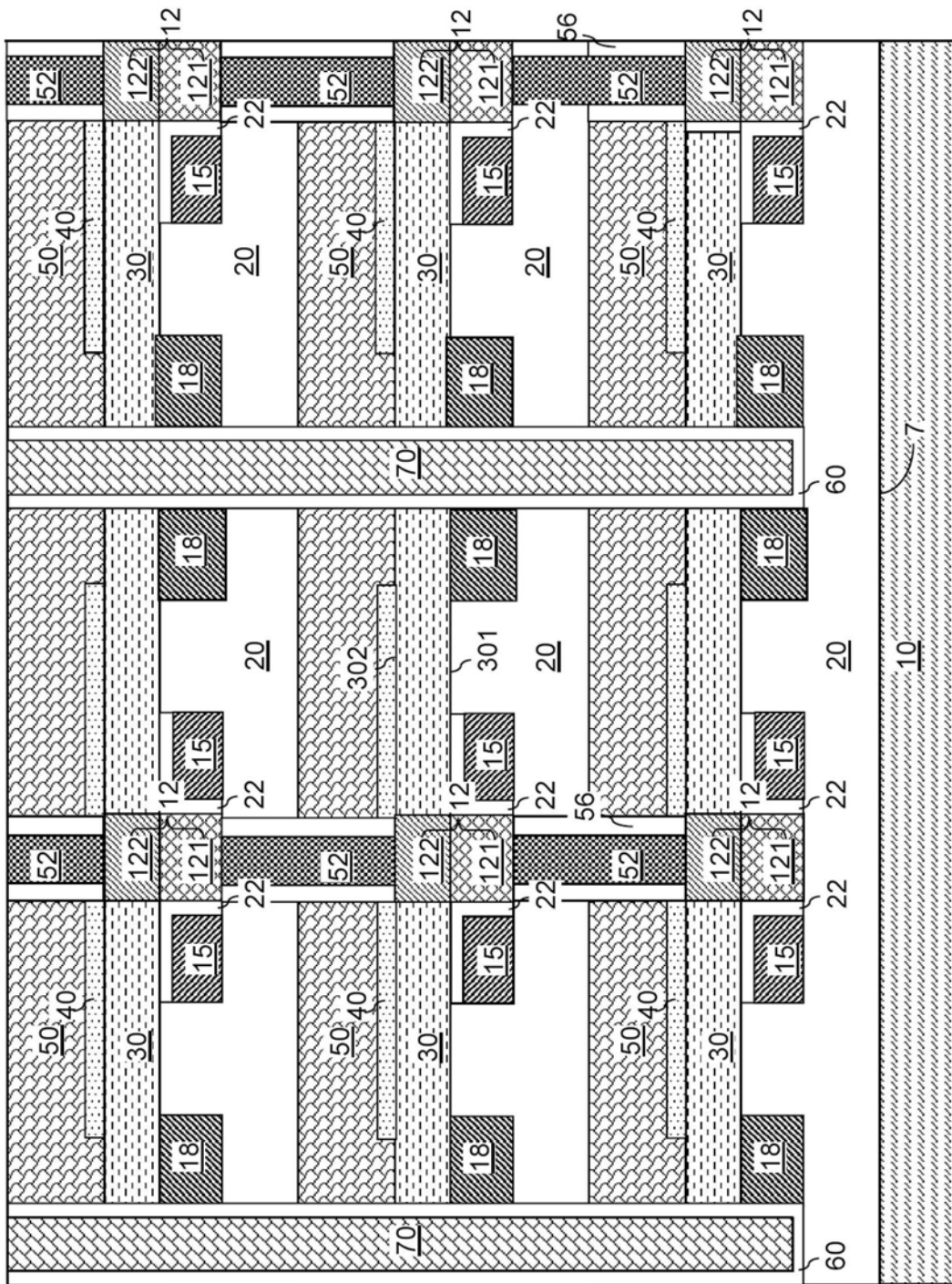


图17

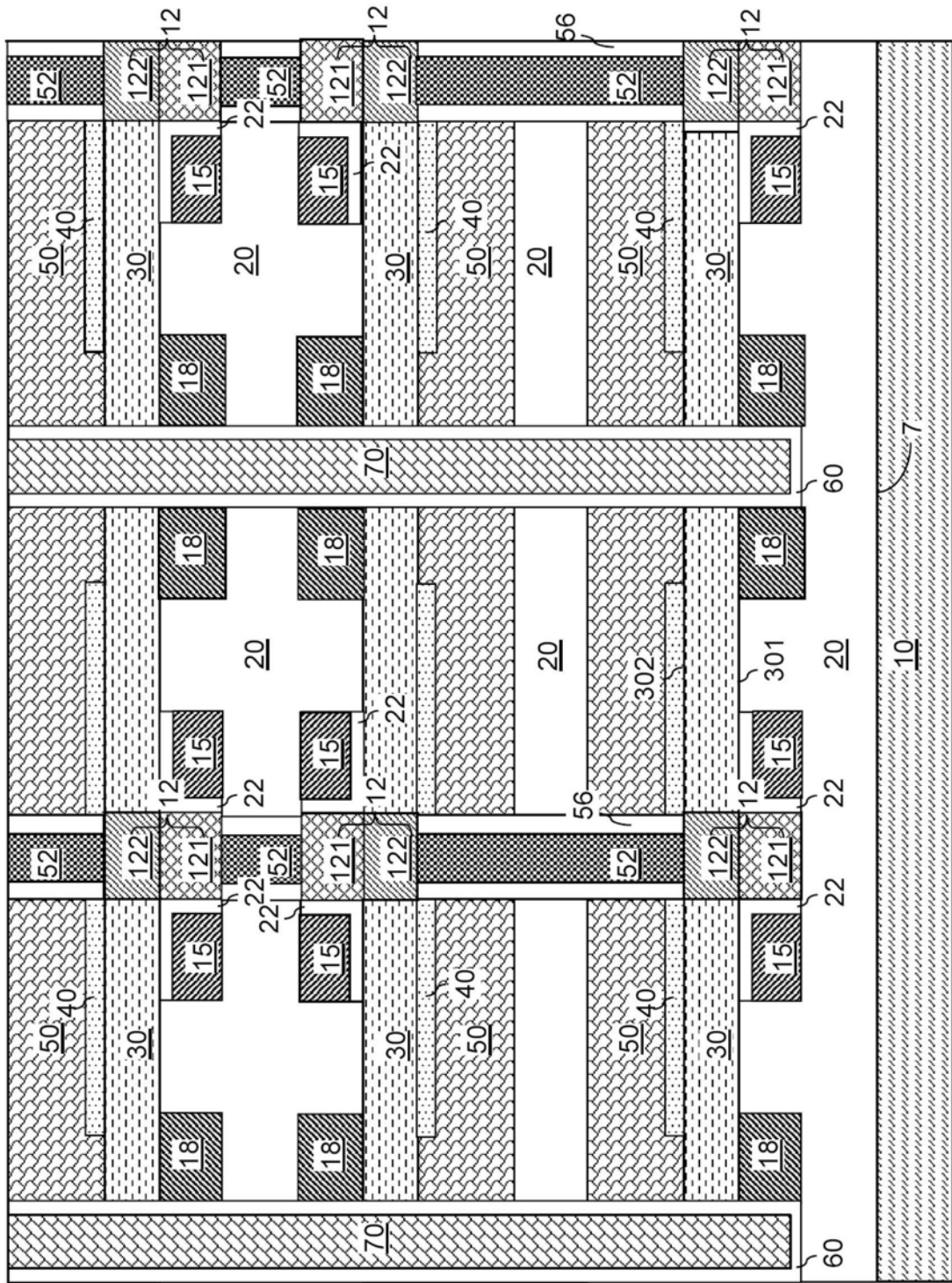


图18

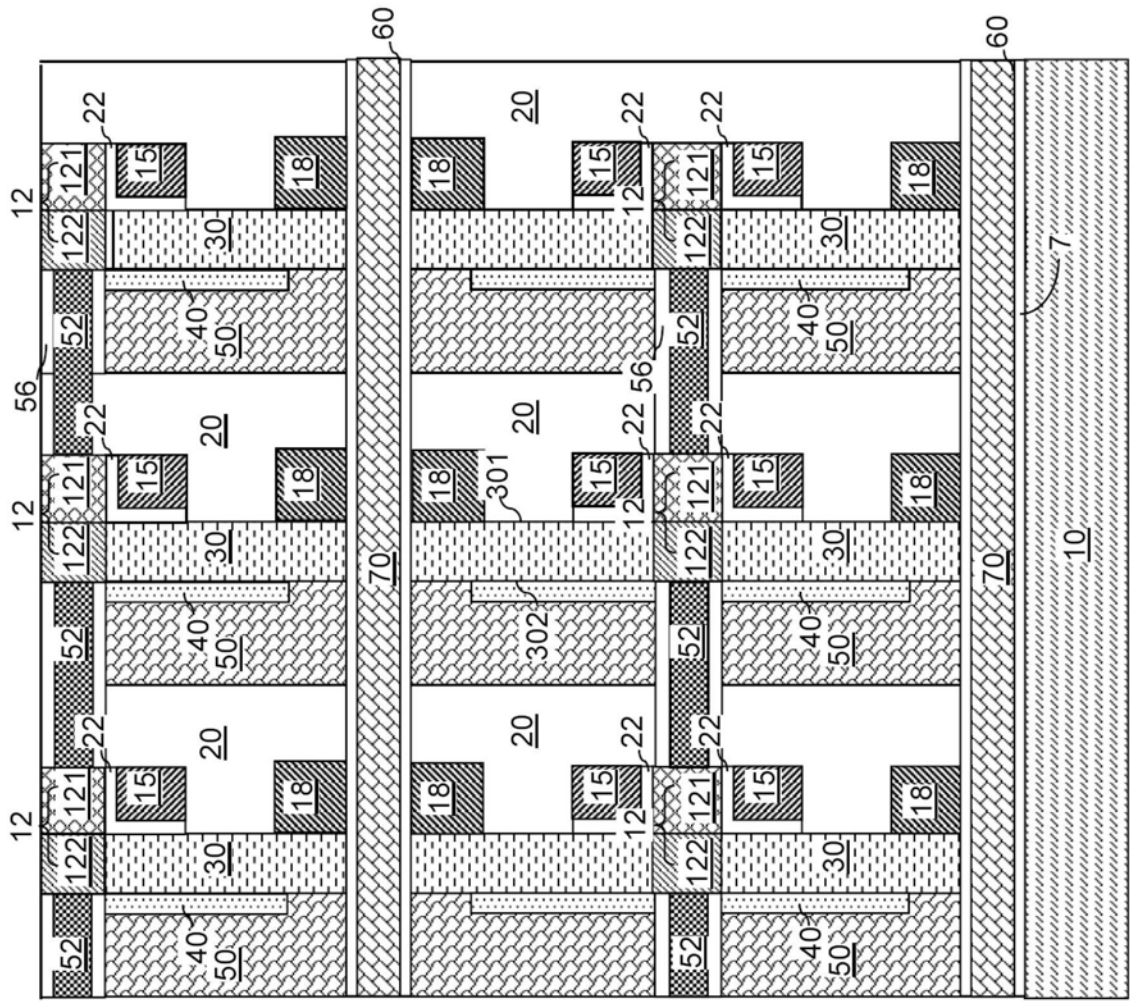


图19

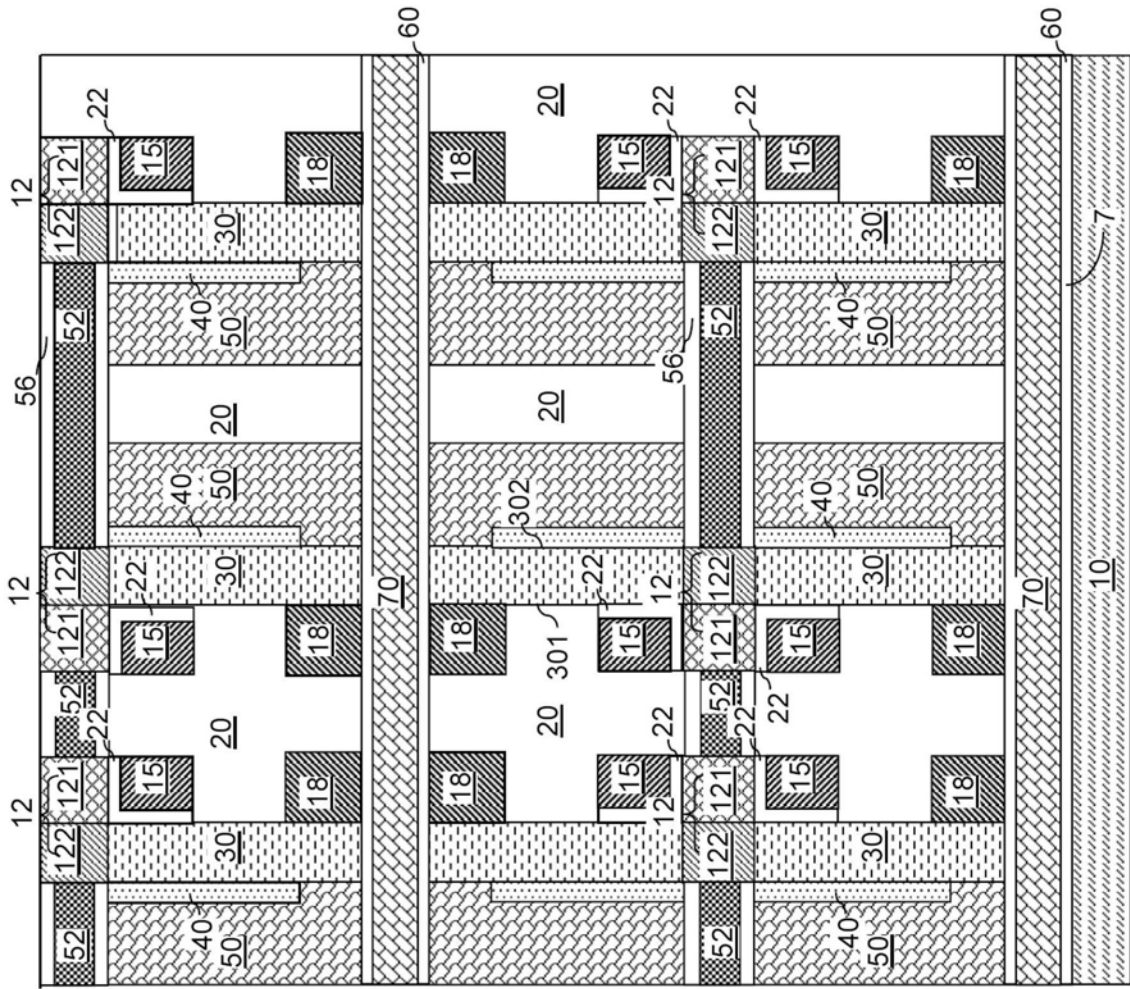


图20

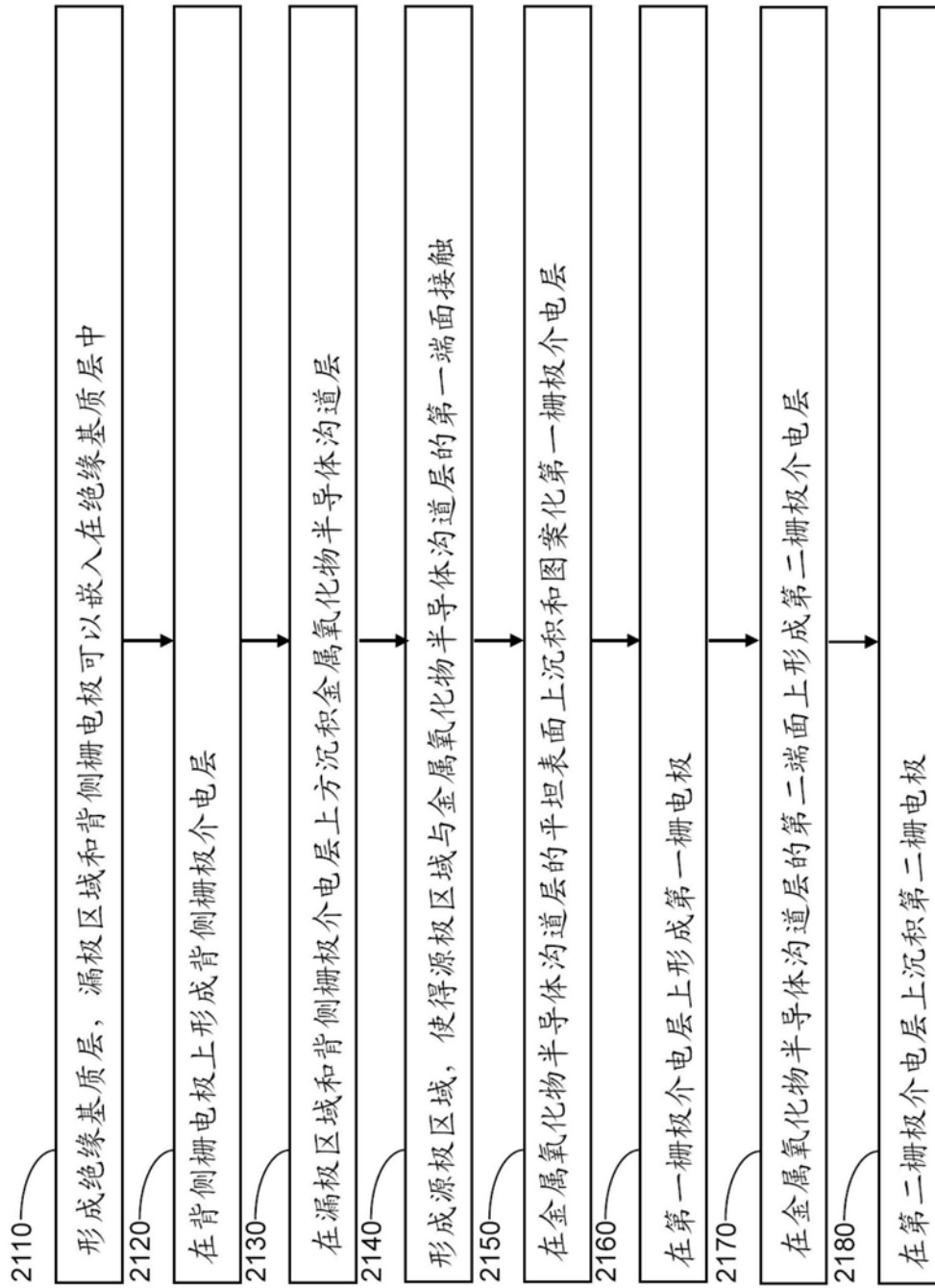


图21