



(12) **Patentschrift**

(21) Aktenzeichen: **10 2019 116 700.0**  
(22) Anmeldetag: **19.06.2019**  
(43) Offenlegungstag: **16.01.2020**  
(45) Veröffentlichungstag  
der Patenterteilung: **04.03.2021**

(51) Int Cl.: **G05F 1/563 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(66) Innere Priorität:  
**10 2018 116 668.0 10.07.2018**

(72) Erfinder:  
**Kapoor, Niron, 45357 Essen, DE**

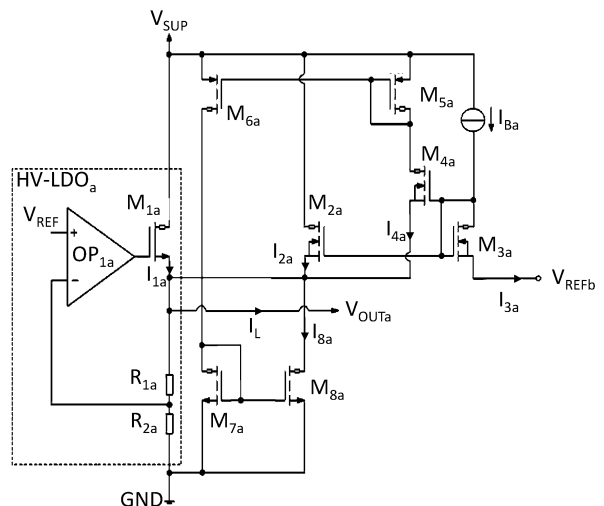
(73) Patentinhaber:  
**Elmos Semiconductor SE, 44227 Dortmund, DE**

(56) Ermittelter Stand der Technik:  
**siehe Folgeseiten**

(54) Bezeichnung: **Stützkondensatorfreier Low-Drop-Spannungsregler mit großem Spannungsbereich mit einem DIMOS Transistor und Verfahren zu dessen Betrieb**

(57) Hauptanspruch: Low-Drop-Spannungsregler zur Erzeugung einer Ausgangsspannung an seinem Ausgang ( $V_{OUTa}$ )

- mit einem selbstleitenden NMOS-Transistor ( $M_{1a}$ ) und
- mit einem nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) und
- wobei der selbstleitende NMOS-Transistor ( $M_{1a}$ ) als ein erster Regeltransistor des Low-Drop-Spannungsreglers verwendet wird und
- wobei der nicht selbstleitende DIMOS-Transistor ( $M_{2a}$ ) als ein zweiter Regeltransistor des Low-Drop-Spannungsreglers verwendet wird und
- wobei die Regelung der Ausgangsspannung ( $V_{OUTa}$ ) über den selbstleitenden NMOS-Transistor ( $M_{1a}$ ) mit einer ersten Zeitkonstante ( $\tau_{1a}$ ) erfolgt und
- wobei die Regelung der Ausgangsspannung ( $V_{OUTa}$ ) über den nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) mit einer zweiten Zeitkonstante ( $\tau_{2a}$ ) erfolgt und
- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) das Einspeisen eines zweiten Stroms ( $I_{2a}$ ) in den Knoten des Ausgangs des Spannungsreglers (HV\_LDO<sub>a</sub>) mit Hilfe dieses selbstleitenden DIMOS-Transistors ( $M_{2a}$ ) umfasst, wobei der Wert des zweiten Stromes ( $I_{2a}$ ) von einem Bias-Strom ( $I_{Ba}$ ) abhängt, und
- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) das Einspeisen eines vierten Stroms ( $I_{4a}$ ) in den Knoten des Ausgangs des Spannungsreglers (HV\_LDO<sub>a</sub>) umfasst, wobei der Wert des vierten Stromes ( $I_{4a}$ ) ebenfalls von dem Bias-Strom ( $I_{Ba}$ ) abhängt, und
- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) das Entnehmen eines achten Stromes ( $I_{8a}$ ) ...



(56) Ermittelter Stand der Technik:

DE	101 10 273	C2
DE	35 38 584	A1
DE	603 11 098	T2
US	2014 / 0 028 274	A1
US	4 683 382	A
WO	2017/ 102 251	A1

**PLUMMER, J.D. ; MEINDL, J.D.: A monolithic 200-V CMOS analog switch. In: IEEE Journal of Solid-State Circuits - Dec. 1976, Bd. 11, H. 6, S. 809 - 817. - ISSN 0018-9200 (P), 1558-173X (E). DOI: 10.1109/JSSC.1976.1050822. URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1050822> [abgerufen am 2019-09-06].**

**TIHANYI, J. ; WIDMANN, D.: DIMOS - A novel IC technology with submicron effective channel MOSFET. In: International Electron Devices Meeting - 5-7 Dec. 1977 - Washington, DC, USA, S. 399-401. DOI: 10.1109/IEDM.1977.189270. URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1479350> [abgerufen am 2019-09-05].**

**Beschreibung**

## Oberbegriff

**[0001]** Die Erfindung richtet sich auf einen mikrointegrierbaren Low-Drop-Spannungsregler mit voller Ausnutzung des Versorgungsspannungsbereiches und schneller Ausregelung von dynamischen Lastsprüngen des Laststromes ( $I_{La}$ ), sodass er keine Stützkapazität extern seiner mikrointegrierten Schaltung benötigt.

## Allgemeine Einleitung und Stand der Technik

**[0002]** Mit den wachsenden Anforderungen hinsichtlich eines immer größeren, notwendigen Betriebsspannungsbereichs für die elektronischen Schaltungen -vor allem im Automobilbereich- wird der Einsatz von in der integrierten Schaltung (IC) eingebauten sogenannten Hochvolt-Low-Drop-Reglern -in weiterem HV-LDO genannt- im Gegensatz zu kostenintensiven DC-DC-Konvertern bzw. Schaltregler stetig beliebter und notwendiger. Die integrierte Schaltung (IC) ist dabei in ein Gehäuse mit Gehäuseanschlüssen eingebaut. Diese Spannungsreglertypen müssen bei maximaler Versorgung sowohl einen größeren Spannungsabfall über ihren jeweiligen Ausgangstreibertransistor standhalten können, als auch bei minimaler Versorgungsspannung, die nahe der Regler-Ausgangsspannung selbst liegen kann, die nominale Ausgangsspannung  $V_{OUTa}$  am ersten Ausgang des ersten Hochvolt-Low-Drop-Reglers (HV-LDO<sub>a</sub>) bereitstellen können. Der Ausgangstreibertransistor ( $M_{DRV}$ ) ist typischerweise ein MOS-Transistor mit Drain-, Source- und Gate-Anschluss. Um die Bereitstellung der nominalen Ausgangsspannung  $V_{OUTa}$  erreichen zu können, benötigt der Ausgangstreibertransistor ( $M_{DRV}$ ) dieses Hochvolt-Low-Drop-Reglers (HV-LDO<sub>a</sub>) eine ausreichende Gate-Source-Spannung, weshalb die Hochvolt-Low-Drop-Regler (HV-LDO<sub>a</sub>) nach Stand der Technik bevorzugt mit einem p-leitenden Transistor als Ausgangstreibertransistor ( $M_{DRV}$ ) (siehe Fig. 1) konstruiert werden, dessen Gate-Potenzial auf Werte bis zur negativen Versorgungsspannung des Bezugspotenzials (GND) angesteuert werden kann. Damit kann die absolute Gate-Source-Spannung  $V_{GS}$  des Ausgangstreibertransistors ( $M_{DRV}$ ), der typischerweise im Stand der Technik ein PMOS-Transistor ist, nahezu den gesamten verfügbaren Spannungsbereich von positiver Versorgungsspannung ( $V_{SUP}$ ) bis zur negativen Versorgungsspannung des Bezugspotenzials (GND) ausnutzen und somit mit einem kleinen  $R_{DSON\_MDRV}$ , einen minimalen Spannungsabfall über den Ausgangstreibertransistor gewährleisten. Diese Art der Hochvolt-Low-Drop-Regler (HV-LDO<sub>a</sub>) müssen aber unter anderem aus Stabilitätsgründen entweder mit sehr großem Schaltungsaufwand intern phasenkompensiert werden oder/und benötigen in der Regel einen zusätzlichen Gehäuse-Anschluss ei-

ne große, typischerweise nicht integrierbare externe Kapazität ( $C_{buffer}$ ) an ihrem Ausgang ( $V_{OUT}$ ).

**[0003]** Bevorzugt wird daher die Möglichkeit, einen selbstleitenden Hoch-Volt-NMOS-Transistor (HV-NMOS) als Treiber ( $M_{1a}$ ) zu verwenden (siehe Fig. 2). Ganz besonders handelt es sich dabei um einen NMOS-Transistor mit einem nur schwach oder nicht dotierten Kanal. Ein solcher erster Transistor ( $M_{1a}$ ) wird im Folgenden als „natural NMOS-Transistor“ bezeichnet. Wegen einer unzureichenden, wirksamen Gate-Source-Spannung  $V_{GS\text{eff}}$  und damit einem zu großen Einschaltwiderstand  $R_{DSON1a}$  des Ausgangstreibertransistors ( $M_{1a}$ ), muss aber der Natural-NMOS-Transistor, der hier beispielhaft als Ausgangstransistor eingesetzt wird, für eine größere Gleichstromlast sehr großflächig gewählt werden, weshalb sein Einsatz nur auf Anwendungen mit kleineren Gleichstromlastströmen begrenzt ist. Außerdem hat solch ein natural NMOS-Transistor ( $M_{1a}$ ) aufgrund seiner deutlich größeren Kanallänge eine relativ große Gate-Kapazität und reagiert somit sehr langsam mit einer ersten Zeitkonstante ( $\tau_{1a}$ ) auf dynamische Lastsprünge des Laststromes ( $I_{La}$ ), was wiederum ohne externe Pufferkapazität Spannungseinbrüche zur Folge hat.

**[0004]** Aus der US 2014 / 0 028 274 A1 ist beispielsweise ein Spannungsregler zur Abgabe eines Laststroms ( $I_{La}$ ) mit einer Referenzspannung, mit einem Differenzverstärker, mit einem ersten Transistor, mit einer Rückkoppelschaltung, und mit einem Reglerausgang bekannt. Dabei weist der Differenzverstärker der US 2014 / 0 028 274 A1 einen negativen Eingang und einen positiven Eingang und einen Ausgang auf. Der Reglerausgang der US 2014 / 0 028 274 A1 ist über die Rückkoppelschaltung auf den negativen Eingang des Differenzverstärkers der US 2014 / 0 028 274 A1 zurückgekoppelt. Der positive Eingang des Differenzverstärkers der US 2014 / 0 028 274 A1 ist mit der Referenzspannung der US 2014 / 0 028 274 A1 verbunden. Der erste Transistor der US 2014 / 0 028 274 A1 bestromt in Abhängigkeit von dem Ausgangssignal des Differenzverstärkers der US 2014 / 0 028 274 A1 den Ausgang des Spannungsreglers der US 2014 / 0 028 274 A1 mit einem ersten Strom ( $I_{1a}$ ). Der Spannungsregler der US 2014 / 0 028 274 A1 führt dabei ein Verfahren zur Stabilisierung einer Ausgangsspannung des Ausgangs eines Spannungsreglers aus, dass das Ausregeln der Ausgangsspannung ( $V_{OUTa}$ ) mit Hilfe eines ersten Transistors umfasst, der einen ersten Strom in den Knoten des Ausgangs des Spannungsreglers in Abhängigkeit von einer Referenzspannung ( $V_{REF}$ ) einspeist.

**[0005]** Aus der WO 2017/ 102 251 A1 ist ein solcher Spannungsregler bekannt, wobei in der technischen Lehre der WO 2017/ 102 251 A1 eine zweite Referenzspannung und ein zweiter Transistor sowie eine

Bias-Stromquelle vorgesehen sind. Gemäß der technischen Lehre der WO 2017/ 102 251 A1 bestromt der zweite Transistor der WO 2017/ 102 251 A1 den Ausgang des Spannungsreglers der WO 2017/ 102 251 A1 mit einem zweiten Strom in Abhängigkeit von der zweiten Referenzspannung der WO 2017/ 102 251 A1. Dabei hängt der zweite Strom der WO 2017/ 102 251 A1 von der Spannungsdifferenz zwischen der zweiten Referenzspannung der WO 2017/ 102 251 A1 und der WO 2017/ 102 251 A1 Spannung am Ausgang des Spannungsreglers der WO 2017/ 102 251 A1 und dem Bias-Strom der WO 2017/ 102 251 A1 ab. Aus der ist dabei ein Verfahrensschritt bekannt, der das Einspeisen eines zweiten Stroms in den Knoten des Ausgangs des Spannungsreglers mit Hilfe eines zweiten Transistors umfasst, wobei der Wert des zweiten Stromes von einer zweiten Referenzspannung und von einem Bias-Strom abhängt.

**[0006]** Aus der DE 603 11 098 T2 ist ein Multimodusspannungsregler mit einer Niederstromdurchlasseinrichtung und einer Hochstromdurchlasseinrichtung bekannt, die jeweils zum Anschluss zwischen einer Stromversorgung und einer Last ausgeführt sind. Eine Vorrichtung gemäß der technischen Lehre der DE 603 11 098 T2 umfasst einen Feldverstärker mit einer Ausgangsleitung, der auf die Differenz zwischen einer Referenzspannung und einer Funktion der Spannung an der Last anspricht, um ein Fehler-signal auf der Ausgangsleitung der Vorrichtung gemäß der technischen Lehre der DE 603 11 098 T2 zu erzeugen. Eine Vorrichtung gemäß der technischen Lehre der DE 603 11 098 T2 zeichnet sich durch einen Kleinleistungstreiber aus, der einen niedrigen Vorstrom hat und in einem Niederlastmodus aus das Fehlersignal auf der Ausgangsleitung anspricht, um die Niederstromdurchlasseinrichtung zu aktivieren und so der Last eine niedrigere Leistung bereitzustellen. Des Weiteren zeichnet sich eine Vorrichtung gemäß der technischen Lehre der DE 603 11 098 T2 dadurch aus, dass sie einen Hochleistungstreiber umfasst, der einen höheren Vorstrom hat und in einem Hochleistungsmodus auf das Fehlersignal auf der Ausgangsleitung anspricht, um die Hochstrom-durchlasseinrichtung zu aktivieren und so der Last (57) eine hohe Leistung bereitzustellen, damit der Wirkungsgrad über die Hoch- und Niederleistungs-signal aufrechterhalten wird.

**[0007]** Aus der US 4 683 382 A ist eine Halbleiteranordnung bekannt. Die Vorrichtung gemäß der US 4 683 382 A zeigt ein Bereitschaftsintervall zur Verringerung der Leistungsaufnahme und mit einem externen Anschluss, an dem eine externe Stromversorgungsspannung zugespeist wird. Die Vorrichtung der US 4 683 382 A umfasst darüber hinaus eine interne Stromversorgungsleitung, an welcher eine Spannung, die niedriger ist als die externe Stromversorgungsspannung, zugespeist wird.

**[0008]** Die Vorrichtung der US 4 683 382 A umfasst darüber hinaus einen internen Schaltkreis, der ein Bereitschaftsintervall zur Verringerung der Leistungsaufnahme aufweist und mittels der Spannung von der internen Stromversorgungsleitung als Betriebsspannung betrieben wird. Außerdem weist die Vorrichtung der US 4 683 382 A eine zumindest im Bereitschaftsintervall wirksame erste Spannungsabsenkeinheit auf, um aus der externen Stromversorgungsspannung eine erste Spannung mit einer kleineren Größe als derjenigen der externen Stromversorgungsspannung für die Zuspaltung der ersten Spannung zur internen Stromversorgungsleitung zu erzeugen. Ebenso weist die Vorrichtung der US 4 683 382 A eine in einem vom Bereitschaftsintervall verschiedenen Intervall wirksame zweite Spannungsabsenkeinheit auf, um aus der externen Stromversorgungsspannung eine zweite Spannung, welche die gleiche Größe wie die erste Spannung ( $V_{in1}$ ), aber eine kleinere Größe als die externe Stromversorgungsspannung aufweist, für die Zuspaltung der zweiten Spannung zur internen Stromversorgungsleitung (12) zu erzeugen. Die technische Lehre der US 4 683 382 A zeichnet sich dadurch aus, dass die Leistungsaufnahme der ersten Stromabsenkeinheit in deren wirksamen Zustand niedriger ist als diejenige der zweiten Stromabsenkeinheit in deren wirksamen Zustand, wobei die Leistungsaufnahme der zweiten Spannungsabsenkeinheit, wenn diese unwirksam bzw. außer Betrieb ist, praktisch null beträgt.

**[0009]** Aus der DE 101 10 273 C2 ist ein Spannungsgenerator zur Erzeugung einer an einem Ausgangsanschluss anliegenden Ausgangsspannung bekannt. Die Vorrichtung gemäß der technischen Lehre der DE 101 10 273 C2 umfasst einen ersten Spannungsregler mit einer Vergleichsstufe und einer von der Vergleichsstufe ansteuerbaren Ausgangsstufe, bei dem die Ausgangsstufe ausgangsseitig mit dem Ausgangsanschluss verbunden ist und die Vergleichsstufe eingangsseitig einen Anschluss für ein erstes Referenzpotential aufweist. Die Vorrichtung gemäß der technischen Lehre der DE 101 10 273 C2 umfasst des Weiteren einen Anschluss, der mit der Ausgangsstufe verbunden ist, sowie einen zweiten Spannungsregler mit einer Vergleichsstufe und einer von der Vergleichsstufe ansteuerbaren Ausgangsstufe und einen Schalter, bei dem die Ausgangsstufe ausgangsseitig mit dem Ausgangsanschluss verbunden ist und die Vergleichsstufe eingangsseitig mit dem Anschluss für das erste Referenzpotential und mit der Ausgangsstufe verbunden ist, wobei der zweite Spannungsregler durch den Schalter ein- und ausschaltbar ist. Die Vorrichtung gemäß der technischen Lehre der DE 101 10 273 C2 umfasst ebenso eine weitere Vergleichsstufe, die eingangsseitig mit einem Anschluss für ein vom ersten Referenzpotential ( $V_{REF}$ ) durch einen Spannungsteiler abgeleitetes verschiedenes weiteres Referenzpotential und mit dem Ausgangsanschluss verbunden ist und die

ausgangsseitig einen Anschluss aufweist, über den der Schalter des zweiten Spannungsreglers steuerbar ist.

**[0010]** Aus der DE 35 38 584 A1 ist eine aus mehreren parallel arbeitenden Feldeffekttransistoren bestehende Anordnung bekannt. Die Vorrichtung der DE 35 38 584 A1 ist gekennzeichnet da durch, dass zum Ersten nur einer der Feldeffekttransistoren an seinem Gate-Anschluss von einem externen Steuersignal gesteuert wird und zum Zweiten die weiteren Feldeffekttransistoren über eine eigene Regelung in dem Sinne nachgeführt werden, dass sie jeweils auf einen zuvor gesteuerten Feldeffekttransistor nachgeführte parallele Stromquellen darstellen.

#### Aufgabe der Erfindung

**[0011]** Der Erfindung liegt daher die Aufgabe zugrunde, eine Lösung zu schaffen, die die obigen Nachteile des Stands der Technik nicht aufweist und weitere Vorteile aufweist.

**[0012]** Die Kern-Aufgabe dieser Erfindung ist somit die Realisierung einer chip-flächen- und damit kostengünstigen Schaltung zur Vermeidung der besagten Spannungseinbrüche auf dem Ausgang ( $V_{OUTa}$ ) des Spannungsreglers infolge großer dynamischer Lastströme ( $I_{La}$ ) am Ausgang ( $V_{OUTa}$ ) eines Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) ohne Verwendung einer externen Puffer-Kapazität ( $C_{buffer}$ ).

**[0013]** Diese Aufgabe wird durch eine Vorrichtung nach Anspruch 1 und ein Verfahren nach Anspruch 2 gelöst.

#### Lösung der erfindungsgemäßen Aufgabe

**[0014]** Die Erfindung wird mit Hilfe der **Fig. 3** bis **Fig. 6** in verschiedenen Varianten erläutert.

#### Variante A

**[0015]** Die **Fig. 3** zeigt das vereinfachte Prinzipschaltbild der Schaltung dieser Erfindung.

**[0016]** Die Grundidee der erfindungsgemäßen Schaltung ist die Überlagerung der Ausgangsstufe eines vorhandenen ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) aus einem ersten, relativ hochohmigen, selbstleitenden HV-Natural-Transistor ( $M_{1a}$ ), der vorzugsweise ein NMOS-Transistor ist, mit geringer Treibfähigkeit mit einem zusätzlichen niederohmigen Treiber aus einem zweiten DIMOS-Treiber-Transistor ( $M_{2a}$ ). Unter einem DIMOS Transistor im Sinne dieser Offenlegung ist hier und im folgenden Text ein „double implanted metal-oxide semiconductor“ beispielsweise entsprechend J. Tihanyi and D. Widmann, „DIMOS - A novel IC technology with submicron effective channel MOSFETs,“ 1977 International Electron

Devices Meeting, Washington, DC, USA, 1977, pp. 399-401 oder ein DMOS-Transistor entsprechend J. D. Plummer and J. D. Meindl, „A monolithic 200-V CMOS analog switch,“ in IEEE Journal of Solid-State Circuits, vol. 11, no. 6, pp. 809-817, Dec. 1976 zu verstehen.

**[0017]** Entsprechend der **Fig. 3** ist der erste Hochvolt-Low-Drop-Regler (**HV\_LDO<sub>a</sub>**) ein Low-Drop-Spannungsregler bestehend aus einem ersten Operationsverstärker (**OP<sub>1a</sub>**), dem ersten Ausgangstreibertransistor ( $M_{1a}$ ), der typischerweise ein relativ hochohmiger, selbstleitender HV-Natural-Transistor NMOS-Transistor ist, und einem ersten Spannungsteiler bestehend aus einem ersten oberen Spannungsteilerwiderstand ( $R_{1a}$ ) und einem ersten unteren Spannungsteilerwiderstand ( $R_{2a}$ ), der über die Referenzspannung **VREF** eine geregelte erste Ausgangsspannung ( $V_{OUTa}$ ) erzeugt. Natürlich kann die Rückkopplung auch über komplexere Schaltungen erfolgen. Der erste Ausgangstreibertransistor ( $M_{1a}$ ), dieses ersten Hochvolt-Low-Drop-Reglers (**HV\_LDO<sub>a</sub>**) ist ein relativ hochohmiger, selbstleitender N-Kanal-HV-Natural-Transistor mit geringer Treibfähigkeit. Wegen der relativ großen Kompensationskapazität und Gate-Kapazität, die auf die große Kanallänge des ersten Ausgangstreibertransistors ( $M_{1a}$ ) wegen seiner bevorzugten Ausführung als ein relativ hochohmiger, selbstleitender N-Kanal-HV-Natural-Transistor zurück zu führen ist, ist die erste Zeitkonstante ( $\tau_{1a}$ ) dieses ersten Hochvolt-Low-Drop-Reglers (**HV\_LDO<sub>a</sub>**) relativ groß, was wiederum eine relativ langsame Regelungsgeschwindigkeit seiner Ausgangsspannung an seinem Ausgang ( $V_{OUTa}$ ) zufolge hat. Damit kann er den großen dynamischen Umladeströmen bzw. Lastströmen ( $I_{La}$ ), die ggf. seinem Ausgang ( $V_{OUTa}$ ) entnommen werden, u.a. auch wegen der fehlenden externen Puffer-Kapazität ( $C_{buffer}$ ), nicht schnell genug entgegenwirken.

**[0018]** Diese Funktion übernimmt hier entsprechend der erfindungsgemäßen Idee nun der zum bestehenden ersten Ausgangstreibertransistor ( $M_{1a}$ ) parallel geschaltete, flächensparsame und niederohmige zusätzliche zweite DIMOS-Treiber-Transistor ( $M_{2a}$ ), der aufgrund seiner sehr kleinen Kanallänge, einerseits ein sehr kleines  $R_{DS(ON)2a}$  und damit eine große Treibfähigkeit besitzt und andererseits eine relativ kleine Gate-Kapazität aufweist.

**[0019]** Der Gleichspannungs- und Gleichstrom-Arbeitspunkt des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ) wird nach dem Konzept der Erfindung so gewählt, dass der zweite DIMOS-Treiber-Transistor ( $M_{2a}$ ) leicht leitend ist bzw. die Gate-Source-Spannung des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ) leicht oberhalb der Schwellspannung des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ) liegt. Dies minimiert die Umladezeiten der parasitären Kapazitäten des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ) und damit

seine Reaktionszeit auf die dynamischen Laststromänderungen des ersten Laststroms ( $I_{La}$ ). Folglich werden durch die dynamischen Laststromänderungen des ersten Laststroms ( $I_{La}$ ) verursachten Spannungseinbrüche der ersten Ausgangsspannung ( $V_{OUTa}$ ) des Ausgangs des ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) soweit minimiert, dass der Einsatz einer externen Puffer-Kapazität ( $C_{buffer}$ ) nicht mehr notwendig ist.

**[0020]** Für die Einstellung dieses Arbeitspunkts wird entsprechend der **Fig. 3** eine zweite Referenzspannung ( $V_{REFb}$ ) mit dem gleichen Spannungswert wie die erste Ausgangsspannung ( $V_{OUTa}$ ) des Reglerausgangs verwendet. Der verwendete Referenzgenerator zur Erzeugung dieser zweiten Referenzspannung ( $V_{REFb}$ ) kann z.B. ein kleiner Buffer oder selbst wieder ein Spannungsregler sein. Hierzu später mehr.

**[0021]** In den meisten Anwendungsschaltungen der integrierten Schaltung (**IC**) wird in der Regel mehr als ein Spannungsregler z.B. für die Trennung der Versorgung des Digital- und Analogteils benötigt. In solchen Fällen wird, wie in der **Fig. 4** entsprechend dem erfindungsgemäßen Konzept dargestellt, die geregelte zweite Ausgangsspannung  $V_{OUTb}$  des Ausgangs des zweiten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>b</sub>**), bestehend aus einem zweiten Operationsverstärker (**OP<sub>1b</sub>**), einem zweiten Ausgangs-Treiber-Transistor (**M<sub>1b</sub>**) und einem zweiten oberen Spannungsteilerwiderstand (**R<sub>1b</sub>**) und einem zweiten unteren Spannungsteilerwiderstand (**R<sub>2b</sub>**), als Referenzspannung verwendet. In der Regel kann diese zweite Referenzspannung ( $V_{REFb}$ ) aber beliebig generiert werden.

**[0022]** Die statische Gate-Spannung des zweiten DIMOS-Treiber-Transistors (**M<sub>2a</sub>**) wird über einen kleinen, zum zweiten DIMOS-Treiber-Transistor (**M<sub>2a</sub>**) matchenden dritten Sense-Transistor (**M<sub>3a</sub>**) eingestellt. Dieser dritte Sense-Transistor (**M<sub>3a</sub>**) ist mit seinem Source-Anschluss an der zweiten Referenzspannung ( $V_{REFb} = V_{OUTb}$ ) angehängt und wird high-side-seitig mit einem kleinen ersten Bias-Strom ( $I_{Ba}$ ) bestromt. Damit stellt sich die Gate-Source-Spannung des dritten Sense-Transistors (**M<sub>3a</sub>**) leicht oberhalb der Schwellspannung des dritten Sense-Transistors (**M<sub>3a</sub>**) ein.

**[0023]** Somit ist auch der zweite DIMOS-Treiber-Transistor (**M<sub>2a</sub>**) leicht leitend, wobei mit  $V_{OUTa} = V_{OUTb}$  die Ausgangsspannung ( $V_{OUTa}$ ) des ersten Reglers in etwa der Ausgangsspannung ( $V_{OUTb}$ ) des zweiten Reglers entspricht.

**[0024]** Um zu verhindern, dass der gespiegelte Strom über den Stromspiegel (**M<sub>2a</sub>**, **M<sub>3a</sub>**) im statischen Fall die Regler-Ausgangsspannung ( $V_{OUTa}$ ) beeinflusst, wird ein gleichgroßer Strom aus dem Reglerausgang entnommen. Zu diesem Zweck dienen der

vierte Transistor (**M<sub>4a</sub>**), der fünfte Transistor (**M<sub>5a</sub>**), der sechste Transistor (**M<sub>6a</sub>**), der siebte Transistor (**M<sub>7a</sub>**) und der achte Transistor (**M<sub>8a</sub>**).

**[0025]** Der Sense-Transistor (**M<sub>3a</sub>**), der vierte Transistor (**M<sub>4a</sub>**), der fünfte Transistor (**M<sub>5a</sub>**), der sechste Transistor (**M<sub>6a</sub>**) und der siebte Transistor (**M<sub>7a</sub>**) sowie der achte Transistor (**M<sub>8a</sub>**) sind Stromspiegelpaare mit einem Gesamtspiegelverhältnis von:

$$1:(m+1) \text{ wobei gilt: } m \times (W/L)[M_{3a}] = (W/L)[M_{2a}]$$

**[0026]** Hierbei bezeichnet  $(W/L)[M_{3a}]$  das Längen-zu-Weiten-Verhältnis des Kanals des dritten Sense-Transistors (**M<sub>3a</sub>**) und  $(W/L)[M_{2a}]$  das Längen-zu-Weiten-Verhältnis des Kanals des zweiten DIMOS-Treiber-Transistors (**M<sub>2a</sub>**).  $m$  repräsentiert eine positive Zahl. Bevorzugt handelt es sich um eine ganze Zahl.

**[0027]** Folgende  $(W/L)$ -Verhältnisse können als Beispiel verwendet werden:

$$\begin{aligned} (W/L)[M_{4a}] &= 1 \times (W/L)[M_{3a}] \\ (W/L)[M_{6a}] &= 1 \times (W/L)[M_{5a}] \\ (W/L)[M_{8a}] &= (m+1) \times (W/L)[M_{7a}] \end{aligned}$$

Bei einem guten Matching der Transistoren gilt für die Gleichstromwerte der Ströme:

$$I_{2a} + I_{4a} = I_{8a}$$

Hiermit kompensieren sich die high-side- und low-side-seitigen Zusatzströme am ersten Regler-Ausgang des ersten Reglers mit der ersten Ausgangsspannung ( $V_{OUTa}$ ). Damit wird die erste Ausgangsspannung ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) und andere statische Eigenschaften des ursprünglichen ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) von der zusätzlichen Schaltung an seinem Regler-Ausgang nicht beeinflusst.

**[0028]** Bei einem dynamischen Laststromwechsel des Laststroms ( $I_{La}$ ) aus dem Ausgang ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) heraus, steigt auch die Gate-Source-Spannung des zweiten DIMOS-Treiber-Transistors (**M<sub>2a</sub>**) und versetzt ihn in die Lage, den benötigten zusätzlichen Stromanteil des Laststroms ( $I_{La}$ ) zu liefern. Damit wird der Einbruch der Ausgangsspannung ( $V_{OUTa}$ ) stark reduziert.

Variante B

**[0029]** Die Reaktionszeit des Reglers auf dynamische Laststromwechsel des Laststroms ( $I_{La}$ ) kann mit einer zusätzlichen sogenannten dynamischen Gegenkopplung -wie in **Fig. 5** dargestellt- weiterhin

durch eine kleinere zweite Zeitkonstante ( $\tau_{2a}$ ) eines zweiten parallelen Regelkreises reduziert werden.

**[0030]** Der neunte Transistor ( $M_{9a}$ ), der zehnte Transistor ( $M_{10a}$ ) und die Kapazität ( $C_{1a}$ ) stellen hier eine Gegenkopplung, die als Reaktion zu den dynamischen Laststromwechseln des Laststroms ( $I_{La}$ ) die Gate-Spannung des DIMOS-Treiber-Transistors ( $M_{2a}$ ) weiter erhöhen. Dadurch steigt die Effektivität der Schaltung gegen die Spannungseinbrüche. Der Pullup-Widerstand ( $R_{4a}$ ) schaltet den neunten Transistor ( $M_{9a}$ ) und den zehnten Transistor ( $M_{10a}$ ) im statischen Fall aus. Der dritte Widerstand ( $R_{3a}$ ) wird mit einem relativ großen Widerstandswert gewählt und sorgt dafür, dass das Gate des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ) im dynamischen Fall durch die relativ niederohmige Referenz nicht an dieser Spannung festgehalten wird und über die oben genannte zusätzliche Gegenkopplungsschaltung dynamisch weiter hochgezogen werden kann.

#### Variante C

**[0031]** Entsprechend der erfindungsgemäßen Idee können auch zwei Hochvolt-Low-Drop-Regler ( $HV-LDO_a$ ,  $HV-LDO_b$ ) sich gegenseitig gegen dynamische Laststromwechsel ihrer Lastströme ( $I_{La}$ ,  $I_{Lb}$ ) stabilisieren. Damit kann dann bei beiden auf externe Kapazitäten ( $C_{buffer}$ ) verzichtet werden, was ggf. eine doppelte Ersparnis zur Folge hat. Hierfür wird die Schaltung der **Fig. 5** entsprechend der **Fig. 6** ergänzt.

**[0032]** Hier dient die erste Ausgangsspannung ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Regler ( $HV-LDO_a$ ) als Referenzspannung ( $V_{REFb}$ ) für den zweiten Hochvolt-Low-Drop-Regler ( $HV-LDO_b$ ) und die zweite Ausgangsspannung ( $V_{OUTb}$ ) des zweiten Hochvolt-Low-Drop-Reglers ( $HV-LDO_b$ ) als Referenzspannung ( $V_{REFa}$ ) für den ersten Hochvolt-Low-Drop-Regler ( $HV-LDO_a$ ).

**[0033]** Ansonsten wird die zweite Ausgangsspannung ( $V_{OUTb}$ ) des zweiten Hochvolt-Low-Drop-Reglers ( $HV-LDO_b$ ) in gleicher Weise wie oben für den ersten Hochvolt-Low-Drop-Regler ( $HV-LDO_a$ ) beschrieben gegenüber Lastströmen stabilisiert und so die Spannungseinbrüche ohne zusätzliche externe Kapazität minimiert.

#### Grundlegende Vorrichtung

**[0034]** Der vorgeschlagene Spannungsregler zur Abgabe eines Laststroms ( $I_{La}$ ) umfasst daher typischerweise zumindest einen Knoten für eine Referenzspannung ( $V_{REF}$ ), einen Knoten für eine zweite Referenzspannung ( $V_{REFb}$ ), einen Differenzverstärker ( $OP_{1a}$ ) oder andere Verstärker äquivalenter Funktion, einen ersten Transistor ( $M_{1a}$ ), einen zweiten Transistor ( $M_{2a}$ ), einen vierten Transistor ( $M_{4a}$ ), einen achten Transistor ( $M_{8a}$ ), eine Bias-Stromquelle ( $I_{Ba}$ ),

eine Rückkoppelschaltung ( $R_{1a}$ ,  $R_{2a}$ ) und einen Knoten für den Reglerausgang ( $V_{OUT}$ ), an dem der Laststrom ( $I_{La}$ ) entnommen wird und an dem die durch die Referenzspannung ( $V_{REF}$ ) eingestellte Ausgangsspannung ( $V_{OUTa}$ ) abgenommen werden kann. Der Differenzverstärker ( $OP_{1a}$ ) weist, typischerweise einen negativen Eingang (-) und einen positiven Eingang (+) und einen Ausgang auf. Der Reglerausgang ( $V_{OUTa}$ ) wird über die Rückkoppelschaltung ( $R_{1a}$ ,  $R_{2a}$ ), hier ein Spannungsteiler aus einem ersten oberen Spannungsteilerwiderstand ( $R_{1a}$ ) und einem unteren ersten Spannungsteilerwiderstand ( $R_{2a}$ ) auf den negativen Eingang (-) des Differenzverstärkers ( $OP_{1a}$ ) zurückgekoppelt. Der positive Eingang (+) des Differenzverstärkers ( $OP_{1a}$ ) ist mit der besagten Referenzspannung ( $V_{REF}$ ) bevorzugt verbunden. Der erste Transistor ( $M_{1a}$ ), der bevorzugt ein selbstleitender NMOS-Transistor ist, bestromt nun in Abhängigkeit von dem Ausgangssignal des Differenzverstärkers ( $OP_{1a}$ ) den Ausgang ( $V_{OUT}$ ) des Spannungsreglers mit einem ersten Strom ( $I_{1a}$ ), den er in den Knoten des Ausgangs ( $V_{OUTa}$ ) des ersten Spannungsreglers ( $HV-LDO_a$ ) einspeist. Dies stellt den ersten Regelkreis dar. Wird ein selbstleitender NMOS-Transistor als erster Transistor ( $M_{1a}$ ) verwendet, so weist dieser typischerweise einen relativ langen Kanal auf, was die notwendige Spannungsfestigkeit ergibt, um als positive Versorgungsspannung ( $V_{SUP}$ ) typische automobiler Kfz-Board-Netzspannungen verwenden zu können. Da es sich um einen selbstleitenden NMOS-Transistor handelt, kann der Ausgang ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Reglers ( $HV-LDO_a$ ) bis nahezu an die positive Versorgungsspannung gebracht werden. Der Nachteil dieses selbstleitenden NMOS-Transistors ( $M_{1a}$ ) ist, dass er einen relativ hohen ersten Einschaltwiderstand ( $R_{DSON1a}$ ) besitzt. Hierdurch hat die zuvor beschriebene erste Regelschleife eine relativ hohe erste Zeitkonstante ( $\tau_{1a}$ ), was die besagte Empfindlichkeit gegenüber dynamischen Laststromwechseln des Laststroms ( $I_{La}$ ) zur Folge hat. Daher wird der zweite Transistor ( $M_{2a}$ ), der bevorzugt ein nicht selbstleitender DIMOS-Transistor ist, vorgesehen, der parallel zu dem ersten Transistor ( $M_{1a}$ ) den Ausgang ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Reglers ( $HV-LDO_a$ ) ebenfalls, nun aber mit einem zweiten Strom ( $I_{2a}$ ), in Abhängigkeit von der zweiten Referenzspannung ( $V_{REFb}$ ) bestromt und über eine zweite Regelschleife gesteuert wird. Die mit diesem zweiten Transistor ( $M_{2a}$ ) verbundene zweite Zeitkonstante ( $\tau_{2a}$ ) dieser parallelen zweiten Regelschleife ist erheblich geringer, da der nicht selbstleitende zweite DIMOS-Transistor ( $M_{2a}$ ) einen erheblich geringeren Einschaltwiderstand ( $R_{DSON2a}$ ) als der selbstleitende erste NMOS-Transistor ( $M_{1a}$ ) aufweist. Dies ist ein wesentlicher Vorteil gegenüber dem Stand der Technik. Ein vierter Transistor ( $M_{4a}$ ) bestromt den Ausgang ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Regler ( $HV-LDO_a$ ) ebenfalls parallel mit einem vierten Strom ( $I_{4a}$ ). Ein achter Transistor ( $M_{8a}$ ) entnimmt dem Ausgang ( $V_{OUT}$ ) des Hochvolt-Low-

Drop-Reglers (**HV-LDO<sub>a</sub>**) einen achten Strom ( $I_{8a}$ ). Der vierte Strom ( $I_{4a}$ ) hängt dabei von der Spannungsdifferenz zwischen der zweiten Referenzspannung ( $V_{REFb}$ ) und der Spannung am Ausgang ( $V_{OUTa}$ ) des Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) und dem Bias-Strom ( $I_{Ba}$ ) ab. Durch den dritten Transistor ( $M_{3a}$ ) fließt ein dritter Strom ( $I_{3a}$ ) der dem Strom ( $I_{Ba}$ ) der betreffenden Stromquelle entspricht. Dieser dritte Strom ( $I_{3a}$ ) wird durch ein Stromspiegelverhältnis  $m$  in den zweiten Strom ( $I_{2a}$ ) durch den zweiten Transistor ( $M_{2a}$ ) als Teil eines Stromspiegels umgesetzt. Der achte Strom ( $I_{8a}$ ) entspricht entsprechend der Konstruktion betragsmäßig dem vierten Strom ( $I_{4a}$ ) entsprechend einem Stromspiegelverhältnis  $(1:(m+1))$  einer Stromspiegelschaltung ( $M_{5a}, M_{6a}, M_{7a}, M_{8a}$ ), deren Teil der achte Transistor ( $M_{8a}$ ) ist. Im ausgeregelten Zustand ist der achte Strom ( $I_{8a}$ ) betragsmäßig gleich dem Betrag der Summe aus zweiten Strom ( $I_{2a}$ ) und vierten Strom ( $I_{4a}$ ). Der erste Strom ( $I_{1a}$ ) ist im ausgeregelten Zustand betragsmäßig gleich dem Betrag der Summe aus dem Strom in den Spannungsteiler ( $R_{1a}, R_{2a}$ ) und dem Laststrom ( $I_L$ ) aus der Vorrichtung heraus. Der zweite Strom ( $I_{2a}$ ) hängt von der Spannungsdifferenz zwischen der zweiten Referenzspannung ( $V_{REFb}$ ) und der Spannung am Ausgang ( $V_{OUTa}$ ) des ersten Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) und dem Bias-Strom ( $I_{Ba}$ ) ab. Dieses Szenario entspricht der **Fig. 3**.

**[0035]** Vorteile dieser Grundversion der Vorrichtung sind zum Ersten, dass durch den selbstleitenden ersten NMOS-Transistor ( $M_{1a}$ ) der maximale am Ausgang ( $V_{OUT}$ ) des Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) ggf. zur Verfügung stellbare Spannungspegel nahezu dem Pegel der Versorgungsspannung ( $V_{SUP}$ ) entspricht, und zum Zweiten, dass durch die schnelle Nachregelung mittels des nicht selbstleitenden zweiten DIMOS-Transistors ( $M_{2a}$ ) schnelle dynamische Änderungen des Laststroms ( $I_{La}$ ) ausgeglichen werden können, sodass keine externe Kapazität ( $C_{buffer}$ ) mehr notwendig ist. Außerdem ist der zweite Transistor ( $M_{2a}$ ), wenn er als nicht selbstleitender DIMOS-Transistor realisiert wird, nicht besonders flächenintensiv.

#### Erste Variante der Vorrichtung

**[0036]** **Fig. 4** zeigt eine erste Variante, bei der die zweite Referenzspannung ( $V_{REFb}$ ) durch einen zusätzlichen zweiten Spannungsregler (**HV-LDO<sub>b</sub>**) gebildet wird.

#### Zweite Variante der Vorrichtung

**[0037]** Bei einer zweiten Variante der Vorrichtung weist die Vorrichtung zusätzlich eine Schaltung zum Starten der Regelung auf. Dabei ist eine erste Kapazität ( $C_{1a}$ ) mit einem ersten Anschluss mit dem Ausgang ( $V_{OUTa}$ ) des Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**) verbunden. Die erste Kapazität ( $C_{1a}$ ) ist

mit dem zweiten Anschluss über die MOS-Diode ( $M_{9a}$ ) eines Stromspiegels ( $M_{9a}, M_{10a}$ ) mit der positiven Versorgungsspannung ( $V_{SUP}$ ) verbunden. Die Stromspiegel interne Referenzleitung dieses Stromspiegels ( $M_{9a}, M_{10a}$ ) ist mit dem zweiten Knoten der Kapazität ( $C_{1a}$ ) verbunden und über einen vierten Widerstand ( $R_{4a}$ ) mit der positiven Versorgungsspannung ( $V_{SUP}$ ) verbunden. Der zweite Stromspiegeltransistor ( $M_{10a}$ ) des Stromspiegels ( $M_{9a}, M_{10a}$ ) kann bei einem geeigneten Potenzial an seinem Steueranschluss den Steueranschluss des zweiten Transistors ( $M_{2a}$ ) mit der positiven Versorgungsspannung ( $V_{SUP}$ ) verbinden. Der Steueranschluss des zweiten Stromspiegeltransistors ( $M_{10a}$ ) des Stromspiegels ( $M_{9a}, M_{10a}$ ) ist mit dem zweiten Knoten der Kapazität ( $C_{1a}$ ) verbunden. Der Ausgang der Bias-Stromquelle ( $I_{Ba}$ ) ist über einen dritten Widerstand ( $R_{3a}$ ) mit dem Steueranschluss des zweiten Transistors ( $M_{2a}$ ) verbunden.

**[0038]** Vorteil dieser Variante ist, dass sie im Einschaltvorgang definiert durch diese Zusatzschaltung ( $R_{3a}, M_{10a}, R_{4a}, M_{9a}$ ) in den Fangbereich der Regelung gebracht wird.

#### Dritte Variante der Vorrichtung

**[0039]** In einer dritten Variante der Vorrichtung ist ein zusätzlicher Sense-Transistor ( $M_{3a}$ ) als MOS-Diode zwischen den Ausgang der Bias-Stromquelle ( $I_{Ba}$ ) und die zweite Referenzspannung ( $V_{REFb}$ ) geschaltet.

**[0040]** Diese MOS-Diode ( $M_{3a}$ ) hat den Vorteil, dass sie einen Vergleich der zweiten Referenzspannung ( $V_{REFb}$ ) mit der Ausgangsspannung ( $V_{OUTa}$ ) ermöglicht.

#### Vierte Variante der Vorrichtung

**[0041]** In einer vierten Variante der Vorrichtung ist der Steueranschluss des vierten Transistors ( $M_{4a}$ ) mit dem Ausgang der Bias-Stromquelle ( $I_{Ba}$ ) verbunden.

#### Spannungsreglersystem

**[0042]** Des Weiteren wird hier ein Spannungsreglersystem aus einem ersten Spannungsregler (**HV-LDO<sub>a</sub>**) entsprechend dem unmittelbar zuvor beschriebenen Spannungsregler oder seinen Varianten und aus einem zweiten Spannungsregler (**HV-LDO<sub>b</sub>**) entsprechend dem unmittelbar zuvor beschriebenen Spannungsregler oder seinen Varianten offengelegt. Der Ausgang ( $V_{OUTa}$ ) des ersten Spannungsreglers (**HV-LDO<sub>a</sub>**) ist dabei bevorzugt mit der zweiten Referenzspannung ( $V_{REFb}$ ) des zweiten Spannungsreglers (**HV-LDO<sub>b</sub>**) verbunden und der der Ausgang ( $V_{OUTb}$ ) des zweiten Spannungsreglers (**HV-LDO<sub>b</sub>**) ist bevorzugt mit der zweiten Referenzspannung ( $V_{REFa}$ ) des ersten Spannungsreglers (**HV-LDO<sub>a</sub>**) ver-



bunden. Natürlich sind auch komplexere Verkettungen mit mehr als zwei solchen Spannungsreglern (**HV-LDO<sub>a</sub>**, **HV-LDO<sub>b</sub>**) denkbar und werden hier ausdrücklich beansprucht.

**[0043]** Vorteil dieser ersten Variante ist, dass beide Spannungsregler (**HV-LDO<sub>a</sub>**, **HV-LDO<sub>b</sub>**) sich gegenseitig absichern können und hierdurch mehrere externe Kondensatoren (**C<sub>buffer</sub>**) eingespart werden können.

#### Verfahren zum Betreiben eines solchen Spannungsreglers

**[0044]** Die zuvor beschriebenen Spannungsregler basieren auf einem Verfahren zur Stabilisierung einer Ausgangsspannung (**V<sub>OUT</sub>**) des Ausgangs eines solchen Spannungsreglers (**HV\_LDO<sub>a</sub>**) umfassend die Schritte

1. Ausregeln der Ausgangsspannung (**V<sub>OUT</sub>**) mit Hilfe eines ersten Transistors (**M<sub>1a</sub>**), der einen ersten Strom (**I<sub>1a</sub>**) in den Knoten des Ausgangs des Spannungsreglers (**HV\_LDO<sub>a</sub>**) einspeist in Abhängigkeit von einer Referenzspannung (**V<sub>REF</sub>**);
2. Einspeisen eines zweiten Stroms (**I<sub>2a</sub>**) in den Knoten des Ausgangs des Spannungsreglers (**HV\_LDO<sub>a</sub>**) mit Hilfe eines zweiten Transistors (**M<sub>2a</sub>**), wobei der Wert des zweiten Stromes (**I<sub>2a</sub>**) von einer zweiten Referenzspannung (**V<sub>REFb</sub>**) und von einem Bias-Strom (**I<sub>Ba</sub>**) abhängt;
3. Einspeisen eines vierten Stroms (**I<sub>4a</sub>**) in den Knoten des Ausgangs des Spannungsreglers (**HV\_LDO<sub>a</sub>**) mit Hilfe eines vierten Transistors (**M<sub>4a</sub>**), wobei der Wert des vierten Stromes (**I<sub>4a</sub>**) von einer zweiten Referenzspannung (**V<sub>REFb</sub>**) und von einem Bias-Strom (**I<sub>Ba</sub>**) abhängt;
4. Entnehmen eines achten Stromes (**I<sub>8a</sub>**) aus dem Knoten des Ausgangs des Spannungsreglers (**HV\_LDO<sub>a</sub>**) mit Hilfe eines vierten Transistors (**M<sub>4a</sub>**), wobei der betragsmäßige Wert des achten Stromes (**I<sub>8a</sub>**) dem betragsmäßigen Wert des vierten Stromes (**I<sub>4a</sub>**) multipliziert mit einem Stromspiegelfaktor ( $1:(m+1)$ ) entspricht.

#### Grundidee der Vorrichtung der hier vorgelegten Offenlegung

**[0045]** Die Grundidee der hier vorgelegten Offenlegung stellt ein Low-Drop-Spannungsregler zur Erzeugung einer Ausgangsspannung an seinem Ausgang (**V<sub>OUTa</sub>**) dar, der einen ersten selbstleitenden NMOS-Transistor (**M<sub>1a</sub>**) und einen zweiten nicht selbstleitenden DIMOS-Transistor (**M<sub>2a</sub>**) umfasst. Der erste, selbstleitende NMOS-Transistor (**M<sub>1a</sub>**) wird als ein erster Regeltransistor des Low-Drop-Spannungsreglers verwendet und der zweite, nicht selbstleitende DIMOS-Transistor (**M<sub>2a</sub>**) wird als ein zweiter Regel-

transistor des Low-Drop-Spannungsreglers verwendet. Die Regelung der Ausgangsspannung (**V<sub>OUTa</sub>**) erfolgt über den ersten, selbstleitenden NMOS-Transistor (**M<sub>1a</sub>**) mit einer ersten Zeitkonstante (**τ<sub>1a</sub>**) und die Regelung der Ausgangsspannung (**V<sub>OUTa</sub>**) über den zweiten, nicht selbstleitenden DIMOS-Transistor (**M<sub>2a</sub>**) mit einer zweiten Zeitkonstante (**τ<sub>2a</sub>**). Die Konstruktion des zweiten, nicht selbstleitenden DIMOS-Transistors (**M<sub>2a</sub>**) und des ersten, selbstleitenden NMOS-Transistor (**M<sub>1a</sub>**) ist bevorzugt so gewählt, dass die erste Zeitkonstante (**τ<sub>1a</sub>**) länger als die zweite Zeitkonstante (**τ<sub>2a</sub>**) ist.

#### Grundidee des Verfahrens der hier vorgelegten Offenlegung

**[0046]** Die Grundidee des Verfahrens der hier vorgelegten Offenlegung ist ein Verfahren zum Betreiben eines Low-Drop-Spannungsreglers zur Erzeugung einer Ausgangsspannung an seinem Ausgang (**V<sub>OUTa</sub>**) mit den Schritten:

1. Ausregelung der Ausgangsspannung (**V<sub>OUTa</sub>**) über einen ersten, selbstleitenden NMOS-Transistor (**M<sub>1a</sub>**) als ersten Regeltransistor einer ersten Regelschleife des Low-Drop-Spannungsreglers mit einer ersten Zeitkonstante (**τ<sub>1a</sub>**) und
2. parallele Ausregelung der Ausgangsspannung (**V<sub>OUTa</sub>**) über einen zweiten, nicht selbstleitenden DIMOS-Transistor (**M<sub>2a</sub>**) als zweiten Regeltransistor einer zweiten parallelen Regelschleife des Low-Drop-Spannungsreglers mit einer zweiten Zeitkonstante (**τ<sub>2a</sub>**).

**[0047]** Die Konstruktion des zweiten, nicht selbstleitenden DIMOS-Transistors (**M<sub>2a</sub>**) und des ersten, selbstleitenden NMOS-Transistors (**M<sub>1a</sub>**) ist dabei jeweils so gewählt, dass die erste Zeitkonstante (**τ<sub>1a</sub>**) länger als die zweite Zeitkonstante (**τ<sub>2a</sub>**) ist.

#### Vorteil der Erfindung

**[0048]** Die erfindungsgemäße Vorrichtung weist viele Vorteile gegenüber dem Stand der Technik auf:

1. Es handelt sich um ein relativ flächen- und damit kostengünstiges Konzept eines Hochvolt-Low-Drop-Reglers (**HV-LDO<sub>a</sub>**, **HV-LDO<sub>b</sub>**) mit relativ großer Treibfähigkeit;
2. Es erfolgt eine Minimierung der Spannungseinbrüche infolge von dynamischem Laststromwechseln des Laststroms (**I<sub>La</sub>**, **I<sub>Lb</sub>**) ohne externe Komponente (**C<sub>buffer</sub>**) oder aufwendige interne Filter- und/oder kompensations-Schaltungen;
3. Es handelt sich um eine einfache Erweiterung der bestehenden LDO-Konzepte mit Natural-HV-NMOS-Treiber-Transistoren (**M<sub>1a</sub>**, **M<sub>1b</sub>**) auf größerer Treibfähigkeit;

4. Es erfolgt eine gegenseitige Stabilisierung mehrerer Hochvolt-Low-Drop-Regler (**HV-LDO<sub>a</sub>**, **HV-LDO<sub>b</sub>**) innerhalb einer integrierten Schaltung und damit die Erzielung einer mehrfachen Ersparnis von externen Gehäuseanschlüssen und Pufferkapazitäten (**C<sub>buffer</sub>**).

[0049] Die Vorteile sind hierauf aber nicht beschränkt.

#### Figurenliste

**Fig. 1** zeigt einen Hochvolt-LDO für größere dynamische Lastströme nach dem Stand der Technik mit einem HV-PMOS-Treiber.

**Fig. 2** zeigt einen Hochvolt-LDO für größere dynamische Lastströme nach dem Stand der Technik mit einem HV-Natural-NMOS-Treiber.

**Fig. 3** zeigt eine vereinfachte Darstellung der erfindungsgemäßen Schaltung (Variante A).

**Fig. 4** zeigt das Erfindungskonzept mit einem zusätzlichen Spannungsregler als Referenzgenerator (Variante A).

**Fig. 5** zeigt das Erfindungskonzept mit einer zusätzlichen dynamischen Gegenkopplung (Variante B).

**Fig. 6** zeigt die gegenseitige Stabilisierung zweier LDOs gegenüber Stromlasten nach dem Erfindungsprinzip (Variante C).

**Fig. 7** zeigt in **Fig. 7a** die mit einem Oszilloskop aufgenommene Ausgangsspannung am Ausgang (**V<sub>OUTa</sub>**) eines Spannungsreglers ohne die erfindungsgemäße Vorrichtung und ohne das erfindungsgemäße Verfahren und ohne Stützkapazität (**C<sub>buffer</sub>**) mit Spannungseinbrüchen bei PWM-förmigen dynamischen Belastungen und in **Fig. 7b** die mit dem betreffenden Oszilloskop aufgenommene Ausgangsspannung am Ausgang (**V<sub>OUTa</sub>**) eines solchen Spannungsreglers mit der erfindungsgemäßen Vorrichtung und mit dem erfindungsgemäßen Verfahren und ohne Stützkapazität (**C<sub>buffer</sub>**), ohne dass Spannungseinbrüche bei einer PWM-förmigen dynamischen Belastungen auftreten, und in **Fig. 7c** den Verlauf der PWM-förmigen Belastung.

#### Bezugszeichenliste

<b>C<sub>1a</sub></b>	erste Kapazität des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );
<b>C<sub>1b</sub></b>	erste Kapazität des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> );

<b>C<sub>buffer</sub></b>	externe Kapazität, die als Stützkapazität dient und bevorzugt außerhalb des Gehäuses der integrierten Schaltung angeordnet wird;
<b>GND</b>	Bezugspotenzial, hier auch negative Versorgungsspannung;
<b>HV-LDO<sub>a</sub></b>	erster Hochvolt-Low-Drop-Regler;
<b>HV-LDO<sub>b</sub></b>	zweiter Hochvolt-Low-Drop-Regler;
<b>I<sub>1a</sub></b>	erster Strom durch den ersten Transistor ( <b>M<sub>1a</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) in den Ausgangsknoten des ersten Ausgangs ( <b>V<sub>OUTa</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) hinein;
<b>I<sub>1b</sub></b>	erster Strom durch den ersten Transistor ( <b>M<sub>1b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) in den Ausgangsknoten des zweiten Ausgangs ( <b>V<sub>OUTb</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) hinein;
<b>I<sub>2a</sub></b>	zweiter Strom durch den zweiten Transistor ( <b>M<sub>2a</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) in den Ausgangsknoten des ersten Ausgangs ( <b>V<sub>OUTa</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) hinein;
<b>I<sub>2b</sub></b>	zweiter Strom durch den zweiten Transistor ( <b>M<sub>2b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) in den Ausgangsknoten des zweiten Ausgangs ( <b>V<sub>OUTb</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) hinein;
<b>I<sub>3a</sub></b>	dritter Strom durch den dritten Transistor ( <b>M<sub>3a</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) aus dem Anschluss der zweiten Referenzspannung ( <b>V<sub>REFb</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) heraus. Der dritte Strom entspricht dem Strom der Stromquelle des ersten Bias-Stroms ( <b>I<sub>Ba</sub></b> ) der ersten

	Bias-Stromquelle des ersten Reglers;		ten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) heraus;
<b>I<sub>3b</sub></b>	dritter Strom durch den dritten Transistor ( <b>M<sub>3b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) aus dem Anschluss der zweiten Referenzspannung ( <b>V<sub>REFa</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) heraus. Der dritte Strom entspricht dem Strom der Stromquelle des zweiten Bias-Stroms ( <b>I<sub>Bb</sub></b> ) der zweiten Bias-Stromquelle des zweiten Reglers;	<b>I<sub>Lb</sub></b>	zweiter Laststrom aus dem zweiten Ausgang ( <b>V<sub>OUTb</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) heraus;
		<b>M<sub>1a</sub></b>	Ausgangstreibertransistor, relativ hochohmiger HV-Natural-Transistor (selbstleitend) des ersten Reglers;
		<b>M<sub>1b</sub></b>	Ausgangstreibertransistor, relativ hochohmiger HV-Natural-Transistor (selbstleitend) des zweiten Reglers;
<b>I<sub>4a</sub></b>	vierter Strom durch den vierten Transistor ( <b>M<sub>4a</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) in den Ausgangsknoten des ersten Ausgangs ( <b>V<sub>OUTa</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) hinein;	<b>M<sub>2a</sub></b>	DIMOS-Treiber-Transistor des ersten Reglers;
		<b>M<sub>2b</sub></b>	DIMOS-Treiber-Transistor des zweiten Reglers;
<b>I<sub>4b</sub></b>	vierter Strom durch den vierten Transistor ( <b>M<sub>4b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) in den Ausgangsknoten des zweiten Ausgangs ( <b>V<sub>OUTb</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) hinein;	<b>M<sub>3a</sub></b>	Sense-Transistor des ersten Reglers, der zum DIMOS-Treiber-Transistor ( <b>M<sub>2a</sub></b> ) matchend ausgeführt werden sollte;
		<b>M<sub>3b</sub></b>	Sense-Transistor des zweiten Reglers, der zum DIMOS-Treiber-Transistor ( <b>M<sub>2b</sub></b> ) matchend ausgeführt werden sollte;
<b>I<sub>8a</sub></b>	achter Strom durch den achten Transistor ( <b>M<sub>8a</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) aus dem Ausgangsknoten des ersten Ausgangs ( <b>V<sub>OUTa</sub></b> ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) heraus;	<b>M<sub>4a</sub></b>	vierter Transistor des ersten Reglers;
		<b>M<sub>4b</sub></b>	vierter Transistor des zweiten Reglers;
		<b>M<sub>5a</sub></b>	fünfter Transistor des ersten Reglers;
		<b>M<sub>5b</sub></b>	fünfter Transistor des zweiten Reglers;
<b>I<sub>8b</sub></b>	achter Strom durch den achten Transistor ( <b>M<sub>8b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) aus dem Ausgangsknoten des zweiten Ausgangs ( <b>V<sub>OUTb</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) heraus;	<b>M<sub>6a</sub></b>	sechster Transistor des ersten Reglers;
		<b>M<sub>6b</sub></b>	sechster Transistor des zweiten Reglers;
		<b>M<sub>7a</sub></b>	siebter Transistor des ersten Reglers;
<b>I<sub>Ba</sub></b>	erster Bias-Strom der ersten Bias-Stromquelle des ersten Reglers;	<b>M<sub>7b</sub></b>	siebter Transistor des zweiten Reglers;
<b>I<sub>Bb</sub></b>	zweiter Bias-Strom der zweiten Bias-Stromquelle des zweiten Reglers;	<b>M<sub>8a</sub></b>	achter Transistor des ersten Reglers;
		<b>M<sub>8b</sub></b>	achter Transistor des zweiten Reglers;
<b>IC</b>	integrierte Schaltung;	<b>M<sub>9a</sub></b>	neunter Transistor des ersten Reglers;
<b>I<sub>La</sub></b>	erster Laststrom aus dem ersten Ausgang ( <b>V<sub>OUTa</sub></b> ) des ers-		

$M_{9b}$	neunter Transistor des zweiten Reglers;	$R_{DSON1b}$	Einschaltwiderstand des ersten Transistors ( $M_{1b}$ ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) zwischen dessen Source-Anschluss und dessen Drain-Anschluss, wenn der erste Transistor ( $M_{1b}$ ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) sich im eingeschalteten Zustand befindet (siehe auch <b>Fig. 6</b> );
$M_{10a}$	zehnter Transistor des ersten Reglers;		
$M_{10b}$	zehnter Transistor des zweiten Reglers;		
$M_{DRV}$	Ausgangstreibertransistor		
$OP_{1a}$	erster Operationsverstärker des ersten Reglers;		
$OP_{1b}$	zweiter Operationsverstärker des zweiten Reglers;	$R_{DSON2a}$	Einschaltwiderstand des zweiten DIMOS-Treiber-Transistors ( $M_{2a}$ ), des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) zwischen dessen Source-Anschluss und dessen Drain-Anschluss, wenn der zweite DIMOS-Treiber-Transistor ( $M_{2a}$ ) sich im eingeschalteten Zustand befindet;
$R_{1a}$	erster oberer Spannungsteilerwiderstand;		
$R_{2a}$	erster unterer Spannungsteilerwiderstand;		
$R_{1b}$	zweiter oberer Spannungsteilerwiderstand;		
$R_{2b}$	zweiter unterer Spannungsteilerwiderstand;		
$R_{3a}$	dritter Widerstand des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );	$R_{DSON2b}$	Einschaltwiderstand des zweiten DIMOS-Treiber-Transistors ( $M_{2b}$ ), des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) zwischen dessen Source-Anschluss und dessen Drain-Anschluss, wenn der zweite DIMOS-Treiber-Transistor ( $M_{2b}$ ) sich im eingeschalteten Zustand befindet;
$R_{3b}$	dritter Widerstand des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> );		
$R_{4a}$	Pullup-Widerstand des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );		
$R_{4b}$	Pullup-Widerstand des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> );	<b>SdT</b>	Stand der Technik;
$R_{DSON:MDRV}$	Einschaltwiderstand des Ausgangstreibertransistors ( $M_{DRV}$ ) des Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) zwischen dessen Source-Anschluss und dessen Drain-Anschluss, wenn der Ausgangstreibertransistor ( $M_{DRV}$ ) sich im eingeschalteten Zustand befindet (siehe auch <b>Fig. 1</b> );	$T_{1a}$	erste Zeitkonstante der ersten Regelschleife des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) zur Regelung des ersten Transistors ( $M_{1a}$ ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ), die niedriger ist als die zweite Zeitkonstante ( $T_{2a}$ ) der zweiten Regelschleife des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );
$R_{DSON1a}$	Einschaltwiderstand des ersten Transistors ( $M_{1a}$ ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) zwischen dessen Source-Anschluss und dessen Drain-Anschluss, wenn der erste Transistor ( $M_{1a}$ ) sich im eingeschalteten Zustand befindet (siehe auch <b>Fig. 2</b> );	$T_{2a}$	zweite Zeitkonstante der zweiten Regelschleife des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) zur Regelung des zweiten Transistors ( $M_{2a}$ ) des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ), die höher ist als die erste Zeitkonstante ( $T_{1a}$ ) der ersten Regelschleife des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );

$\tau_{1b}$	erste Zeitkonstante der ersten Regelschleife des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) zur Regelung des ersten Transistors ( <b>M<sub>1b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ), die niedriger ist als die zweite Zeitkonstante ( $\tau_{2b}$ ) der zweiten Regelschleife des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );	<b>VREF</b> <b>V<sub>REFa</sub></b> <b>V<sub>REFb</sub></b> <b>V<sub>SUP</sub></b>	Referenzspannung; zweite Referenzspannung des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ); zweite Referenzspannung des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ); positive Versorgungsspannung;
<b>Patentansprüche</b>			
$\tau_{2b}$	zweite Zeitkonstante der zweiten Regelschleife des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) zur Regelung des zweiten Transistors ( <b>M<sub>2b</sub></b> ) des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ), die höher ist als die erste Zeitkonstante ( $\tau_{1b}$ ) der ersten Regelschleife des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> );	<p>1. Low-Drop-Spannungsregler zur Erzeugung einer Ausgangsspannung an seinem Ausgang (<math>V_{OUTa}</math>)</p> <ul style="list-style-type: none"> <li>- mit einem selbstleitenden NMOS-Transistor (<math>M_{1a}</math>) und</li> <li>- mit einem nicht selbstleitenden DIMOS-Transistor (<math>M_{2a}</math>) und</li> <li>- wobei der selbstleitende NMOS-Transistor (<math>M_{1a}</math>) als ein erster Regeltransistor des Low-Drop-Spannungsreglers verwendet wird und</li> <li>- wobei der nicht selbstleitende DIMOS-Transistor (<math>M_{2a}</math>) als ein zweiter Regeltransistor des Low-Drop-Spannungsreglers verwendet wird und</li> <li>- wobei die Regelung der Ausgangsspannung (<math>V_{OUTa}</math>) über den selbstleitenden NMOS-Transistor (<math>M_{1a}</math>) mit einer ersten Zeitkonstante (<math>\tau_{1a}</math>) erfolgt und</li> <li>- wobei die Regelung der Ausgangsspannung (<math>V_{OUTa}</math>) über den nicht selbstleitenden DIMOS-Transistor (<math>M_{2a}</math>) mit einer zweiten Zeitkonstante (<math>\tau_{2a}</math>) erfolgt und</li> <li>- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor (<math>M_{2a}</math>) das Einspeisen eines zweiten Stroms (<math>I_{2a}</math>) in den Knoten des Ausgangs des Spannungsreglers (<b>HV-LDO<sub>a</sub></b>) mit Hilfe dieses selbstleitenden DIMOS-Transistors (<math>M_{2a}</math>) umfasst, wobei der Wert des zweiten Stromes (<math>I_{2a}</math>) von einem Bias-Strom (<math>I_{Ba}</math>) abhängt, und</li> <li>- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor (<math>M_{2a}</math>) das Einspeisen eines vierten Stroms (<math>I_{4a}</math>) in den Knoten des Ausgangs des Spannungsreglers (<b>HV-LDO<sub>a</sub></b>) umfasst, wobei der Wert des vierten Stromes (<math>I_{4a}</math>) ebenfalls von dem Bias-Strom (<math>I_{Ba}</math>) abhängt, und</li> <li>- wobei die Regelung über den nicht selbstleitenden DIMOS-Transistor (<math>M_{2a}</math>) das Entnehmen eines achten Stromes (<math>I_{8a}</math>) aus dem Knoten des Ausgangs des Spannungsreglers (<b>HV-LDO<sub>a</sub></b>) umfasst, wobei der betragsmäßige Wert des achten Stromes (<math>I_{8a}</math>) dem betragsmäßigen Wert des vierten Stromes (<math>I_{4a}</math>) multipliziert mit einem Stromspiegelfaktor (<math>1:(m+1)</math>) entspricht, und</li> <li>- wobei die Konstruktionen der Regelungen des nicht selbstleitenden DIMOS-Transistors (<math>M_{2a}</math>) und des selbstleitenden NMOS-Transistor (<math>M_{1a}</math>) so gewählt sind, dass die erste Zeitkonstante (<math>\tau_{1a}</math>) länger als die zweite Zeitkonstante (<math>\tau_{2a}</math>) ist.</li> </ul>	
$V_{GS}$	Gate-Source-Spannung des Ausgangstreibertransistors des Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );		
$V_{GS\text{eff}}$	wirksame Gate-Source-Spannung;		
$V_{OUTa}$	erster Ausgang des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ). Mit diesem Bezugszeichen wird auch die Ausgangsspannung am ersten Ausgang des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> ) gegen das Bezugspotenzial ( <b>GND</b> ) bezeichnet;		
$V_{OUTb}$	zweiter Ausgang des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ). Mit diesem Bezugszeichen wird auch die Ausgangsspannung am zweiten Ausgang des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> ) gegen das Bezugspotenzial ( <b>GND</b> ) bezeichnet;		
$V_{OUTa}$	geregelter erste Ausgangsspannung des ersten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>a</sub></b> );		
$V_{OUTb}$	geregelter zweite Ausgangsspannung des zweiten Hochvolt-Low-Drop-Reglers ( <b>HV-LDO<sub>b</sub></b> );		

2. Verfahren zum Betreiben eines Low-Drop-Spannungsreglers zur Erzeugung einer Ausgangsspannung an seinem Ausgang ( $V_{OUTa}$ )

- Ausregelung der Ausgangsspannung ( $V_{OUTa}$ ) über einen selbstleitenden NMOS-Transistor ( $M_{1a}$ ) als ersten Regeltransistor einer ersten Regelschleife des Low-Drop-Spannungsreglers mit einer ersten Zeitkonstante ( $\tau_{1a}$ );
- parallele Ausregelung der Ausgangsspannung ( $V_{OUTa}$ ) über einen nicht selbstleitenden DIMOS-Transistor ( $M_{2a}$ ) als zweiten Regeltransistor einer zweiten parallelen Regelschleife des Low-Drop-Spannungsreglers mit einer zweiten Zeitkonstante ( $\tau_{2a}$ ) durch Einspeisen eines zweiten Stroms ( $I_{2a}$ ) in den Knoten des Ausgangs des Spannungsreglers ( $HV\_LDO_a$ ) mit Hilfe dieses selbstleitenden DIMOS-Transistors ( $M_{2a}$ ), wobei der Wert des zweiten Stromes ( $I_{2a}$ ) von einem Bias-Strom ( $I_{Ba}$ ) abhängt;
- Einspeisen eines vierten Stroms ( $I_{4a}$ ) in den Knoten des Ausgangs des Spannungsreglers ( $HV\_LDO_a$ ), wobei der Wert des vierten Stromes ( $I_{4a}$ ) ebenfalls von dem Bias-Strom ( $I_{Ba}$ ) abhängt;
- Entnehmen eines achten Stromes ( $I_{8a}$ ) aus dem Knoten des Ausgangs des Spannungsreglers ( $HV\_LDO_a$ ), wobei der betragsmäßige Wert des achten Stromes ( $I_{8a}$ ) dem betragsmäßigen Wert des vierten Stromes ( $I_{4a}$ ) multipliziert mit einem Stromspiegelfaktor ( $1:(m+1)$ ) entspricht und
- wobei diese Konstruktionen der Regelungen des nicht selbstleitenden DIMOS-Transistors ( $M_{2a}$ ) und des selbstleitenden NMOS-Transistor ( $M_{1a}$ ) so gewählt sind, dass die erste Zeitkonstante ( $\tau_{1a}$ ) länger als die zweite Zeitkonstante ( $\tau_{2a}$ ) ist.

Es folgen 7 Seiten Zeichnungen

Fig. 1

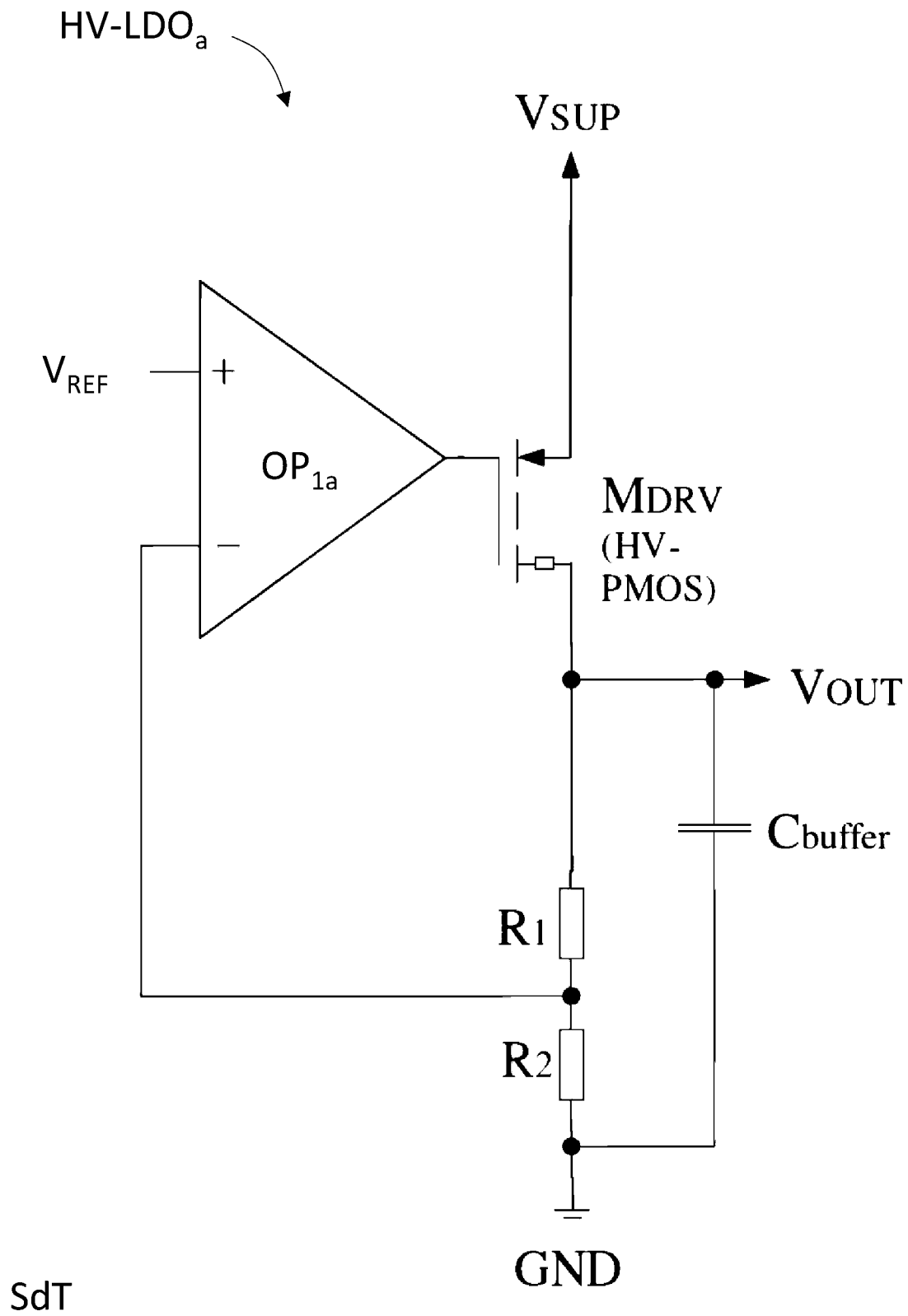
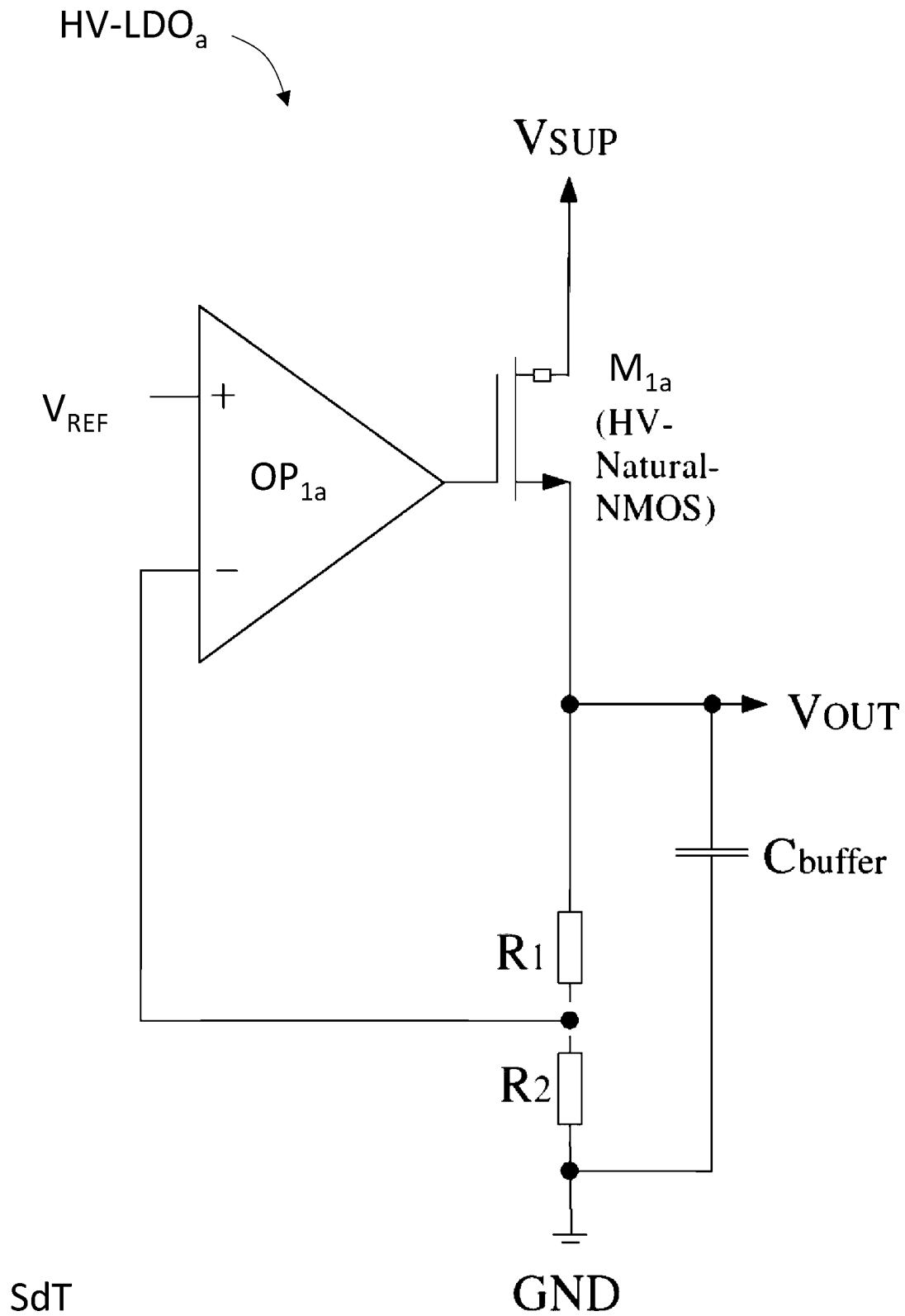


Fig. 2





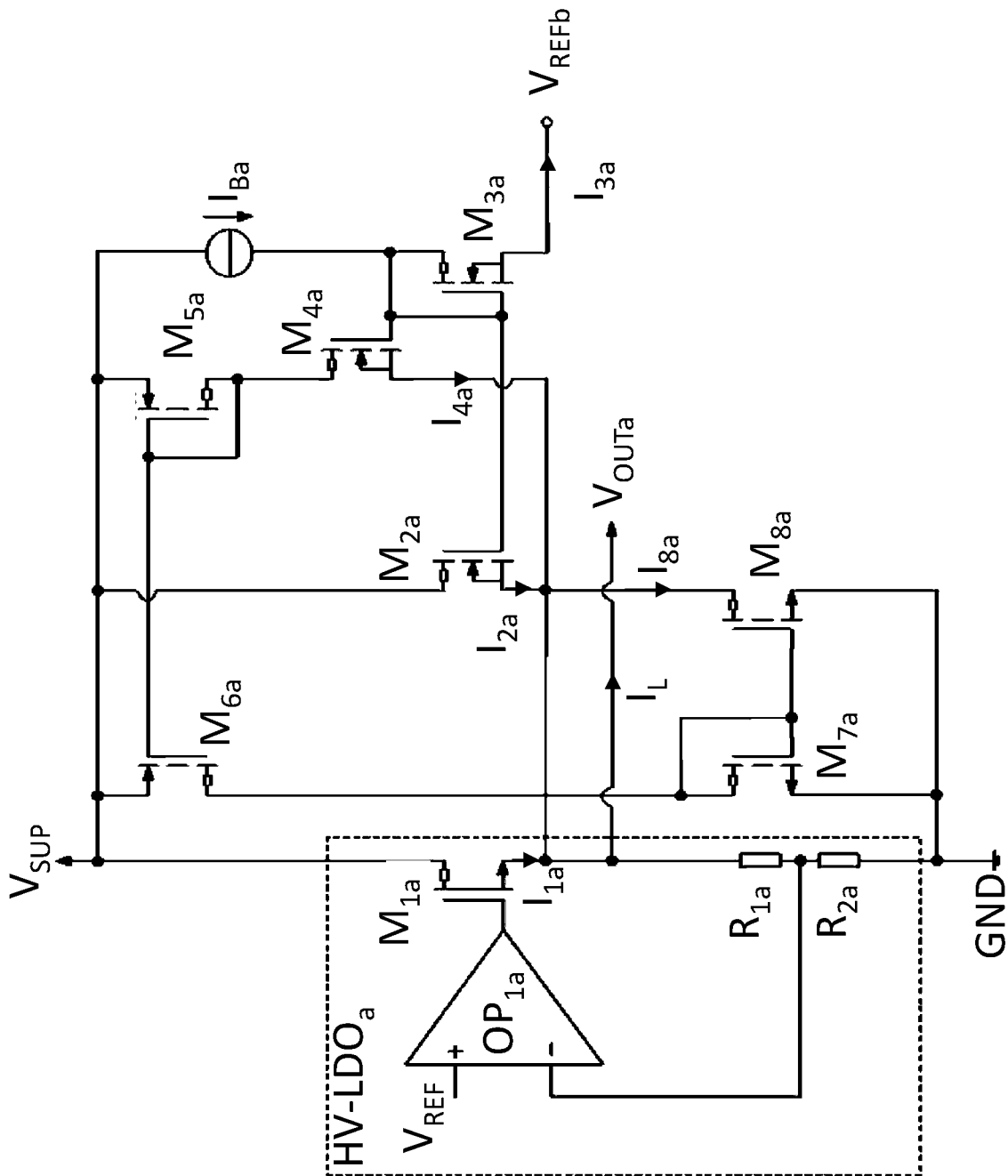


Fig. 3



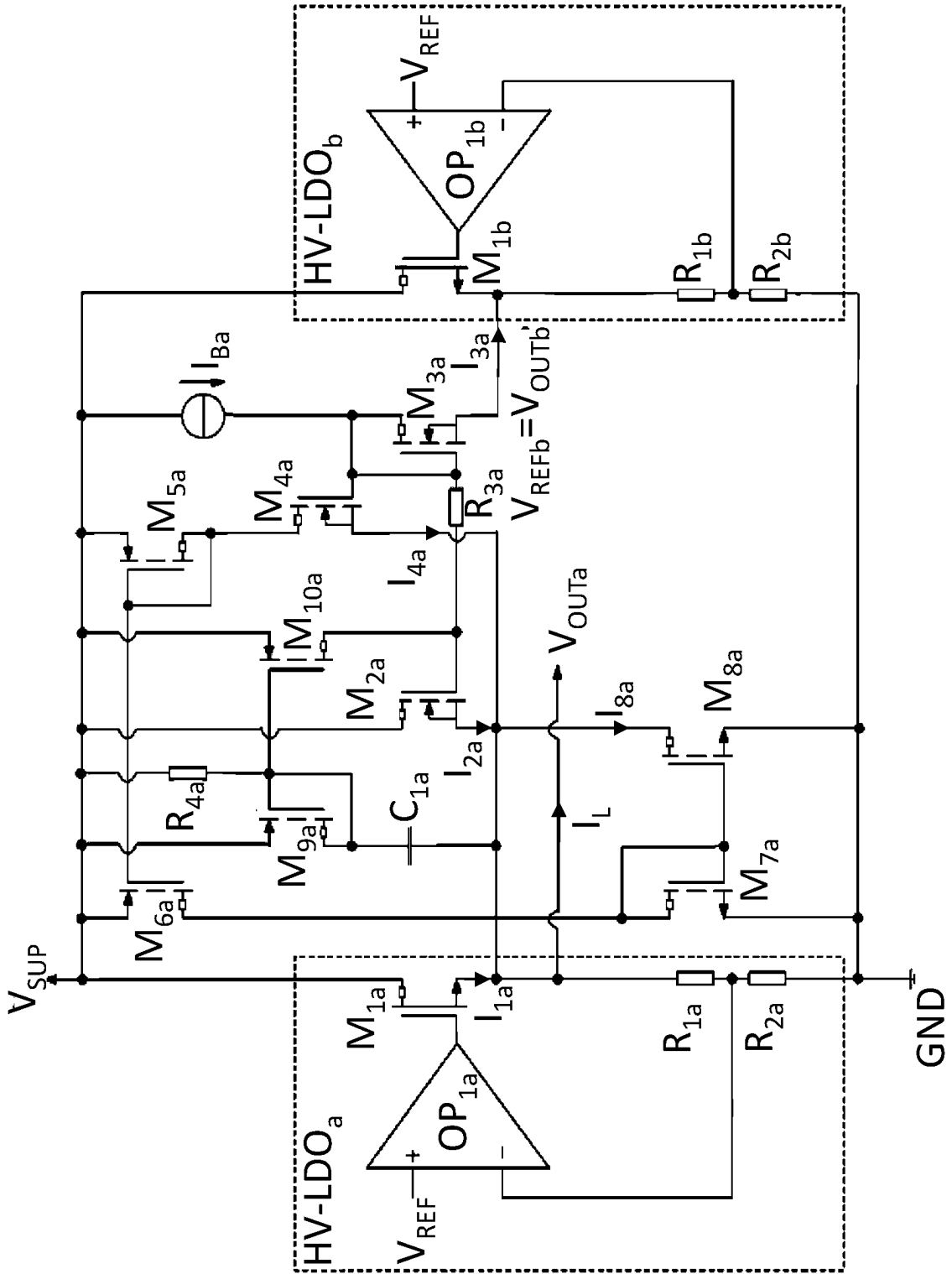


Fig. 5

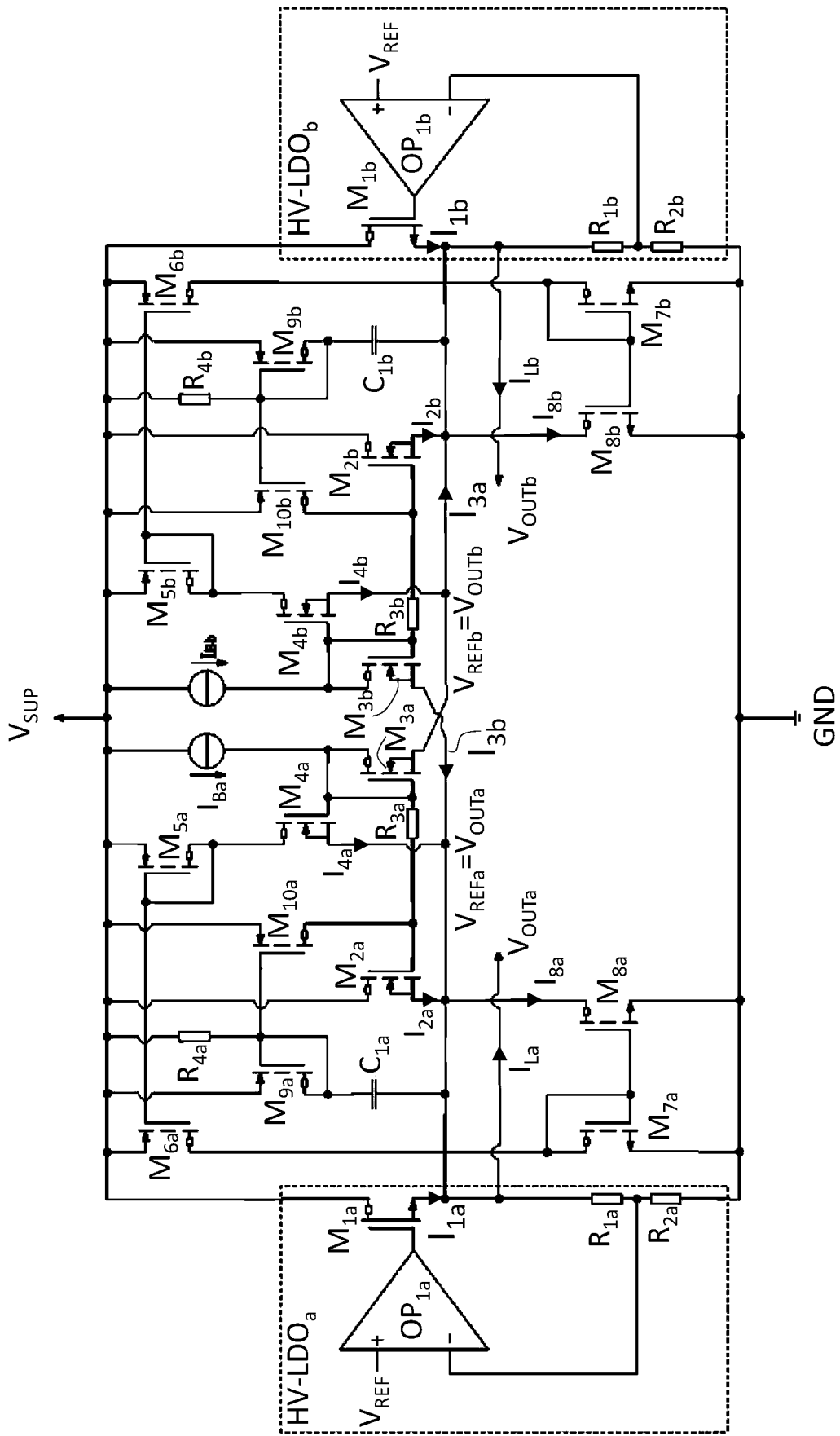


Fig. 6

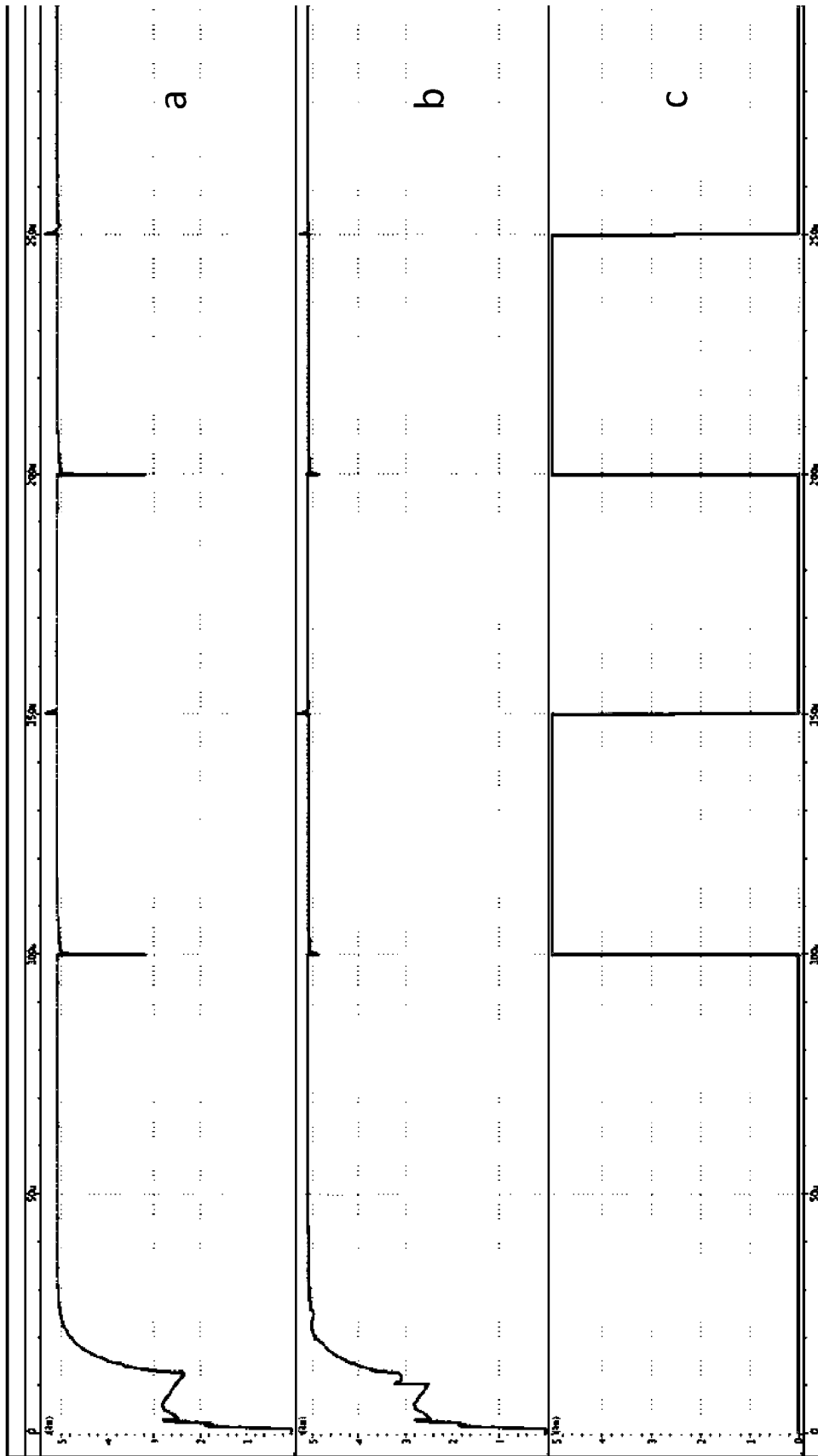


Fig. 7