

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4000654号

(P4000654)

(45) 発行日 平成19年10月31日(2007.10.31)

(24) 登録日 平成19年8月24日(2007.8.24)

(51) Int. Cl.	F I	
G06F 21/02 (2006.01)	G06F 12/14	510C
G06F 21/24 (2006.01)	G06F 12/14	560D
G06F 15/78 (2006.01)	G06F 15/78	510A

請求項の数 13 (全 23 頁)

(21) 出願番号	特願平10-41180	(73) 特許権者	000002369
(22) 出願日	平成10年2月6日(1998.2.6)		セイコーエプソン株式会社
(65) 公開番号	特開平10-301855		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成10年11月13日(1998.11.13)	(74) 代理人	100090479
審査請求日	平成15年4月18日(2003.4.18)		弁理士 井上 一
(31) 優先権主張番号	特願平9-44395	(74) 代理人	100104710
(32) 優先日	平成9年2月27日(1997.2.27)		弁理士 竹腰 昇
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124626
			弁理士 覆並 智和
前置審査		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	那須 弘明
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

半導体装置の外部から電氣的にデータの消去・書き込みが可能な第一の不揮発性メモリと、

前記第一の不揮発性メモリに書き込まれたデータの外部からの読み出しを禁止し該データの機密を保護し、前記第一の不揮発性メモリの全てのデータが消去されたことを検出した場合に、前記第一の不揮発性メモリのデータ読み出し禁止を解除する読み出し禁止制御回路を含み、

前記読み出し禁止制御回路は、

電氣的にデータの消去・書き込みが可能であり前記第一の不揮発性メモリのデータ読み出し禁止の設定を記憶する少なくとも一つの第二の不揮発性メモリと、 10

制御信号に含まれる消去信号を用いて、前記第二の不揮発性メモリの消去動作を行うと共に、読み出し禁止設定信号に基づいて、前記第二の不揮発性メモリに対して読み出し禁止を設定するか否かを判断し、読み出し禁止を設定する場合には、前記制御信号に含まれる書き込み信号を用いて、その設定を前記第二の不揮発性メモリに対して書き込む書き込み回路と、

前記第二の不揮発性メモリに書き込まれたデータを読み出し、前記第一の不揮発性メモリからのデータの読み出しの禁止と許可を制御するための読み出し禁止制御信号を出力する読み出し回路を含み、

前記読み出し回路からの前記読み出し禁止制御信号が、前記書き込み回路に対してフィ 20

ードバックされ、

フィードバックされた前記読み出し禁止制御信号が読み出し禁止状態を示していない場合には、前記制御信号をそのまま前記第二の不揮発性メモリに伝えることで、前記書き込み回路による前記第二の不揮発性メモリに対する消去・書き込みが許可され、フィードバックされた前記読み出し禁止制御信号が読み出し禁止状態を示している場合には、前記制御信号を前記第二の不揮発性メモリに伝えないことで、前記書き込み回路による前記第二の不揮発性メモリに対する消去・書き込みが禁止され、

前記第一の不揮発性メモリの全てのデータが消去されたことが検出された場合には、前記制御信号をそのまま前記第二の不揮発性メモリに伝えることで、前記書き込み回路による前記第二の不揮発性メモリに対する消去・書き込みが許可されることを特徴とする半導体装置。 10

【請求項 2】

請求項 1 において、

前記第一の不揮発性メモリのデータを全消去動作により消去すると共に、前記第一の不揮発性メモリに対して前記全消去動作が行われたか否かに基づき、前記第一の不揮発性メモリの全てのデータが消去されたことを検出することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記第一の不揮発性メモリのデータを、アドレスを指定してページ単位及びブロック単位のいずれかで消去すると共に、前記第一の不揮発性メモリの全アドレスのデータを読み出すことにより、前記第一の不揮発性メモリの全てのデータが消去されたこと検出することを特徴とする半導体装置。 20

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

半導体装置の電源オン時に前記第二の不揮発性メモリの記憶内容を読み出し、読み出された記憶内容に基づいて前記第一の不揮発性メモリのデータ読み出しを禁止するか否かを判断することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記第一の不揮発性メモリの消去・書き込みと前記第二の不揮発性メモリの消去・書き込みとを別々に制御することを特徴とする半導体装置。 30

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記読み出し禁止手段が、

前記第二の不揮発性メモリを複数含み、該複数の第二の不揮発性メモリの出力信号の中の少なくとも一つが読み出し禁止の設定となっている場合に、前記第一の不揮発性メモリからのデータ読み出しを禁止することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記第一の不揮発性メモリのデータ読み出しの禁止、データ読み出し禁止の解除を、内蔵する CPU が動作して行うことを特徴とする半導体装置。 40

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記読み出し禁止制御回路が、

前記第一の不揮発性メモリのデータを出力するための出力バッファを制御することで、該データの外部からの読み出しを禁止することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記読み出し禁止制御回路が、

前記第一の不揮発性メモリのデータを外部に読み出すための外部読み出し制御回路を制 50

御することで、該データの外部からの読み出しを禁止することを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第一の不揮発性メモリに記憶されるデータに基づき CPU 及び論理機能ブロックのいずれかが動作する通常動作モードにおいては、前記第一の不揮発性メモリのデータ読み出し禁止が設定されていても前記 CPU、前記論理機能ブロックによる前記第一の不揮発性メモリからのデータ読み出しを許可し、

前記通常動作モード以外のモードにおいては、前記第一の不揮発性メモリのデータ読み出し禁止が解除されていることを条件として前記第一の不揮発性メモリからのデータ読み出しを許可することを特徴とする半導体装置。

10

【請求項 11】

請求項 1 乃至 10 のいずれかにおいて、

前記第一の不揮発性メモリに記憶されるデータに基づき動作する CPU を含むことを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至 10 のいずれかにおいて、

前記第一の不揮発性メモリに記憶されるデータに基づき動作する論理機能ブロックを含むことを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至 12 のいずれかの半導体装置と、

前記半導体装置にデータを入力するための入力手段と、

前記半導体装置の制御の下で画像及び音の少なくとも一方を出力する手段とを含むことを特徴とする電子機器。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリを含んだマイクロコンピュータなどの半導体装置及びこの半導体装置を含む電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

30

不揮発性メモリを内蔵するマイクロコンピュータなどの半導体装置においては、書き込まれたプログラムが不正に第三者に複製されないようにするために、プログラムを外部から読めなくする機密保護機能を設けることが望ましい。実現手法としては、特開昭 62 - 194565 に開示されるように、不揮発性メモリのデータ読み出し禁止の設定を保護ビットにより制御する手法がある。この場合、読み出し禁止の設定を、第二の不揮発性メモリである EPROM を利用して記憶する手法と EEPROM を利用して記憶する手法とを考えることができる。

【0003】

しかしながら EPROM を利用する手法には、一度読み出し禁止の設定を EPROM に記憶するとその半導体装置を再利用できないという大きな問題点がある。即ちこの手法では、半導体装置が実装されるパッケージの樹脂を剥がし紫外線等を EPROM に照射し EPROM の記憶内容を変更しなければ、読み出し禁止の設定を解除できない。したがって、読み出し禁止の設定を解除するということは、その半導体装置を二度と利用できないことを意味することになる。

40

【0004】

一方、EEPROM を利用する手法には、読み出し禁止の設定を第三者が容易に解除できてしまうという問題点がある。このような問題点を解決するためには、一度行った読み出し禁止の設定を解除できないような工夫を施す必要があるが、これは結局、半導体装置の再利用不可という結果を招く。

【0005】

50

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、内蔵する不揮発性メモリのデータ読み出しの禁止を設定した場合にも再利用可能な半導体装置及び該半導体装置を含む電子機器を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決するために本発明に係る半導体装置は、半導体装置の外部から電気的にデータの消去・書き込みが可能な第一の不揮発性メモリと、前記第一の不揮発性メモリに書き込まれたデータの外部からの読み出しを禁止し該データの機密を保護する読み出し禁止手段と、前記第一の不揮発性メモリの全てのデータが消去されたことを検出した場合に、前記第一の不揮発性メモリのデータ読み出し禁止を解除する手段とを含むことを特徴とする。

10

【0007】

本発明によれば、読み出し禁止手段により、第一の不揮発性メモリに書き込まれたデータの機密を保護できる。また第一の不揮発性メモリの全てのデータが消去されると、データ読み出し禁止が解除されるため、半導体装置の再利用が可能となる。このように本発明によれば、第一の不揮発性メモリに書き込まれたデータの盗用等からの保護と、再利用可能な特徴とを両立できる。

【0008】

また本発明は、前記第一の不揮発性メモリのデータを全消去動作により消去すると共に、前記第一の不揮発性メモリに対して前記全消去動作が行われたか否かに基づき、前記第一の不揮発性メモリの全てのデータが消去されたことを検出することを特徴とする。このようにすることで、第一の不揮発性メモリの全てのデータが消去されたことを、簡易な構成、処理で検出できるようになる。

20

【0009】

また本発明は、前記第一の不揮発性メモリのデータを、アドレスを指定してページ単位及びブロック単位のいずれかで消去すると共に、前記第一の不揮発性メモリの全アドレスのデータを読み出すことにより、前記第一の不揮発性メモリの全てのデータが消去されたこと検出することを特徴とする。このようにすることで、全消去動作を行うことなく第一の不揮発性メモリの全てのデータを消去できるようになると共に全てのデータが消去されたことも検出できるようになる。これにより、第一の不揮発性メモリの寿命を高めることが可能になる。

30

【0010】

また本発明は、前記読み出し禁止手段が、電気的にデータの消去・書き込みが可能であり前記第一の不揮発性メモリのデータ読み出し禁止の設定を記憶する少なくとも一つの第二の不揮発性メモリを含むことを特徴とする。このようにすることで、半導体装置の電源をオフにした場合にも、データ読み出し禁止の設定を保持することが可能になる。また第二の不揮発性メモリの設定内容を電気的に書き換えることも可能になる。

【0011】

また本発明は、前記読み出し禁止手段が、前記第一の不揮発性メモリのデータ読み出し禁止の設定が前記第二の不揮発性メモリに記憶された場合には、前記第二の不揮発性メモリの消去・書き込みを禁止し、前記第一の不揮発性メモリの全てのデータが消去されたことが検出された場合には、前記第二の不揮発性メモリの消去・書き込みの禁止を解除することを特徴とする。このように、読み出し禁止の設定が記憶された場合に第二の不揮発性メモリの消去・書き込みを禁止することで、第一の不揮発性メモリのデータの機密を確実に保護できるようになる。また第一の不揮発性メモリの全てのデータが消去されたことが検出された場合に第二の不揮発性メモリの消去・書き込みの禁止を解除することで、データ読み出しの禁止や禁止解除を再設定できるようになる。

40

【0012】

また本発明は、半導体装置の電源オン時に前記第二の不揮発性メモリの記憶内容を読み出し、読み出された記憶内容に基づいて前記第一の不揮発性メモリのデータ読み出しを禁止

50

するか否かを判断することを特徴とする。このようにすることで、電源をオンする毎にデータ読み出しの禁止の可否が判断されるようになり、第一の不揮発性メモリのデータの機密を確実に保護できるようになる。

【0013】

また本発明は、前記第一の不揮発性メモリの消去・書き込みと前記第二の不揮発性メモリの消去・書き込みとを別々に制御することを特徴とする。このようにすることで、制御の簡易化を図れると共に、半導体装置の大規模化を防止できるようになる。

【0014】

また本発明は、前記読み出し禁止手段が、前記第二の不揮発性メモリを複数含み、該複数の第二の不揮発性メモリの出力信号の中の少なくとも一つが読み出し禁止の設定となっている場合に、前記第一の不揮発性メモリからのデータ読み出しを禁止することを特徴とする。このように複数の第二の不揮発性メモリを同時使用することにより、第一の不揮発性メモリのデータの機密保護の信頼性を飛躍的に高めることが可能になる。

10

【0015】

また本発明は、前記第一の不揮発性メモリのデータ読み出しの禁止、データ読み出し禁止の解除を、内蔵するCPUが動作して行うことを特徴とする。このようにすること、データ読み出しの禁止や禁止の解除を、特別な書き込み制御回路を半導体装置の内部や外部に設けたりすることなく実現できるようになる。

【0016】

なお前記読み出し禁止手段が、前記第1の不揮発性メモリのデータを出力するための出力バッファを制御することで、該データの外部からの読み出しを禁止してもよいし、前記第1の不揮発性メモリのデータを外部に読み出すための外部読み出し制御回路を制御することで、該データの外部からの読み出しを禁止してもよい。このように第1の不揮発性メモリのデータの外部からの読み出しを禁止する手法としては、種々のものを考えることができる。

20

【0017】

また本発明は、前記第一の不揮発性メモリに記憶されるデータに基づきCPU及び論理機能ブロックのいずれかが動作する通常動作モードにおいては、前記第一の不揮発性メモリのデータ読み出し禁止が設定されていても前記CPU、前記論理機能ブロックによる前記第一の不揮発性メモリからのデータ読み出しを許可し、前記通常動作モード以外のモードにおいては、前記第一の不揮発性メモリのデータ読み出し禁止が解除されていることを条件として前記第一の不揮発性メモリからのデータ読み出しを許可することを特徴とする。このようにすることで、通常動作モードにおいては、第一の不揮発性メモリに記憶されるデータに基づきCPU又は論理機能ブロックを動作させることができるようになる。一方、通常動作モード以外のプログラミングモード等においては、第一の不揮発性メモリのデータの機密保護を図れるようになる。

30

【0018】

また本発明は、前記第一の不揮発性メモリに記憶されるデータに基づき動作するCPUを含むことを特徴とする。このようにすることで、データの機密保護と再利用可能な特徴とを両立できるマイクロコンピュータを提供できるようになる。

40

【0019】

また本発明は、前記第一の不揮発性メモリに記憶されるデータに基づき動作する論理機能ブロックを含むことを特徴とする。この場合の論理機能ブロックとしては、例えばゲートアレイブロック等、種々のものを考えることができる。

【0020】

また本発明に係る電子機器は、上記のいずれかの半導体装置と、前記半導体装置にデータを入力するための入力手段と、前記半導体装置の制御の下で画像及び音の少なくとも一方を出力する手段とを含むことを特徴とする。このようにすることで、電子機器を動作させるのに必要なデータの機密保護を図れると共に、電子機器やそれに使用される半導体装置の再利用を図れるようになる。

50

【 0 0 2 1 】

【 発明の実施の形態 】

以下、本発明の好適な実施形態について図面を用いて説明する。なお以下では、半導体装置の1つであるマイクロコンピュータに本発明を適用した場合を例にとり説明するが、本発明はマイクロコンピュータに限らず種々の半導体装置に適用できる。

【 0 0 2 2 】

1. 構成

図1は、本実施形態のマイクロコンピュータの構成の一例を示す機能ブロック図である。

【 0 0 2 3 】

不揮発性メモリブロック120は、複数の不揮発性メモリセルにより構成されるメモリセルアレイ100（第一の不揮発性メモリ）、Xデコーダ104、Yデコーダ101、センスアンプ102、出力バッファ103、入力バッファ118、制御回路106を含む。ここで制御回路106は、Xデコーダ104、Yデコーダ101、センスアンプ102、出力バッファ103及び入力バッファ118の制御を、書き込み制御回路108やCPU109からの制御信号112、113に基づいて行う。そして出力バッファ103の制御は、制御回路106が含む出力制御回路110が行う。

10

【 0 0 2 4 】

不揮発性メモリブロック120に対するプログラム、画像データ、音データなどの各種データの書き込みは次のようにして行う。即ち、マイクロコンピュータの外部から書き込み制御回路108を介して、アドレス及びそのアドレスに書き込むべきデータが読み込まれる。そしてアドレスは、アドレスマルチプレクサ105によりデコードされ、不揮発性メモリブロック120に入力される。またデータは、書き込み制御回路108及びデータバス115を介して不揮発性メモリブロック120に入力される。そして入力されたデータは、アドレスマルチプレクサ105により指定されるアドレスに、制御回路106の制御の下で書き込まれる。このようにすることで、ユーザによる不揮発性メモリブロック120に対するデータのプログラミングが完了する。

20

【 0 0 2 5 】

なお不揮発性メモリブロック120に正しくデータが書き込まれたか否かを検証するベリファイ動作は、CPU109を利用して行うことも、書き込み制御回路108を介して外部から行うことも可能である。

30

【 0 0 2 6 】

CPU109は、アドレス信号114及び制御信号113を用いて、プログラミングされたデータを不揮発性メモリブロック120からデータバス115を介して読み出す。そしてCPU109は、この読み出されたデータ（プログラム、画像データ、音データ等）に基づいて動作し、ユーザのプログラムにしたがった所与の処理を行う。

【 0 0 2 7 】

ここで本実施形態では、読み出し禁止制御回路107へ読み出し禁止を設定することにより、不揮発性メモリブロック120に書き込まれたデータを外部から読み出せないようにすることが可能となっている。これによりデータの機密保護を図れる。そして図1では、CPU109が読み出し禁止設定信号117をアクティブにすることで、読み出し禁止の設定が行われるようになっている。

40

【 0 0 2 8 】

2. 読み出し禁止制御回路

図2に、読み出し禁止制御回路107の構成の一例を示す。この読み出し禁止制御回路107は、EEPROM601（第二の不揮発性メモリ）、読み出し回路602、書き込み回路603を含む。書き込み回路603は、まず、制御信号606に含まれる消去信号を用いてEEPROM601の消去動作を行う。そして次に、読み出し禁止設定信号609（図1の117）に基づきEEPROM601に読み出し禁止を設定するか否かを判断し、読み出し禁止を設定する場合には、制御信号606に含まれる書き込み信号を用いてその設定をEEPROM601に書き込む。但しEEPROM601が初期に消去状態になっ

50

ている場合には消去動作は必ずしも必要ない。

【0029】

なお本実施形態では、読み出し禁止設定信号609をHレベルにすることが読み出し禁止の設定を意味し、この場合には消去状態のEEPROM601にLレベルが書き込まれる。一方、読み出し禁止設定信号609をLレベルにすることが読み出し禁止の解除を意味し、この場合には消去状態のEEPROM601にHレベルが書き込まれる。このように本実施形態では、読み出し禁止及び解除のいずれの場合も、EEPROM601にデータの書き込みを行っている。但し、EEPROM601は消去状態ではHレベルになる。したがって、読み出し禁止の解除の場合には、EEPROM601にHレベルをあえて書き込まずに、EEPROM601の消去状態が読み出し禁止の解除を意味するようにしてもよい。

10

【0030】

EEPROM601に書き込まれたデータは読み出し回路602により読み出される。読み出し禁止制御信号605(図1の111)は、読み出し禁止状態ではHレベルとなり、読み出し許可状態ではLレベルとなる。そして読み出し禁止制御信号605がHレベルになると、図1のメモリセルアレイ100からのデータ読み出しが禁止され、Lレベルになると読み出しが許可(読み出し禁止が解除)される。

【0031】

読み出し禁止制御信号605は書き込み回路603にフィードバックされる。そしてEEPROM601に読み出し禁止の設定が行われ、読み出し禁止制御信号605がHレベルになると、図3(A)に示すように、読み出し禁止制御信号605に基づきEEPROM601に対する消去・書き込みが禁止となる。これにより、EEPROM601に記憶された読み出し禁止の設定が書き換えられないことを保証できるようになり、メモリセルアレイ100(不揮発性メモリブロック)にプログラミングされたデータの機密保護を図れる。

20

【0032】

一方、図3(B)に示すように、メモリセルアレイ100(第一の不揮発性メモリ)の全てのデータが消去されたことが検出されると、全消去信号608がアクティブとなり、EEPROM601(第二の不揮発性メモリ)に対する消去・書き込みが許可される。EEPROM601の消去・書き込みが許可されることにより、EEPROM601に書き込まれた読み出し禁止の設定の解除が可能となり、これによりメモリセルアレイ100からのデータ読み出しが可能になる。逆に言えば、本実施形態では、電氣的に消去・書き込み可能なメモリセルアレイ100の全てのデータが消去されない限り、読み出し禁止を解除できない。

30

【0033】

マイクロコンピュータのユーザは、プログラムを開発し、そのプログラムをメモリセルアレイ100に書き込んだ後、読み出し禁止設定信号117によりメモリセルアレイ100の読み出し禁止を設定する。このようにすることで、書き込まれたプログラムを第三者が不正に複製することを防止できる。そして、プログラムが書き込まれたマイクロコンピュータをユーザが再利用したい場合には、メモリセルアレイ100の全てのデータを消去する。この場合、ユーザはソースプログラムを有しているため、メモリセルアレイ100のデータを全て消去しても問題は生じない。メモリセルアレイ100の全てのデータが消去されると、図2の全消去信号608がアクティブとなり、EEPROM601に対する消去・書き込みが許可される。これによりEEPROM601に書き込まれた読み出し禁止の設定を解除でき、メモリセルアレイ100からのデータ読み出しが可能になる。この結果、ユーザは、ベリファイ動作による検証を行いながら、新たなプログラムをメモリセルアレイ100に書き込むことが可能になる。即ちマイクロコンピュータを再利用することが可能になる。

40

【0034】

3. EEPROMの書き込み回路

50

図4(A)に図2の書き込み回路603の構成の一例を示し、図4(B)にその動作を説明するためのタイミングチャート図を示す。

【0035】

読み出し禁止制御信号605がLレベルである場合には(図4(B)のE1参照)、制御信号606(消去・書き込み信号)がそのまま制御信号607としてEEPROM601に伝えられる(E2、E3参照)。即ちEEPROM601のデータの消去・書き込みが許可される。

【0036】

一方、読み出し禁止制御信号605がHレベルになると(E4参照)、制御信号606がHレベルになっても制御信号607はLレベルに固定される(E5、E6参照)。即ちEEPROM601のデータの消去・書き込みが禁止される。しかしながら、このように読み出し禁止制御信号605がHレベルであっても、全消去信号608がHレベルになると(E7参照)、制御信号606がそのまま制御信号607としてEEPROM601に伝えられるようになる。即ち、メモリセルアレイ100の全てのデータが消去されると、EEPROM601のデータの消去・書き込み禁止が解除される。これにより、メモリセルアレイ100のデータ読み出し禁止を解除できるようになる。

10

【0037】

4. 全消去動作及びページ単位又はブロック単位の消去

メモリセルアレイ100のデータの消去は、全消去動作(一括消去)により行ってもよいし、アドレスを指定したページ単位又はブロック単位の消去により行ってもよい。

20

【0038】

全消去動作により消去する場合には、図5(A)に示すように、全消去動作を行ったこと自体で(全消去命令が発行されたこと自体で)、メモリセルアレイ100の全てのデータが消去されたことを検出できる。但し、全消去動作による消去の場合においても、例えば図1のCPU109を動作させてメモリセルアレイ100の全アドレスの読み出しを行うことで、全てのデータが消去されたことを検出するようにしてもよい。

【0039】

アドレスを指定しページ単位又はブロック単位で消去する場合には、図5(B)に示すように、例えば図1のCPU109を動作させてメモリセルアレイ100の全アドレスの読み出しを行うことで、全てのデータが消去されたことを検出できる。なおCPU109を動作させるためのプログラムは、RAM上へ転送し実行してもよいし、このプログラムをあらかじめマスクROMに組み込んでおくようにしてもよい。

30

【0040】

メモリセルアレイ100の全てのデータが消去されたことを全消去動作を行ったこと自体で検出する図5(A)の手法には、回路構成や回路の制御を簡易化できるという利点がある。一方、メモリセルアレイ100の全てのデータが消去されたことを全アドレスの読み出しにより検出する図5(B)の手法には、メモリセルアレイ100の寿命を高めることができるという利点がある。即ち図5(C)に示すように、メモリセルアレイ100の一部の領域にのみデータを書き込むだけであり、その他の領域が消去状態になっている場合を考える。この場合には全消去動作により消去するよりも、書き込んだ領域のみをページ単位又はブロック単位で消去する方が、メモリセルアレイ100の各不揮発性メモリセルに加わるストレスを軽減できる。これにより、書き込み回数が有限回数に制限されるメモリセルアレイ100の寿命を高めることが可能になる。

40

【0041】

5. 電源オン時の動作

また本実施形態では、マイクロコンピュータに対する電源オン時に、EEPROM601(第二の不揮発性メモリ)の記憶内容を読み出し、読み出された記憶内容に基づいてメモリセルアレイ100(第一の不揮発性メモリ)のデータ読み出しを禁止するか否かを判断するようにしている。即ち図6に示すように本実施形態では、電源VDDを投入した後、所与の期間が経過すると、RESET信号がHレベルに立ち上がる(非アクティブになる

50

)。そしてこのHレベルの立ち上がりに基づいて微分パルスが生成され、この微分パルスに基づいて、EEPROM601の記憶内容が読み出される。そして、メモリセルアレイ100のデータ読み出しを禁止するか否かを判断する。このようにすることで、電源がオンする毎に、メモリセルアレイ100に記憶されるデータを保護すべきか否かを判断できるようになり、電源がオフになった場合にも不揮発性のメモリであるEEPROM601の記憶内容は保持されるため、確実な機密保護を実現できるようになる。

【0042】

6.メモリセルアレイ、EEPROMの消去・書き込み制御の独立化
また本実施形態では、図7に示すように、メモリセルアレイ100(第一の不揮発性メモリ)の消去・書き込みと、EEPROM601(第二の不揮発性メモリ)の消去・書き込みとを別々に制御している。例えば図1に示すように、メモリセルアレイ100の消去・書き込みは、Xデコーダ104、Yデコーダ101、センスアンプ102、制御回路106などにより制御される。一方、図2に示すように、EEPROM601の消去・書き込みは、書き込み回路603により制御される。このように別々に制御することで、電源のオン時に、EEPROM601の記憶内容を確認した後にメモリセルアレイ100のデータ読み出しを禁止するか否かを判断できるようになる。また各制御の簡易化を図れると共に、EEPROM601をメモリセルアレイ100の中に組み込んだ場合に生じる回路規模の増加を防止できるようになる。

【0043】

7.複数のEEPROMを用いる読み出し禁止制御回路
図8に、読み出し禁止制御回路107の構成の他の例を示す。図2との主な相違点は、図8では複数のEEPROM701、704を用いている点である。書き込み回路703は、まず制御信号707に基づいて、EEPROM701、704のデータを消去する。次に読み出し禁止設定の書き込みを両方のEEPROM701、704に対して行う。なおEEPROM701、704が初期に消去状態になっている場合には消去動作は必ずしも必要ない。

【0044】

図7に示すようにEEPROMは、メモリセルアレイとは半導体装置(半導体チップ)上で別の場所にレイアウトされるため、プロセスの加工上の問題等に起因してその特性がばらつくことがある。特にEEPROMの占める面積は、メモリセルアレイに比べて極端に小さいため、特性のバラツキは非常に大きなものとなる。そして、この特性のバラツキに起因してEEPROMの記憶データが失われてしまうと、メモリセルアレイにプログラミングされたデータを保護できなくなってしまう。

【0045】

そこで本実施形態では、複数のEEPROM701、704を同時使用して、メモリセルアレイに記憶されるデータの確実な保護を実現している。

【0046】

EEPROM701、704に書き込まれたデータは読み出し回路702により読み出される。図9(A)に読み出し回路702の構成例を示し、図9(B)にその真理値表を示す。EEPROM701、704の出力信号705、711の少なくとも一方がLレベル(読み出し禁止)である場合には、読み出し回路702の出力信号706はHレベル(読み出し禁止)になる。一方、出力信号705、711の両方がHレベル(読み出し許可)である場合には、読み出し回路702の出力信号706はLレベル(読み出し許可)になる。このようにすることで、EEPROM701、704のいずれか一方の設定内容が誤ったものになっても、メモリセルアレイに記憶されるデータの確実な機密保護を図れるようになる。

【0047】

読み出し禁止制御信号706がHレベルになると、EEPROM701、704に対する消去・書き込みが禁止となる。これにより、EEPROM701、704に記憶された読み出し禁止の設定が書き換えられないことを保証できる。一方、メモリセルアレイ100

10

20

30

40

50

の全てのデータが消去されたことが検出されると、全消去信号710がアクティブとなり、EEPROM701、704に対する消去・書き込みが許可される。これにより、読み出し禁止の設定の解除が可能となり、メモリセルアレイ100からのデータ読み出しが可能になる。

【0048】

8. 出力制御回路

図1の出力制御回路110は、読み出し禁止が設定された場合に、CPU109からの読み出しが外部からの読み出しかを判別する。そしてCPU109からのアクセスの場合は通常の読み出しを行い、外部からのアクセスに対しては固定値を出力するように出力バッファ103を制御する。

10

【0049】

図10(A)に、出力制御回路110及び出力バッファ103の構成例を示す。信号308は、読み出し禁止制御回路107からの読み出し禁止制御信号111に相当する。信号309は、CPU109からのアクセス要求信号である。信号311、312、313は、各々、センスアンプ102の出力信号である。CPUアクセス要求信号309がアクティブ(Hレベル)になると、読み出し禁止制御信号308の状態に依存せずに信号310はHレベルになる。そして、CPU109からの読み出し信号314がアクティブになると、センスアンプの出力信号311、312、313がデータバス318(図1の115)へ出力される。一方、読み出し禁止制御信号308がHレベルで、CPUアクセス要求信号309が非アクティブ(Lレベル)の場合は、信号310はLレベルとなる。これによりデータバス318へはLレベルの固定値が出力される。これにより、メモリセルアレイ100からのデータ読み出し禁止が実現される。

20

【0050】

図10(B)に、出力制御回路110及び出力バッファ103の他の構成例を示す。CPUアクセス要求信号409がアクティブ(Hレベル)となると読み出し禁止制御信号408の状態に依存せずに信号410はLレベルとなる。そしてCPU108からの読み出し信号414がアクティブになると、センスアンプの出力信号411、412、413がデータバス418へ出力される。一方、読み出し禁止制御信号408がHレベルで、CPUアクセス要求信号409が非アクティブ(Lレベル)の場合は、信号410はHレベルとなり、データバス418へはHレベルの固定値が出力される。

30

【0051】

9. マイクロコンピュータの他の構成例

図11に、本実施形態のマイクロコンピュータの他の構成例を示す。図1との主な相違点は、図1ではCPU109が読み出し禁止設定信号117を用いて読み出し禁止の設定を行っているのに対して、図11では書き込み制御回路208が、読み出し禁止設定信号217を用いて読み出し禁止の設定を行っている点である。即ち図1では、CPU209の動作により読み出し禁止制御回路107に読み出し禁止を設定しているが、図11では、マイクロコンピュータの外部(ROMライター)から、書き込み制御回路208を介して直接に読み出し禁止制御回路207に読み出し禁止の設定が行われる。またメモリセルアレイ200へのデータ書き込みや、読み出し禁止の解除等も、図1ではCPUが動作することによって行われるが、図11では書き込み制御回路208が直接に行う。その他の部分については図1とほぼ同様の構成であるため、説明を省略する。

40

【0052】

なお図11では、出力バッファ203を出力制御回路210が制御することで、メモリセルアレイ200からのデータ読み出しを禁止している。しかしながら、外部読み出し制御回路222を書き込み制御回路208内に設けて、外部からのデータ読み出しをこの外部読み出し制御回路222により制御することで、メモリセルアレイ200からのデータ読み出しを禁止してもよい。

【0053】

図12(A)に、外部読み出し制御回路222の構成例を示す。信号805、806、8

50

07は図11のデータバス215へ接続される。読み出し禁止制御回路207へ読み出し禁止設定を行うと、読み出し禁止信号804がLレベルとなり、出力信号808、809、810は全てLレベルに固定される。これにより外部からのデータ読み出しが禁止される。

【0054】

図12(B)に、外部読み出し制御回路222の他の構成例を示す。信号905、906、907は、データバス215へ接続される。読み出し禁止制御回路207へ読み出し禁止設定を行うと、読み出し禁止信号904がHレベルとなり出力信号808、809、810は全てHレベルに固定される。これにより外部からのデータ読み出しが禁止される。

【0055】

10. マイクロコンピュータの他の構成例

図13に、本実施形態のマイクロコンピュータの他の構成例を示す。図13は、図1の構成と図11の構成とを組み合わせたものに相当する。

【0056】

(1) 通常動作モード

不揮発性メモリブロック10に記憶されるデータに基づきCPU18が動作する通常動作モードにおいては、CPU18からアドレスバス30、セクタ20を介してアドレスが不揮発性メモリブロック10に入力される。そして不揮発性メモリブロック10から読み出されたデータに基づきCPU18が所与の処理を行う。このようにすることで、不揮発性メモリブロック10にユーザがプログラミングしたデータに基づいてCPU18を動作させることが可能となる。

【0057】

不揮発性メモリブロック10にデータを記憶するプログラミングモードとして、図13では、パラレル書き込みによるプログラミングモード(以下、パラレルモードと呼ぶ)と、シリアル書き込みによるプログラミングモード(以下、シリアルモードと呼ぶ)とが用意されている。なお通常動作モード、パラレルモード、シリアルモードのいずれのモードにするかは、マイクロコンピュータの特定の端子の状態を電源オン時又はRESET信号解除時に検出することにより判断する。

【0058】

(2) パラレルモード

パラレルモード時においては、外部のROMライタ等からパラレル端子34を介して各種データが入力され、メモリ制御レジスタ12に書き込まれる。またメモリ制御レジスタ12に書き込まれた各種データがパラレル端子34を介して外部に出力される。この場合のレジスタアドレスは、パラレル端子36から入力されるアドレスにより指定される。図14に、メモリ制御レジスタ12のレジスタ構成の例を示す。パラレル端子34から入力されたメモリアドレスは、ビットMA15~MA0に書き込まれる。同様にメモリデータは、不揮発性メモリブロックへのデータ書き込み時にはビットMD7~MD0に書き込まれ、データ読み出し時にはビットMD7~MD0から読み出される。メモリ制御レジスタ12は、制御ビットERASE、FLASH、PROG、PROT、ER348等を有している。これらの制御ビットの書き込みや読み出しも、パラレル端子34、36を用いて行われる。

【0059】

メモリ制御レジスタ12のビットMA15~MA0に書き込まれたメモリアドレスは、セクタ20を介して不揮発性メモリブロック10に出力される。そしてデータ書き込み時には、メモリ制御レジスタ12のビットMD7~MD0に書き込まれたメモリデータが、セクタ24を介して不揮発性メモリブロック10に出力され、上記メモリアドレス位置に書き込まれる。一方、データ読み出し時には、上記メモリアドレス位置から不揮発性メモリブロック10のデータが読み出され、セクタ24を介してメモリ制御レジスタ12のMD7~MD0に書き込まれる。

【0060】

10

20

30

40

50

不揮発性メモリブロック10は、図14に示す各種制御ビットにより制御される。例えば不揮発性メモリブロック10のデータを消去する場合には、E R A S Eをイネーブルにし、全消去動作を行いたい場合には、F L A S Hをイネーブルする。また不揮発性メモリブロック10にデータを書き込みたい場合には、P R O Gをイネーブルにする。

【0061】

図14の制御ビットは、図13の読み出し禁止制御回路14も制御している。例えば、不揮発性メモリブロック10のデータ読み出しを禁止したい場合にはP R O TをHレベルにし、データ読み出しを許可したい場合にはP R O TをLレベルにする。これにより読み出し禁止制御回路14が内蔵するE E P R O Mに、読み出し禁止又は許可の設定が記憶される。読み出しの禁止が設定された場合には、読み出し禁止制御信号15がアクティブになり、不揮発性メモリブロック10のデータ読み出しが禁止される。また読み出し禁止制御回路14のE E P R O Mの消去・書き込みも禁止される。そして不揮発性メモリブロック10のデータが全て消去されたことが検出されると(図13のE R 3 4 8参照)、読み出し禁止制御回路14のE E P R O Mの消去・書き込みが許可される。これにより、不揮発性メモリブロック10のデータ読み出しの禁止又は許可を再度設定することが可能になる。

10

【0062】

以上説明したパラレルモードによれば、図11と同様に、外部から書き込み制御回路を介して直接に、読み出し禁止を設定したり不揮発性メモリブロックにデータをプログラミングしたりすることが可能になる。

20

【0063】

(3) シリアルモード

シリアルモード時においては、マスクROM16に格納されるプログラムに基づきCPU18が動作する。またシリアル端子38を介して外部とメモリ制御レジスタ12との間のデータのやり取りが行われる。マスクROM16に格納されるプログラムに基づき動作するCPU18は、図14のビットS C 3 ~ S C 0やビットS S 3 ~ S S 0を用いて、ビットS D 7 ~ S D 0に格納されたデータを解析する。そして、例えばS D 7 ~ S D 0に格納されたデータがメモリアドレスであると判断した場合には、それをビットM A 1 5 ~ M A 0に格納し、メモリデータであると判断した場合には、それをビットM D 7 ~ M D 0に格納する。また制御ビットであると判断した場合には、それを対応する制御ビットに格納する。このシリアルモードによれば、不揮発性メモリブロック10へのデータのプログラミングを少ない端子数で実現できる。したがって、例えば、システム基板にマイクロコンピュータが実装された状態でプログラミングを行うこと等が可能となる。

30

【0064】

以上説明したシリアルモードによれば、図1と同様に、CPUを動作させて、読み出し禁止を設定したり不揮発性メモリブロックにデータをプログラミングしたりすることが可能になる。

【0065】

(4) 出力制御回路

図15(A)に不揮発性メモリブロック10が含む出力制御回路40及び出力バッファ42の構成例を示し、図15(B)にその真理値表を示す。図15(A)の構成は図10(A)の構成と同様である。

40

【0066】

CPUアクセス要求信号1309は、通常動作モード時にアクティブ(Hレベル)になる。そして図15(B)に示すように、CPUアクセス要求信号1309がアクティブになると、読み出し禁止制御信号1308の状態に依存せずに信号1310はHレベルになる。そして、CPUからの読み出し信号1314がアクティブになると、センスアンプの出力信号1311、1312、1313がデータバス1318(図13の32)へ出力される。

【0067】

50

一方、CPUアクセス要求信号1309は、通常動作モード時以外のパラレルモード時やシリアルモード時等には非アクティブ(Lレベル)になる。そして、読み出し禁止制御信号1308がHレベル(禁止)で、CPUアクセス要求信号1309がLレベル(非アクティブ)の場合は、信号1310はLレベルとなる。これによりデータバス1318へはLレベルの固定値が出力される。

【0068】

11. 電子機器

図16に、以上説明したマイクロコンピュータを含む電子機器の機能ブロック図の一例を示す。この電子機器は、マイクロコンピュータ(半導体装置)1000と入力部1030と画像出力部1032と音出力部1034とを含む。またマイクロコンピュータ1000は、CPU1002、不揮発性メモリブロック1004、読み出し禁止制御回路1006、書き込み制御回路1008、マスクROM1010、RAM1012、タイマ1014、入力ポート1016、画像出力制御部1018、音出力制御部1020、電源生成部1022、バス(アドレス、データ)1024を含む。

10

【0069】

ここでRAM1012は、CPU1002などの作業領域となるものである。タイマ1014は、時計、カレンダーなどの各種の計時機能を有するものである。入力ポート1016は、入力部1030から入力されるデータを受け付けるためのものである。画像出力制御部1018は、LCDやCRTなどの画像出力部1032での画像出力を制御するためのものである。画像出力部1032がLCDである場合には、画像出力制御部1018はLCDドライバになる。音出力制御部1020は、スピーカなどの音出力部1034での音出力を制御するためのものである。電子機器がゲーム機である場合には、ゲーム音の出力の制御を行う。電源生成部1022は、マイクロコンピュータ1000で使用される各種電源(例えばEEPROM用の高電圧電源)を生成するためのものである。

20

【0070】

図17(A)に、電子機器の1つである携帯型ゲーム機の外觀図の例を示す。ユーザは、入力部である操作ボタン1040や十字キー1042を用いて、操作データを入力する。そしてユーザからの操作データと不揮発性メモリブロック等に基づいて書き込まれたゲームプログラムとに基づいてゲーム画像、ゲーム音が生成され、これらのゲーム画像、ゲーム音がディスプレイ1046、スピーカ1048により出力される。本実施形態によれば、不揮発性メモリブロックに書き込まれたゲームプログラムが第三者により不正に複製されるのを防止できる。また、ゲームプログラムに読み出し禁止の保護をかけた状態でゲーム機を出荷し、市場の反応を調べた後に回収し、回収したゲーム機のゲームプログラムをバージョンアップ版に書き換えて再出荷することも可能となる。この場合、不揮発性メモリブロックの全てのデータを消去することで、ゲームプログラムの書き換えが可能になる。

30

【0071】

図17(B)に、電子機器の1つである電子手帳の外觀図の例を示す。ユーザは、入力部であるキーボード1050により所望のデータを入力する。そして、ユーザが電子手帳に記憶させた文字や数字などの情報等は、ディスプレイ1052により表示される。本実施形態によれば、電子手帳を動作させるためのプログラム等の機密を保護できると共に、電子手帳やこの電子手帳が含むマイクロコンピュータの再利用を図ることが可能になる。

40

【0072】

図17(C)に、電子機器の1つである携帯型オーディオ機器(MD、CD、カセットデッキ)の外觀図を示す。この場合、例えばヘッドホンのリモコン1060に本実施形態のマイクロコンピュータが内蔵される。ユーザは、リモコン1060のディスプレイ1064の表示内容を確認しながら操作ボタン1062を操作して、オーディオ装置の再生や早送りなどの操作を行う。本実施形態によれば、リモコンを動作させるためのプログラム等の機密を保護できると共に、リモコンやこのリモコンが含むマイクロコンピュータの再利用を図ることが可能になる。

【0073】

50

なお本実施形態が適用できる電子機器は、図17(A)、(B)、(C)に示したものに
限られるものではなく、情報記憶媒体(CD-ROM、DVD等)の読み出し装置、携帯
電話、プリンタ、カーナビゲーションシステム、パーソナルコンピュータ等の種類の電子
機器に適用できる。

【0074】

なお本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変
形実施が可能である。

【0075】

例えば本実施形態では、半導体装置の1つであるマイクロコンピュータに本発明を適用し
た場合について説明したが、本発明はこれに限らず種々の半導体装置に適用できる。例え
ば図18に、論理機能ブロックであるゲートアレイブロック509を含む半導体装置の機
能ブロック図の例を示す。図11と異なるのは、CPUの代わりにゲートアレイブロック
509が設けられている点である。その他については図11と同様であるため詳細な説明
は省略する。ゲートアレイブロック509に、DSP、エラー訂正、画像生成、音生成、
データ圧縮などの各種の論理機能を持たせることで、不揮発性メモリブロック520に書
き込まれたデータに基づく各種の処理が可能になる。

10

【0076】

また本実施形態では不揮発性メモリがEEPROMである場合を例にとり説明を行ったが
、本発明における不揮発性メモリとしては、EEPROM以外にも例えば強誘電体メモリ
などの種々のメモリを考えることができる。

20

【0077】

また読み出し禁止の設定手法や、全てのデータが検出されたことを検出する手法や、読み
出し禁止の解除手法も、本実施形態で説明したものが特に望ましいが、これに限定される
ものではない。

【0078】

また読み出し禁止手段の構成も、本実施形態で説明したものが特に望ましいが、これに限
定されるものではない。

【0079】

【図面の簡単な説明】

【図1】本実施形態のマイクロコンピュータの構成例を示す機能ブロック図である。

30

【図2】読み出し禁止制御回路の構成例を示す機能ブロック図である。

【図3】図3(A)、(B)は、読み出し禁止制御回路の動作について説明するための図
である。

【図4】図4(A)は書き込み回路の構成例を示す図であり、図4(B)はその動作を説
明するためのタイミングチャート図である。

【図5】図5(A)、(B)、(C)は、全てのデータが消去されたことを検出する種々
の手法について説明するための図である。

【図6】電源オン時の動作について説明するためのタイミングチャート図である。

【図7】メモリセルアレイとEEPROMを別々に制御する手法について説明するための
図である。

40

【図8】読み出し禁止制御回路の構成の他の例を示す機能ブロック図である。

【図9】図9(A)は読み出し回路の構成例を示す図であり、図9(B)はその真理値表
を示す図である。

【図10】図10(A)、(B)は、出力制御回路及び出力バッファの構成例を示す図で
ある。

【図11】マイクロコンピュータの構成の他の例を示す機能ブロック図である。

【図12】図12(A)、(B)は、外部読み出し制御回路の構成例を示す図である。

【図13】マイクロコンピュータの構成の他の例を示す機能ブロック図である。

【図14】メモリ制御レジスタのレジスタ構成について説明するための図である。

【図15】図15(A)は、出力制御回路及び出力バッファの構成例を示す図であり、図

50

15 (B) はその真理値表を示す図である。

【図16】マイクロコンピュータを含む電子機器の構成例を示す機能ブロック図である。

【図17】図17(A)、(B)、(C)は、種々の電子機器の外観図の例を示す図である。

【図18】論理機能ブロックを含む半導体装置の構成例を示す機能ブロック図である。

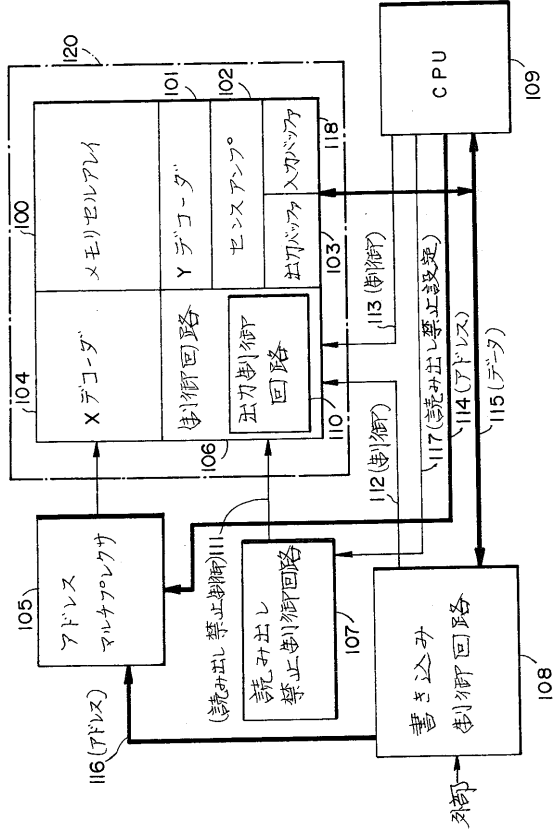
【符号の説明】

100	不揮発性メモリセルアレイ	
101	Yデコーダ	
102	センスアンプ	
103	出力バッファ	10
104	Xデコーダ	
105	アドレスマルチプレクサ	
106	制御回路	
107	読み出し禁止制御回路	
108	書き込み制御回路	
109	CPU	
110	出力制御回路	
111	読み出し禁止制御信号	
112	書き込み制御回路からの制御信号	
113	CPUからの制御信号	20
114	CPUからのアドレス信号	
115	データバス	
116	書き込み制御回路からのアドレス信号	
117	読み出し禁止設定信号	
118	入力バッファ	
200	不揮発性メモリセルアレイ	
201	Yデコーダ	
202	センスアンプ	
203	出力バッファ	
204	Xデコーダ	30
205	アドレスマルチプレクサ	
206	制御回路	
207	読み出し禁止制御回路	
208	書き込み制御回路	
209	CPU	
210	出力制御回路	
211	読み出し禁止制御信号	
212	書き込み制御回路からの制御信号	
213	CPUからの制御信号	
214	CPUからのアドレス信号	40
215	データバス	
216	書き込み制御回路からのアドレス信号	
217	読み出し禁止設定信号	
218	入力バッファ	
301	読み出し禁止制御回路	
302	読み出し禁止NANDゲート	
303	読み出し禁止NANDゲート	
304	読み出し禁止NANDゲート	
305	クロックドインバータ	
306	クロックドインバータ	50

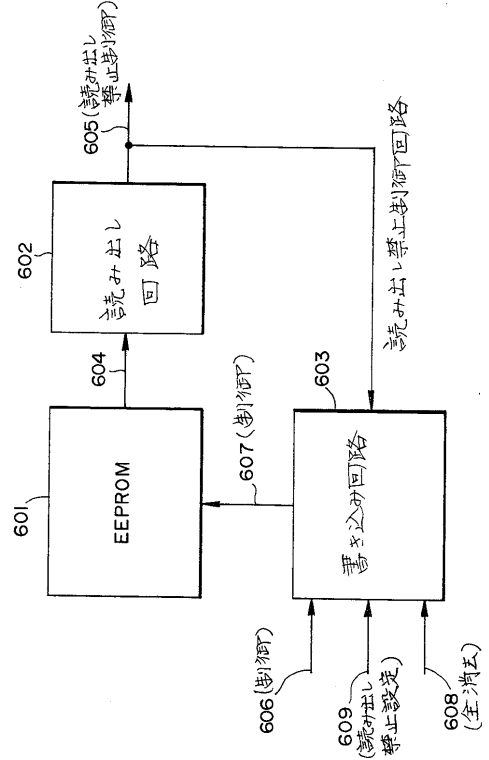
3 0 7	クロックインバータ	
3 0 8	読み出し禁止制御信号	
3 0 9	C P Uアクセス信号	
3 1 0	読み出し禁止信号	
3 1 1	センスアンプ出力信号	
3 1 2	センスアンプ出力信号	
3 1 3	センスアンプ出力信号	
3 1 4	読み出し信号	
3 1 5	データ信号	
3 1 6	データ信号	10
3 1 7	データ信号	
4 0 1	読み出し禁止制御回路	
4 0 2	読み出し禁止N O Rゲート	
4 0 3	読み出し禁止N O Rゲート	
4 0 4	読み出し禁止N O Rゲート	
4 0 5	クロックインバータ	
4 0 6	クロックインバータ	
4 0 7	クロックインバータ	
4 0 8	読み出し禁止制御信号	
4 0 9	C P Uアクセス信号	20
4 1 0	読み出し禁止信号	
4 1 1	センスアンプ出力信号	
4 1 2	センスアンプ出力信号	
4 1 3	センスアンプ出力信号	
4 1 4	読み出し信号	
4 1 5	データ信号	
4 1 6	データ信号	
4 1 7	データ信号	
5 0 0	不揮発性メモリセルアレイ	
5 0 1	Yデコーダ	30
5 0 2	センスアンプ	
5 0 3	出力バッファ	
5 0 4	Xデコーダ	
5 0 5	アドレスマルチプレクサ	
5 0 6	制御回路	
5 0 7	読み出し禁止制御回路	
5 0 8	書き込み制御回路	
5 0 9	ゲートアレイブロック	
5 1 0	出力制御回路	
5 1 1	読み出し禁止制御信号	40
5 1 2	書き込み制御回路からの制御信号	
5 1 3	ゲートアレイブロックからの制御信号	
5 1 4	ゲートアレイブロックからのアドレス信号	
5 1 5	データバス	
5 1 6	書き込み制御回路からのアドレス信号	
5 1 7	読み出し禁止設定信号	
5 1 8	入力バッファ	
6 0 1	E E P R O M	
6 0 2	読み出し回路	
6 0 3	書き込み回路	50

6 0 4	E E P R O M出力信号	
6 0 5	読み出し禁止制御信号	
6 0 6	制御信号(消去・書き込み信号)	
6 0 7	制御信号(消去・書き込み信号)	
6 0 8	全消去信号	
7 0 1	E E P R O M	
7 0 2	読み出し回路	
7 0 3	書き込み回路	
7 0 4	E E P R O M	
7 0 5	E E P R O Mの出力信号	10
7 0 6	読み出し禁止制御信号	
7 0 7	制御信号(消去・書き込み信号)	
7 0 8	制御信号(消去・書き込み信号)	
7 0 9	制御信号(消去・書き込み信号)	
7 1 0	全消去信号	
7 1 1	E E P R O Mの出力信号	
7 1 2	読み出し禁止設定信号	
8 0 1	読み出し禁止ANDゲート	
8 0 2	読み出し禁止ANDゲート	
8 0 3	読み出し禁止ANDゲート	20
8 0 4	読み出し禁止信号	
8 0 5	データバス信号	
8 0 6	データバス信号	
8 0 7	データバス信号	
8 0 8	データ出力信号	
8 0 9	データ出力信号	
8 1 0	データ出力信号	
9 0 1	読み出し禁止ORゲート	
9 0 2	読み出し禁止ORゲート	
9 0 3	読み出し禁止ORゲート	30
9 0 4	読み出し禁止信号	
9 0 5	データバス信号	
9 0 6	データバス信号	
9 0 7	データバス信号	
9 0 8	データ出力信号	
9 0 9	データ出力信号	
9 1 0	データ出力信号	

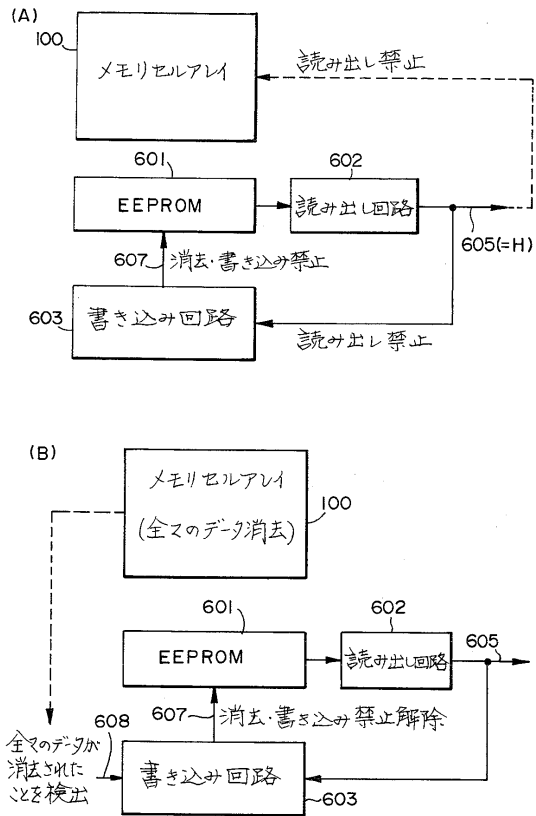
【 図 1 】



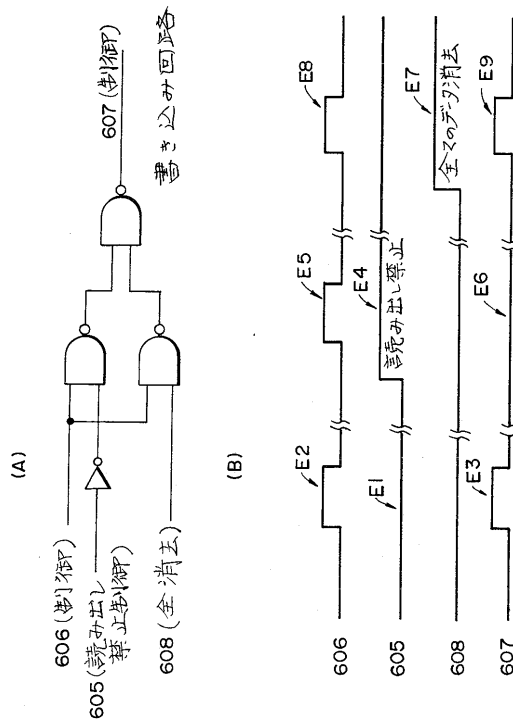
【 図 2 】



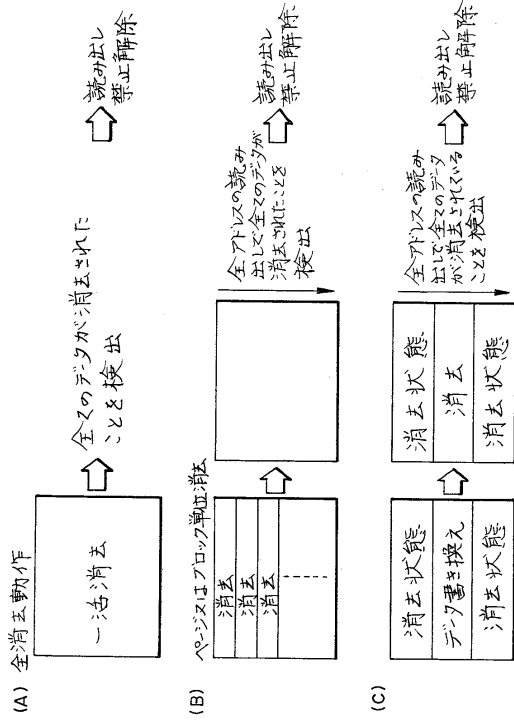
【 図 3 】



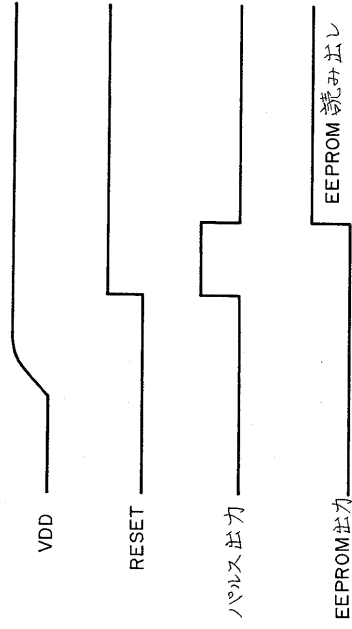
【 図 4 】



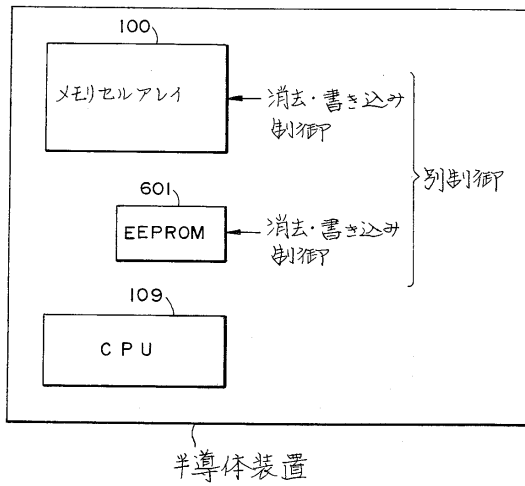
【 図 5 】



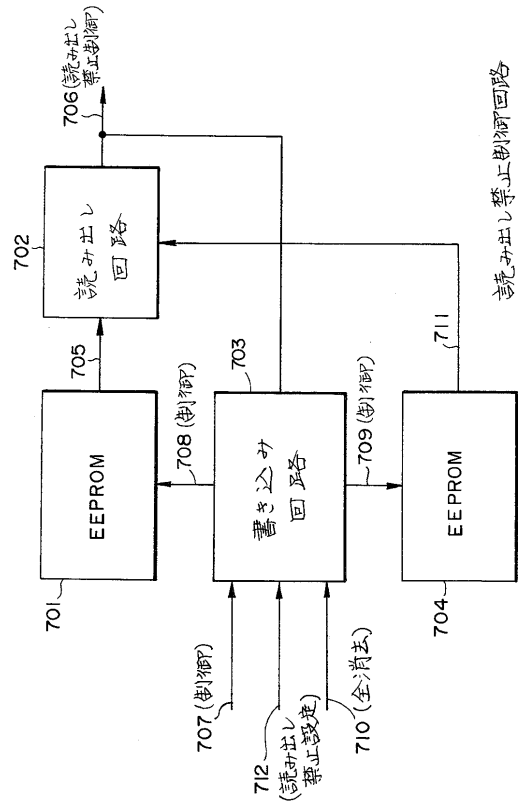
【 図 6 】



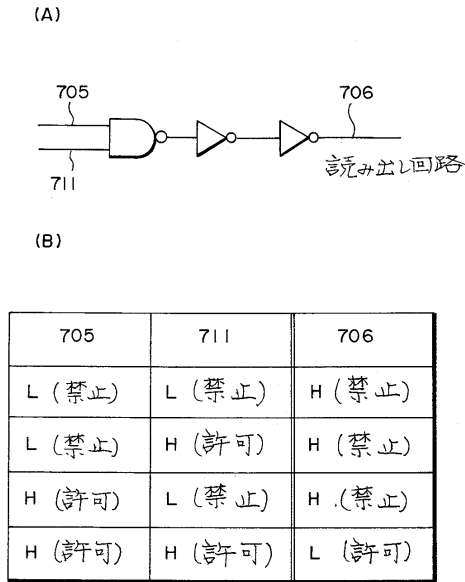
【 図 7 】



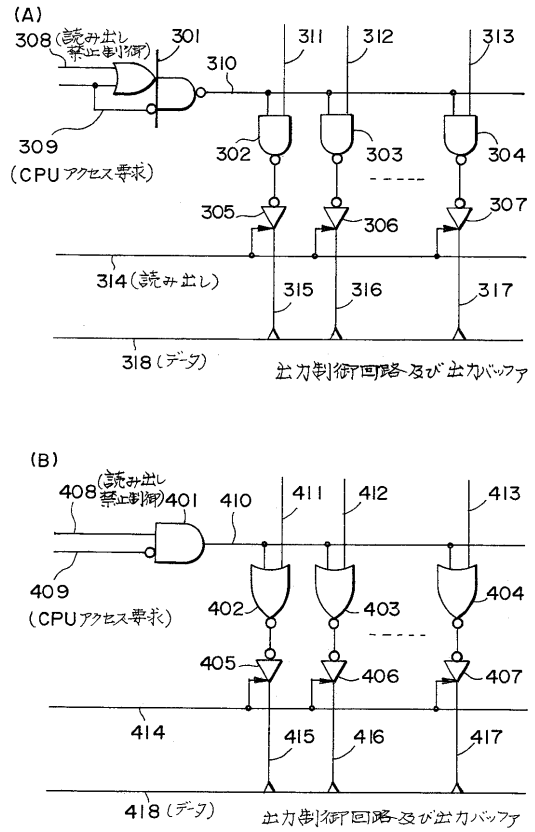
【 図 8 】



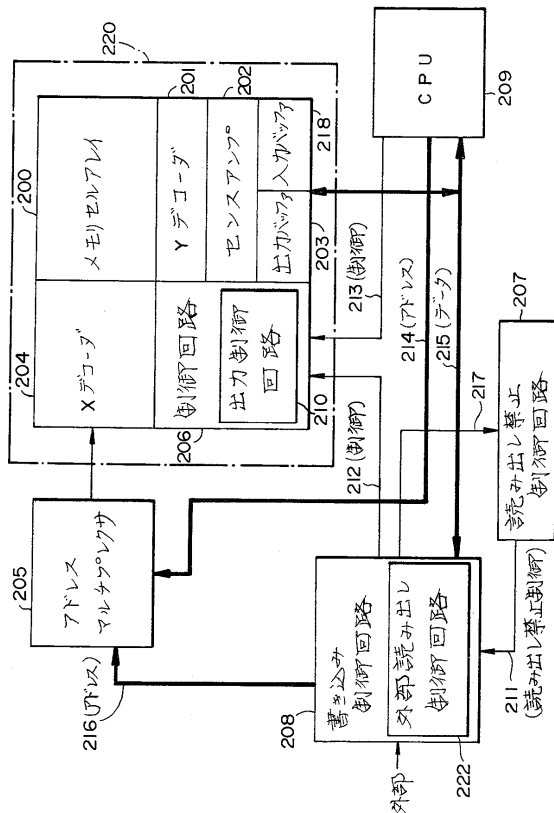
【 図 9 】



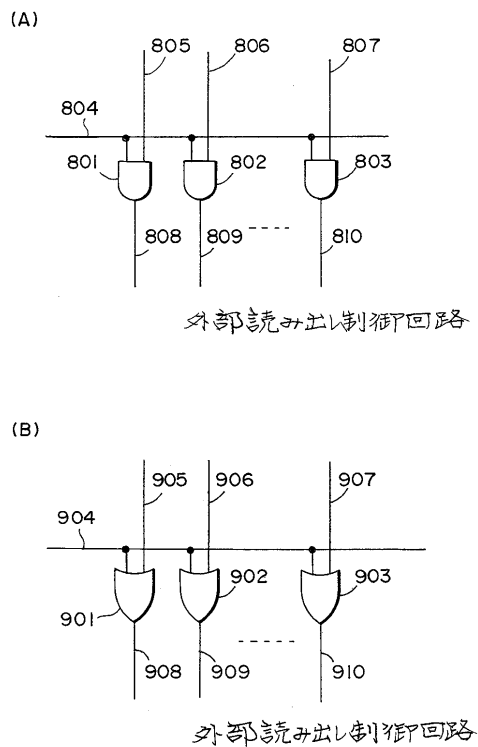
【 図 10 】



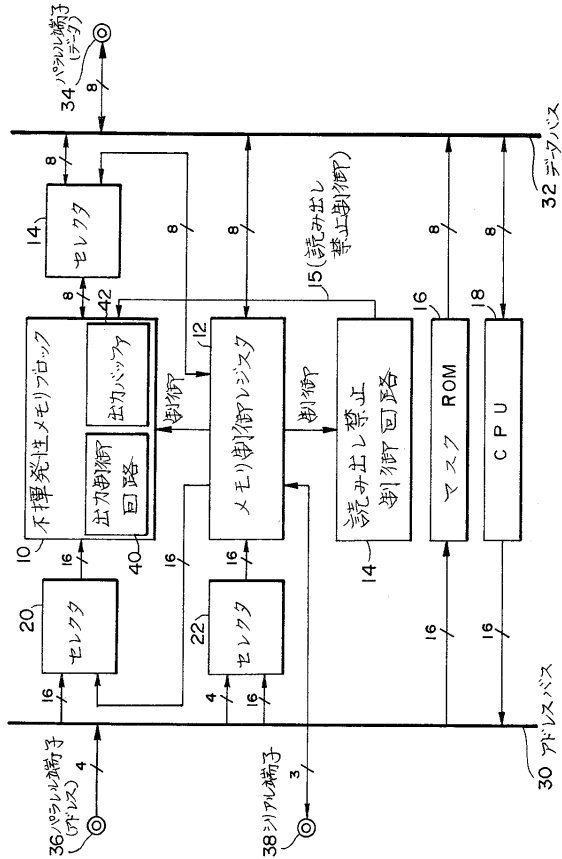
【 図 11 】



【 図 12 】



【図13】

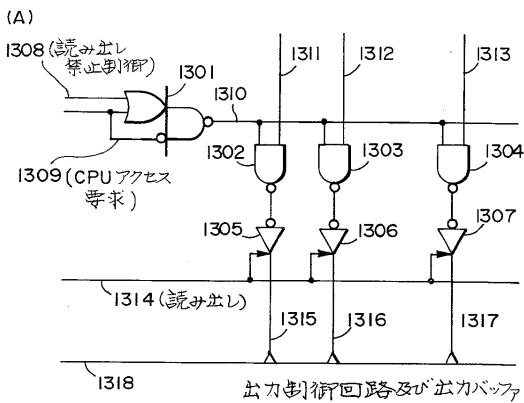


【図14】

メモリ制御レジスタ

レジスタアドレス	ビット	ビット名称	機能
000000	D7~D0	MA15~MA8	メモリアドレス上位
	D7~D0	MA7~MA0	メモリアドレス下位
	D7~D0	MD7~MD0	メモリデータ
	D7~D0	SD7~SD0	シリアルデータ
	D7~D4	SC3~SC0	シリアル制御
	D3~D0	SS3~SS0	シリアルステータス
	D7	ERASE	消去
	D6	FLASH	全消去
	D5	PROG	プログラム
	D4	PROT	プロテクト
	D3	ER348	全消去確認

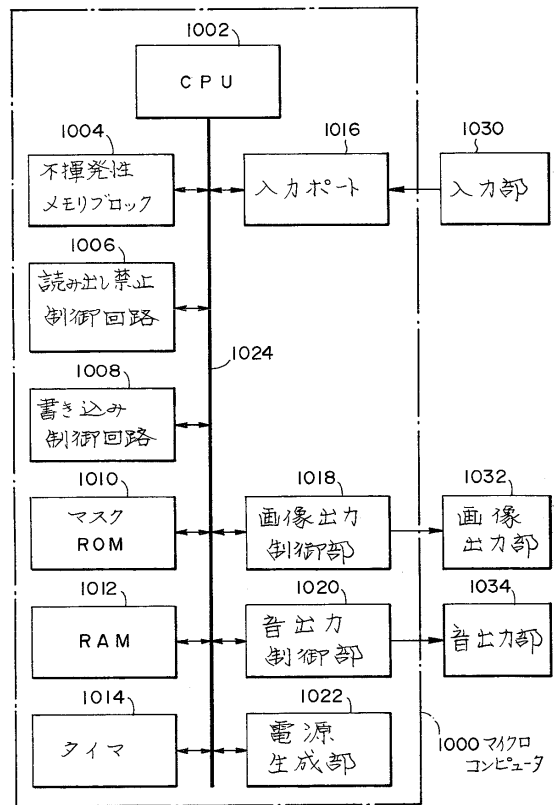
【図15】



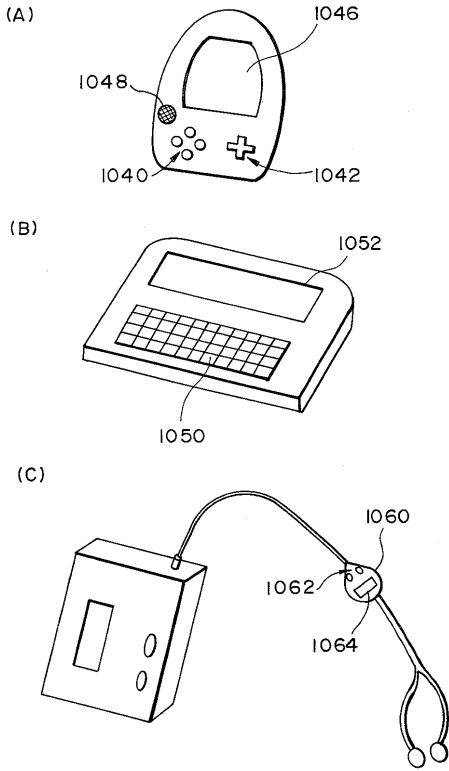
(B)

1308	1309	
L (許可)	H (通常動作モード)	データ読み出し許可
H (禁止)	H (通常動作モード)	データ読み出し許可
L (許可)	L (通常動作モード以外)	データ読み出し許可
H (禁止)	L (通常動作モード以外)	データ読み出し禁止

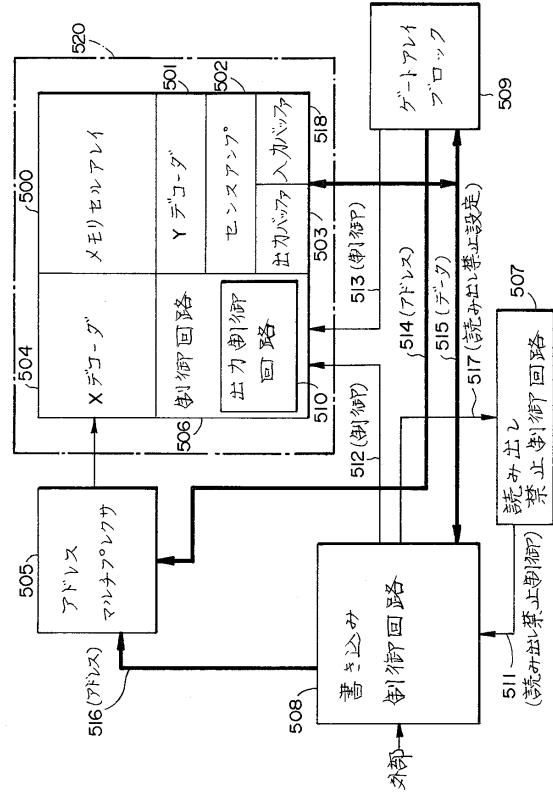
【図16】



【 図 17 】



【 図 18 】



【 図 17 】



【 図 18 】



フロントページの続き

審査官 永野 志保

- (56)参考文献 特開平08 - 292915 (JP, A)
特開昭62 - 194565 (JP, A)
特開平03 - 073044 (JP, A)
特開平05 - 020204 (JP, A)
特開平08 - 017993 (JP, A)
特開平06 - 208513 (JP, A)
特開平09 - 069067 (JP, A)
特開平06 - 139132 (JP, A)
特開平02 - 194565 (JP, A)
特開昭56 - 074899 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 21/02

G06F 15/78

G06F 21/24