



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월27일
 (11) 등록번호 10-1932588
 (24) 등록일자 2018년12월19일

(51) 국제특허분류(Int. Cl.)
 H01L 49/02 (2006.01) H01L 27/108 (2006.01)
 (52) CPC특허분류
 H01L 28/65 (2013.01)
 H01L 27/10805 (2013.01)
 (21) 출원번호 10-2017-0026311
 (22) 출원일자 2017년02월28일
 심사청구일자 2017년02월28일
 (65) 공개번호 10-2018-0099197
 (43) 공개일자 2018년09월05일
 (56) 선행기술조사문헌
 JP2013526012 A*
 KR1020070040714 A*
 KR1020070054022 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 한국과학기술연구원
 서울특별시 성북구 화랑로14길 5 (하월곡동)
 (72) 발명자
 편정준
 서울특별시 성북구 화랑로14길 5 (하월곡동)
 조철진
 서울특별시 성북구 화랑로14길 5 (하월곡동)
 (뒷면에 계속)
 (74) 대리인
 박영우, 김민태

전체 청구항 수 : 총 8 항

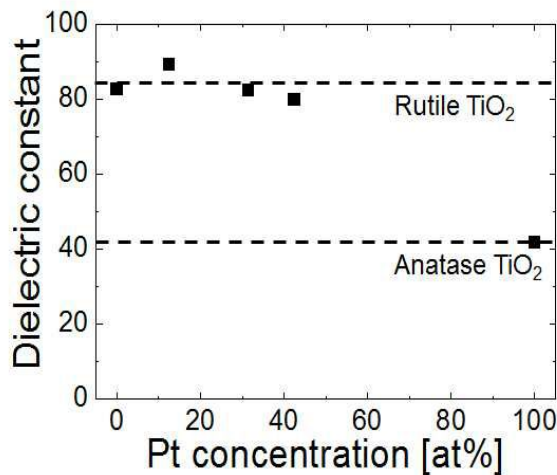
심사관 : 나영준

(54) 발명의 명칭 **반도체 메모리 소자의 커패시터 및 그 제조 방법**

(57) 요약

개시된 반도체 메모리 소자의 커패시터는, 하부 전극, 상기 하부 전극 위에 배치되며 티타늄 산화물을 포함하는 유전막 및 상기 유전막 위에 배치되는 상부 전극을 포함한다. 상기 하부 전극은, 제1 금속 및 제2 금속을 포함하고, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh) 및 팔라듐(Pd)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고, 상기 제2 금속은, 루테튬(Ru) 및 이리듐(Ir)으로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.

대표도 - 도10



- (52) CPC특허분류
 H01L 27/1085 (2013.01)
- (72) 발명자
 김상태
 서울특별시 성북구 화랑로14길 5 (하월곡동)
- 정두석**
 서울특별시 성북구 화랑로14길 5 (하월곡동)
- 백승협**
 서울특별시 성북구 화랑로14길 5 (하월곡동)
- 강종윤**
 서울특별시 성북구 화랑로14길 5 (하월곡동)

- 최지원**
 서울특별시 성북구 화랑로14길 5 (하월곡동)
- 김진상**
 서울특별시 성북구 화랑로14길 5 (하월곡동)
- 김성근**
 서울특별시 성북구 화랑로14길 5 (하월곡동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711041141
부처명	미래창조과학부
연구관리전문기관	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	20 nm 급 이하 디자인룰의 DRAM 소자 구현을 위한 고유전박막 원자층 증착법 기술 개발
기여율	1/1
주관기관	한국과학기술연구원
연구기간	2016.06.01 ~ 2017.05.31

명세서

청구범위

청구항 1

하부 전극;

상기 하부 전극 위에 직접 배치되며 티타늄 산화물을 포함하는 유전막; 및

상기 유전막 위에 배치되는 상부 전극을 포함하고,

상기 하부 전극은, 제1 금속 및 제2 금속의 합금을 포함하고, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh) 및 팔라듐(Pd)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고, 상기 제2 금속은, 루테튬(Ru) 및 이리듐(Ir)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고,

상기 티타늄 산화물은 루타일 구조를 가지고,

상기 하부 전극에서, 상기 제1 금속의 함량은 40at% 내지 60at%인 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 상부 전극은, 상기 제1 금속 및 상기 제2 금속을 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

청구항 6

하부 전극을 형성하는 단계;

상기 하부 전극 상에 직접, 티타늄 산화물을 포함하는 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 전극을 형성하는 단계를 포함하며,

상기 하부 전극은, 제1 금속 및 제2 금속의 합금을 포함하고, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh) 및 팔라듐(Pd)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고, 상기 제2 금속은, 루테튬(Ru) 및 이리듐(Ir)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고,

상기 티타늄 산화물은 루타일 구조를 가지고,

상기 하부 전극에서, 상기 제1 금속의 함량은 40at% 내지 60at%인 것을 특징으로 하는 커패시터의 제조 방법.

청구항 7

삭제

청구항 8

제6항에 있어서, 상기 하부 전극을 형성하는 단계는, 제1 서브 사이클과 제2 서브 사이클을 포함하며,

상기 제1 서브 사이클은,
 상기 제1 금속을 포함하는 제1 전구체를 제공하는 단계;
 상기 제1 전구체를 퍼지하는 단계;
 제1 반응 가스를 제공하는 단계; 및
 상기 제1 반응 가스 및 반응 부산물을 퍼지하는 단계를 포함하고,
 상기 제2 서브 사이클은,
 상기 제2 금속을 포함하는 제2 전구체를 제공하는 단계;
 상기 제2 전구체를 퍼지하는 단계;
 제2 반응 가스를 제공하는 단계; 및
 상기 제2 반응 가스 및 반응 부산물을 퍼지하는 단계를 포함하는 것을 특징으로 하는 커패시터의 제조 방법.

청구항 9

제8항에 있어서, 상기 제1 전구체는, MeCpPtMe_3 , CpPtMe_3 , $\text{Pt}(\text{acac})_2$, $\text{Pt}(\text{hfac})_2$, $\text{Pt}(\text{tmhd})_2$, $(\text{COD})\text{Pt}(\text{CH}_3)_3$, $\text{Pd}(\text{hfac})_2$, $\text{Pd}(\text{tmhd})_2$ 및 $\text{Os}_3(\text{CO})_{12}$ 로 이루어진 그룹에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 커패시터의 제조 방법.

청구항 10

제8항에 있어서, 상기 제2 전구체는, $\text{Ru}(\text{Cp})_2$, $\text{Ru}(\text{MeCp})_2$, $\text{Ru}(\text{EtCp})_2$, $\text{Ru}(\text{tmhd})_3$, $\text{Ru}(\text{mhd})_3$, RuO_4 , RuCl , RuCl_3 , 2,4-(dimethylpentadienyl)(ethylcyclopentadienyl)Ru, Ethylbenzene(1-ethyl-1,4cyclohexadiene)Ruthenium, bis(methylallyl)(1,5-cyclooctadiene)Ru, $(\text{MeCp})\text{Ir}(\text{CHD})$, $\text{Ir}(\text{acac})_3$, $\text{Ir}(\text{COD})(\text{Cp})$, $\text{Ir}(\text{EtCp})(\text{COD})$ 및 (1,5-hexadiene)(1-isopropyl-4-methylbenzene)Ru 로 이루어진 그룹에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 커패시터의 제조 방법.

청구항 11

제8항에 있어서, 상기 제1 및 제2 반응 가스는, 산소, 산소 플라즈마, 오존, 산화질소 및 아산화질소로 이루어진 그룹에서 선택된 적어도 하나를 포함하거나, 수소, 수소 플라즈마, 암모니아 및 암모니아 플라즈마로 이루어진 그룹에서 선택된 적어도 하나를 포함하는 것을 특징으로 하는 커패시터의 제조 방법.

청구항 12

제6항에 있어서, 상기 티타늄 산화물을 포함하는 유전막은, 원자층 증착법에 의해 형성되며, 증착 온도는 400℃ 이하인 것을 특징으로 하는 커패시터의 제조 방법.

청구항 13

삭제

발명의 설명

기술 분야

[0001] 본 발명은 커패시터에 관한 것으로, 보다 자세하게는, 반도체 메모리 소자의 커패시터 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 반도체 산업의 비약적인 발전과 동시에 반도체 소자의 집적도는 크게 증가하고 있다. 특히 DRAM 메모리 소자의 경우 20nm 이하 급의 디자인룰이 적용된 초미세 집적 소자 개발이 진행 중이다. 20nm 이하 급 디자인룰의 초미세집적 DRAM 소자 개발의 핵심 기술은 전하를 저장하는 커패시터 기술 개발이다.

[0003] 이진법 체계의 정보 기록을 담당하고 있는 커패시터는 동작 전압 하에서 큰 정전 용량을 확보함과 동시에 낮은 누설 전류를 만족해야 한다. 이러한 요구 사항을 충족시키기 위해 높은 유전율을 갖는 유전 소재와 낮은 누설 전류를 확보할 수 있는 전극 소재의 개발이 진행되고 있다. 상기 유전 물질로서, 규소산화물(SiO_2), 알루미늄산화물(Al_2O_3), hafnium산화물(HfO_2), zirconium산화물(ZrO_2) 등이 사용되어 왔고, 현재 폴리실리콘 전극에서, TiN 등이 전극물질로 사용되고 있다. 그러나 기존 소재 자체가 가지는 한계로 인해 차세대 소자 개발을 위해서는 새로운 유전체 및 전극 소재 개발이 필요하다.

[0004] 차세대 DRAM 커패시터 소자의 유전박막으로는 높은 유전율을 가지는 루타일 구조의 티타늄산화물(TiO_2) 및 Al 등이 도핑된 티타늄 산화물 (Al-doped TiO_2) 등이 연구되고 있다. 루타일 구조의 티타늄 산화물은 고온 안정성으로, 루타일 구조 형성을 위해서는 700도 이상의 고온이 요구되어 일반적인 반도체 공정에서는 형성이 어렵다. 그러나 Ru 또는 Ir 등의 금속 박막 또는 RuO_2 및 IrO_2 등의 산화물 박막을 전극물질로 사용하는 경우, 저온에서도 루타일 구조의 티타늄산화물 박막 형성이 가능한 것으로 알려져 있다. 특히 Ru 은 비교적 높은 일함수를 가지며, 우수한 단차피복특성을 가지는 공정이 개발되어 있어 티타늄산화물 계열 박막과 함께 차세대 DRAM 커패시터 소자의 전극 소재로 주목받고 있다.

[0005] 그러나 Ru 전극의 경우 일함수가 약 4.8 eV 정도로 다른 귀금속 전극 Ir (일함수 5.1 ~ 5.4 eV) 또는 Pt (일함수 5.1 ~ 5.8 eV) 등에 비해 다소 낮다. 따라서, Ru 전극이 커패시터 전극으로 사용되었을 때, 누설 전류가 다소 높은 단점을 가지고 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 특허문헌 1: 한국등록특허공보 제10-0601959호
- (특허문헌 0002) 특허문헌 2: 한국등록특허공보 제10-0861678호

발명의 내용

해결하려는 과제

- [0007] 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 루타일 구조의 티타늄 산화물 계열 유전 박막 형성을 가능하게 함과 동시에 누설 전류를 감소시킬 수 있는 반도체 메모리 소자의 커패시터를 제공하기 위한 것이다.
- [0008] 또한, 본 발명은 상기 반도체 메모리 소자의 커패시터의 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0009] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 반도체 메모리 소자의 커패시터는, 하부 전극, 상기 하부 전극 위에 배치되며 티타늄 산화물을 포함하는 유전막 및 상기 유전막 위에 배치되는 상부 전극을 포함한다. 상기 하부 전극은, 제1 금속 및 제2 금속을 포함하고, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh) 및 팔라듐(Pd)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고, 상기 제2 금속은, 루테튬(Ru) 및 이리듐(Ir)으로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.
- [0010] 일 실시예에 따르면, 상기 티타늄 산화물은 루타일 구조를 갖는다.
- [0011] 일 실시예에 따르면, 상기 하부 전극에서, 상기 제1 금속의 함량은 5at% 내지 70at%이며, 보다 바람직하게는 40at% 내지 60at%이다.
- [0012] 일 실시예에 따르면, 상기 상부 전극은, 상기 제1 금속 및 상기 제2 금속을 포함한다.
- [0013] 본 발명의 일 실시예에 따른 커패시터의 제조 방법은, 하부 전극을 형성하는 단계, 상기 하부 전극 상에, 티타늄 산화물을 포함하는 유전막을 형성하는 단계 및 상기 유전막 상에 상부 전극을 형성하는 단계를 포함한다. 상기 하부 전극은, 제1 금속 및 제2 금속을 포함하고, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh) 및 팔라듐(Pd)으로 이루어진 그룹에서 선택된 적어도 하나를 포함하고, 상기 제2 금속은, 루테튬(Ru) 및 이리듐(Ir)

으로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.

- [0014] 일 실시예에 따르면, 상기 하부 전극을 형성하는 단계는, 제1 서브 사이클과 제2 서브 사이클을 포함한다. 상기 제1 서브 사이클은, 상기 제1 금속을 포함하는 제1 전구체를 제공하는 단계, 상기 제1 전구체를 퍼지하는 단계, 반응 가스를 제공하는 단계 및 상기 반응 가스 및 반응 부산물을 퍼지하는 단계를 포함하고, 상기 제2 서브 사이클은, 상기 제2 금속을 포함하는 제2 전구체를 제공하는 단계, 상기 제2 전구체를 퍼지하는 단계, 반응 가스를 제공하는 단계 및 상기 반응 가스 및 반응 부산물을 퍼지하는 단계를 포함한다.
- [0015] 일 실시예에 따르면, 상기 제1 전구체는, MeCpPtMe_3 , CpPtMe_3 , $\text{Pt}(\text{acac})_2$, $\text{Pt}(\text{hfac})_2$, $\text{Pt}(\text{tmhd})_2$, $(\text{COD})\text{Pt}(\text{CH}_3)_3$, $\text{Pd}(\text{hfac})_2$, $\text{Pd}(\text{tmhd})_2$ 및 $\text{Os}_3(\text{CO})_{12}$ 로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.
- [0016] 일 실시예에 따르면, 상기 제2 전구체는, $\text{Ru}(\text{Cp})_2$, $\text{Ru}(\text{MeCp})_2$, $\text{Ru}(\text{EtCp})_2$, $\text{Ru}(\text{tmhd})_3$, $\text{Ru}(\text{mhd})_3$, RuO_4 , RuCl , RuCl_3 , 2,4-(dimethylpentadienyl)(ethylcyclopentadienyl)Ru, Ethylbenzene(1-ethyl-1,4cyclohexadiene)Ruthenium, bis(methylallyl)(1,5-cyclooctadiene)Ru, (MeCp)Ir(CHD), Ir(acac)₃, Ir(COD)(Cp), Ir(EtCp)(COD) 및 (1,5-hexadiene)(1-isopropyl-4-methylbenzene)Ru 로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.
- [0017] 일 실시예에 따르면, 상기 반응 가스는, 산소, 산소 플라즈마, 오존, 산화질소 및 아산화질소로 이루어진 그룹에서 선택된 적어도 하나를 포함하거나, 수소, 수소 플라즈마, 암모니아 및 암모니아 플라즈마로 이루어진 그룹에서 선택된 적어도 하나를 포함한다.
- [0018] 일 실시예에 따르면, 상기 티타늄 산화물을 포함하는 유전막은, 원자층 증착법에 의해 형성되며, 증착 온도는 400°C 이하이다.

발명의 효과

- [0019] 본 발명에 따르면, 저온에서 티타늄 산화물의 루타일 구조를 형성함으로써, 소자의 열화를 방지하고, 고유전율을 갖는 유전막을 얻을 수 있으며, 동시에 일함수 증가에 의한 누설 전류 감소의 효과를 얻을 수 있다. 또한, 산화물 형태가 아닌 금속질의 커패시터 전극을 이용함으로써, 열처리 공정 등에서 열화되는 것을 방지할 수 있다.

도면의 간단한 설명

- [0020] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 커패시터 제조 방법을 도시한 단면도들이다.
- 도 7은 본 발명의 일 실시예에 따른 커패시터 제조 방법에서, 전극막을 형성하는 단계를 나타내는 타이밍도이다.
- 도 8은 본 발명의 실시예에 따라 형성된 백금-루테늄 박막의 조성 변화에 따른 X-선 회절 패턴이다.
- 도 9는 본 발명의 실시예에 따라 백금-루테늄 박막 위에 형성된 이산화 티타늄 유전막의 X-선 회절 패턴이다.
- 도 10은 본 발명의 실시예에 따라 백금-루테늄 박막 위에 형성된 이산화 티타늄 유전막의 유전율을 나타내는 그래프이다.
- 도 11은 본 발명의 실시예에 따라 형성된 백금-루테늄 박막을 자외광 전자 분광법(UPS)으로 관찰한 조성 변화에 따른 일함수 변화를 나타내는 그래프이다.
- 도 12는 본 발명의 실시예에 따라 백금-루테늄 박막 위에 형성된 이산화 티타늄 유전막의 누설전류를 측정된 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 출원에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0022] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가

아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0023] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 커패시터 제조 방법을 도시한 단면도들이다. 도 7은 본 발명의 일 실시예에 따른 커패시터 제조 방법에서, 전극막을 형성하는 단계를 나타내는 타이밍도이다. 예를 들어, 하기의 제조 방법은, DRAM의 커패시터를 제조하기 위한 것일 수 있다.
- [0024] 도 1을 참조하면, 기판(10) 상부에 층간 절연막(11) 및 상기 층간 절연막(11)을 관통하는 콘택 플러그(12)를 형성한다.
- [0025] 예를 들어, 상기 기판(10) 상부에 층간 절연막(11)을 증착하고, 상기 층간 절연막(11)을 식각하여 상기 기판(10)이 일부를 노출하는 콘택 홀을 형성한다. 다음으로, 상기 콘택 홀을 충전하는 도전층을 형성한 후, 에치 백(etch-back) 또는 화학기계연마(CMP) 등을 수행하여, 상기 콘택 홀에만 매립되는 콘택 플러그(12)를 형성한다.
- [0026] 예를 들어, 상기 층간 절연막(11)은, 실리콘 산화물을 포함할 수 있다. 구체적으로, 상기 층간 절연막(11)은 HDP(High Density Plasma) 산화막, BPSG(Boron Phosphorus Silicate Glass)막, PSG(Phosphorus Silicate Glass)막, PETEOS(Plasma Enhanced Tetra EthylOrtho Silicate)막, PECVD(Plasma Enhanced Chemical Vapor Deposition)막, USG(Un-doped Silicate Glass)막, FSG(Fluorinated Silicate Glass)막, CDO(Carbon Doped Oxide)막 및 OSG(Organic Silicate Glass)막 중 어느 하나를 이용하여 단층막 또는 이들이 적층된 적층막으로 형성될 수 있다.
- [0027] 상기 콘택 플러그(12)를 형성하는 도전층은, 텅스텐, 구리, 티타늄, 탄탈륨, 이들의 질화물, 이들의 실리사이드, 도핑된 폴리실리콘 등과 같은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 콘택 플러그(12)는 폴리실리콘/TiSix(x는 1 내지 10)/TiN의 적층 구조, W/TiN의 적층 구조 또는 TiN의 단일막 등으로 형성될 수 있다.
- [0028] 도 2를 참조하면, 상기 콘택 플러그(12) 및 상기 층간 절연막(11)의 상부에 식각 정지막(13) 및 희생 절연막(14)을 형성한다.
- [0029] 상기 식각 정지막(13) 및 상기 희생 절연막(14)은 서로 다른 물질을 포함할 수 있다. 예를 들어, 상기 식각 정지막(13)은 실리콘 질화물과 같은 질화물 계열의 물질을 포함할 수 있으며, 상기 희생 절연막(14)은 실리콘 산화물과 같은 산화물 계열의 물질을 포함할 수 있다.
- [0030] 도 3을 참조하면, 포토리소그래피 등의 식각 공정을 이용하여, 상기 식각 정지막(13) 및 상기 희생 절연막(14)을 식각하여, 상기 콘택 플러그(12)를 노출하는 홀을 형성한다. 다음으로, 상기 콘택 플러그(12) 및 상기 희생 절연막(14)을 커버하는 하부 전극막(15)을 형성한다.
- [0031] 상기 하부 전극막(15)은 적어도 제1 금속 및 제2 금속을 포함한다. 상기 제1 금속 및 상기 제2 금속은, 서로 다른 백금족 원소일 수 있다. 상기 제1 금속은, 상기 제2 금속보다 높은 일 함수를 갖는다. 예를 들어, 상기 제1 금속은 백금(Pt), 오스뮴(Os), 로듐(Rh), 팔라듐(Pd) 등을 포함할 수 있다. 상기 제2 금속은 상기 제1 금속보다 낮은 일함수를 가지며, 그 산화물이 루타일(rutile) 구조를 갖는다. 예를 들어, 상기 제2 금속은 루테튬(Ru), 이리듐(Ir) 등을 포함할 수 있다. 따라서, 상기 하부 전극막(15)은 상기 제1 금속 및 상기 제2 금속의 합금을 포함할 수 있다.
- [0032] 상기 제1 금속 및 제2 금속을 갖는 포함하는 하부 전극막(15)을 형성하기 위하여, 원자층 증착법(ALD), 플라즈마 강화 원자층 증착법(PEALD), 화학기상증착법(CVD) 등이 이용될 수 있으며, 일 실시예에서, 원자층 증착법이 이용될 수 있다.
- [0033] 상기 원자층 증착법의 수행을 위하여, 상기 제1 금속을 포함하는 제1 전구체, 상기 제2 금속을 포함하는 제2 전구체 및 반응 가스가 제공될 수 있다. 상기 제1 전구체, 상기 제2 전구체 및 상기 반응 가스 각각을 제공한 후에는 퍼지를 위한 퍼지 가스가 제공될 수 있다.
- [0034] 예를 들어, 도 7을 참조하면, 제1 서브 사이클에서, 제1 전구체를 주입하는 단계, 퍼지 가스를 주입하는 단계, 반응 가스를 주입하는 단계 및 퍼지 가스를 주입하는 단계가 수행될 수 있으며, 제2 서브 사이클에서, 제2 전구체를 주입하는 단계, 퍼지 가스를 주입하는 단계, 반응 가스를 주입하는 단계 및 퍼지 가스를 주입하는 단계가 수행될 수 있다. 또한, 수퍼 사이클 내에서 상기 제1 서브 사이클은 m번, 상기 제2 서브 사이클은 n번이 수행될

수 있으며(m 및 n은 자연수), 상기 수퍼 사이클이 반복됨으로써, 목적하는 두께를 갖는 하부 전극막(15)이 형성될 수 있다.

- [0035] 예를 들어, 제1 서브 사이클에서, 원자층 증착 챔버 내에 주입된 상기 제1 전구체는, 증착 대상에 흡착한다. 이어서, 흡착되지 않은 상기 제1 전구체를 퍼지하기 위하여 퍼지 가스가 제공된다. 상기 반응 가스는 상기 제1 전구체와 반응하여, 제1 금속의 원자층을 형성할 수 있다. 반응 부산물 및 잔류하는 반응 가스를 퍼지하기 위하여 퍼지 가스가 다시 제공된다. 유사한 방법으로, 제2 서브 사이클을 통해 제2 금속이 형성될 수 있다.
- [0036] 예를 들어, 상기 제1 전구체는, MeCpPtMe_3 , CpPtMe_3 , $\text{Pt}(\text{acac})_2$, $\text{Pt}(\text{hfac})_2$, $\text{Pt}(\text{tmhd})_2$, $(\text{COD})\text{Pt}(\text{CH}_3)_3$, $\text{Pd}(\text{hfac})_2$, $\text{Pd}(\text{tmhd})_2$, $\text{Os}_3(\text{CO})_{12}$ 등을 포함할 수 있다. 이들은 각각 단독으로 또는 혼합되어 사용될 수 있다.
- [0037] 예를 들어, 상기 제2 전구체는, $\text{Ru}(\text{Cp})_2$, $\text{Ru}(\text{MeCp})_2$, $\text{Ru}(\text{EtCp})_2$, $\text{Ru}(\text{tmhd})_3$, $\text{Ru}(\text{mhd})_3$, RuO_4 , RuCl , RuCl_3 , 2,4-(dimethylpentadienyl)(ethylcyclopentadienyl)Ru, Ethylbenzene(1-ethyl-1,4cyclohexadiene)Ruthenium, bis(methylallyl)(1,5-cyclooctadiene)Ru, (MeCp)Ir(CHD), Ir(acac)₃, Ir(COD)(Cp), Ir(EtCp)(COD), (1,5-hexadiene)(1-isopropyl-4-methylbenzene)Ru 등을 포함할 수 있다. 이들은 각각 단독으로 또는 혼합되어 사용될 수 있다.
- [0038] 예를 들어, 상기 반응 가스는 산소, 산소 플라즈마, 오존, 산화질소, 아산화질소 등의 산화제, 또는 수소, 수소 플라즈마, 암모니아, 암모니아 플라즈마 등과 같은 환원제를 포함할 수 있다. 이들은 각각 단독으로 또는 혼합되어 사용될 수 있다.
- [0039] 예를 들어, 상기 퍼지 가스는, 질소 gas와 같은 불활성 가스를 포함할 수 있다.
- [0040] 일 실시예에서, 상기 제1 전구체 및 상기 제2 전구체를 제공하기 위하여, 아르곤 gas와 같은 불활성 gas가 운반 gas로서 이용될 수 있다.
- [0041] 예를 들어, 상기 하부 전극막(15)에서, 상기 제1 금속의 원자 비율(at%)은 5at% 내지 70at%일 수 있으며, 바람직하게는 40at% 내지 60at%일 수 있다. 상기 제1 금속의 함량이 과소할 경우, 일함수 감소로 인하여 누설 전류가 증가할 수 있으며, 제1 금속의 함량이 과대할 경우, 하부 전극 위에 형성되는 티타늄 산화물(TiO_2)이 나타나 제 상을 가짐으로써, 유전율이 감소할 수 있다.
- [0042] 도 4를 참조하면, 에치 백(etch-back) 또는 화학기계연마(CMP) 등을 수행하여, 상기 희생 절연막(14) 위에 형성된 상기 하부 전극막(15)을 제거한다. 따라서, 상기 희생 절연막(14)이 노출되고, 하부 전극(15a)이 형성된다. 상기 하부 전극(15a)은 수평으로 연장되는 바닥부 및 상기 바닥부로부터 수직 방향으로 연장되는 측벽을 포함할 수 있다. 예를 들어, 상기 하부 전극(15a)은 실린더 형상을 가질 수 있다.
- [0043] 다음으로, 상기 희생 절연막(14)을 제거한다. 상기 희생 절연막(14)을 제거하기 위하여, 상기 희생 절연막(14)에 대하여, 예를 들어, 산화물에 대하여 식각 특성이 우수한 식각액을 제공할 수 있다. 상기 식각액은 상기 희생 절연막(14)에 대하여 식각 선택성을 가지므로, 상기 식각 정지막(13)은 식각되지 않고 잔류할 수 있다.
- [0044] 도 5를 참조하면, 상기 하부 전극(15a)을 커버하는 유전막(16)을 형성한다. 상기 유전막(16)은 티타늄 산화물을 포함한다. 상기 유전막(16)은, 상기 하부 전극(15a)의 표면 및 상기 식각 정지막(13)의 상면을 커버할 수 있다. 상기 티타늄 산화물은 이산화 티타늄(TiO_2), 알루미늄(Al) 등이 도핑된 이산화 티타늄(TiO_2), 스트론튬 티타늄 산화물(SrTiO_3) 등의 고유전체를 포함할 수 있다.
- [0045] 바람직하게, 상기 유전막(16)의 티타늄 산화물은 루타일 구조를 갖는다. 상기 하부 전극(15a)은, 루테튬(Ru), 이리듐(Ir) 등을 포함하는 제2 금속을 포함하므로, 상기 하부 전극(15a) 위에 형성되는 티타늄 산화물 유전막은 루타일 구조를 가질 수 있으며, 따라서, 높은 유전율을 가질 수 있다. 또한, 비교적 저온, 예를 들어, 400°C 이하에서 루타일 구조의 티타늄 산화물 유전막을 형성할 수 있다. 따라서, 소자의 열화를 방지하고, 공정 효율성을 개선할 수 있다.
- [0046] 상기 유전막(16)은, 원자층 증착법(ALD), 플라즈마 강화 원자층 증착법(PEALD), 화학기상증착법(CVD) 등에 의해 형성될 수 있다. 일 실시예에서, 원자층 증착법이 이용될 수 있다.
- [0047] 예를 들어, 상기 원자층 증착법의 수행을 위하여, 티타늄 전구체를 제공하는 단계, 퍼지 가스를 주입하는 단계, 반응 가스를 주입하는 단계 및 퍼지 가스를 주입하는 단계가 서브 사이클로 수행될 수 있으며, 상기 서브 사이

클을 반복 수행함으로써 목적하는 두께를 갖는 유전막(16)이 형성될 수 있다.

- [0048] 예를 들어, 상기 티타늄 전구체는 $Ti(NEtMe)_4$, $Ti[OCH(CH_3)_2]_4$, TiX_4 (X는 할로젠) 등을 포함할 수 있다. 상기 반응 가스로는 오존, 산소, 산소 플라즈마, 과산화수소 등이 사용될 수 있다.
- [0049] 바람직하게 상기 유전막(16)은, 상기 하부 전극(15a)과 직접 접촉할 수 있다.
- [0050] 도 6을 참조하면, 상기 유전막(16) 상부에 상부 전극(17)을 형성한다. 상기 상부 전극(17)은, 상기 하부 전극(15a)과 동일하게, 일함수가 상대적으로 크며, 백금(Pt), 오스뮴(Os), 로듐(Rh), 팔라듐(Pd) 등을 포함하는 제 1 금속 및 상기 제1 금속보다 일함수가 낮으며, 그 산화물이 루타일(rutile) 구조를 갖는 루테튬(Ru), 이리듐(Ir) 등을 포함하는 제2 금속을 포함할 수 있다. 상기 상부 전극(17)은, 상기 하부 전극(15)과 동일하게 원자층 증착법 등에 의해 형성될 수 있다.
- [0051] 다른 실시예에서, 상기 상부 전극(17)은 상기 하부 전극(15a)과 다른 물질을 포함할 수도 있다. 예를 들어, 제1 금속 및 제2 금속 중 어느 하나만을 포함하거나, 탄탈륨 질화물, 텅스텐, 텅스텐 질화물, 티타늄 질화물, 도핑된 폴리실리콘을 포함할 수 있으며, 단일층 구조 또는 적층 구조를 가질 수 있다.
- [0052] 다른 실시예에서, 상기 상부 전극(17)이 상기 제1 금속 및 제2 금속을 포함하고, 상기 하부 전극(15a)이 제1 금속 및 제2 금속 중 어느 하나만을 포함하거나, 탄탈륨 질화물, 텅스텐, 텅스텐 질화물, 티타늄 질화물, 도핑된 폴리실리콘을 포함할 수도 있다.
- [0053] 본 발명에 따르면, 일함수가 상대적으로 크며, 백금(Pt), 오스뮴(Os), 로듐(Rh), 팔라듐(Pd) 등을 포함하는 제 1 금속 및 상기 제1 금속보다 일함수가 낮으며, 그 산화물이 루타일(rutile) 구조를 갖는 루테튬(Ru), 이리듐(Ir) 등을 포함하는 제2 금속을 포함하는 커패시터 전극을 제공하고, 그 위에 티타늄 산화물 유전막을 형성한다. 따라서, 저온에서 티타늄 산화물의 루타일 구조를 형성함으로써, 소자의 열화를 방지하고, 고유전율을 갖는 유전막을 얻을 수 있으며, 동시에 일함수 증가에 의한 누설 전류 감소의 효과를 얻을 수 있다. 또한, 상기 커패시터 전극은 산화물 형태가 아니므로, 열처리 공정 등에서 열화되는 문제점을 방지할 수 있다.
- [0054] 이하에서는, 구체적인 실시예를 통하여, 본 발명에 따른 커패시터 및 그 제조 방법에 대하여 보다 상세하게 설명하기로 한다.
- [0055] 실시예
- [0056] 백금 전구체로서, $MeCpPtMe_3$ 를 사용하고, 루테튬 전구체로서, (1,5-hexadiene)(1-isopropyl-4-methylbenzene)Ru를 사용하고, 반응 가스로서 산소 가스를 사용하고, 퍼지 가스로서 질소 가스를 이용하여 도 7을 참조하여 설명된 사이클을 반복(350회)하여 원자층 증착을 수행함으로써(증착 온도 약 300°C), 백금-루테튬 박막을 형성하였다. 상기 백금-루테튬 박막을 형성함에 있어서, 서브 사이클 횟수를 조절하여 백금의 함량을 0at%, 9at%, 12at%, 18at%, 21at%, 31at%, 43at%, 100at%로 조정하였으며, 이에 따라 두께가 약 10nm 내지 15nm인 박막을 얻었다.
- [0057] 상기 박막 상에 원자층 증착법을 이용하여, 두께가 약 30nm인 이산화 티타늄 유전막을 형성하고(증착 온도 약 260°C, 반응 가스로 오존 이용), 그 위에 백금을 이용하여 두께가 약 40nm인 상부 전극을 형성하였다.
- [0058] 도 8은 본 발명의 실시예에 따라 형성된 백금-루테튬 박막의 조성 변화에 따른 X-선 회절 패턴이다. 도 9는 본 발명의 실시예에 따라 백금-루테튬 박막 위에 형성된 이산화 티타늄 유전막의 X-선 회절 패턴이다. 도 10은 본 발명의 실시예에 따라 백금-루테튬 박막 위에 형성된 이산화 티타늄 유전막의 유전율을 나타내는 그래프이다. 도 11은 본 발명의 실시예에 따라 형성된 백금-루테튬 박막을 자외광 전자 분광법(UPS)으로 관찰한 조성 변화에 따른 일함수 변화를 나타내는 그래프이다. 도 12는 본 발명의 실시예에 따라 백금-루테튬 박막 위에 형성된 이산화 티타늄 유전막의 누설전류를 측정된 결과를 나타내는 그래프이다.
- [0059] 도 8을 참조하면, 원자층 증착법을 통하여, 백금 전구체와 루테튬 전구체를 제공하는 사이클이 횟수 제어에 따라 조성 변화가 가능함을 알 수 있다. 백금의 함량이 늘어남에 따라 루테튬을 나타내는 (002) 피크가 왼쪽으로 점점 이동함을 확인할 수 있으며 이는 루테튬과 백금이 화학적인 결합을 가지며 잘 섞여있음을 보여준다.
- [0060] 도 9 및 10을 참조하면, 백금 함량이 9 내지 43at%의 범위에서 나타나지 않는 결정 피크가 관찰되지 않고, 루타일 결정 피크만 관찰되는 것을 확인할 수 있으며, 백금 함량이 0 내지 43at% 범위에서, 높은 유전상수(약 80)를 유지하는 것은 확인할 수 있다. 이를 통하여 본 발명 실시예를 통하여 루타일 구조의 이산화 티타늄 유전막이 형성되었음을 확인할 수 있다.

[0061] 도 11 및 도 12를 참조하면, 백금 함량의 증가에 따라 일함수가 증가하고, 누설 전류가 감소함을 확인할 수 있으며, 특히 백금 함량이 40at% 이상인 경우, 누설 전류 감소가 크게 증가함을 확인할 수 있다.

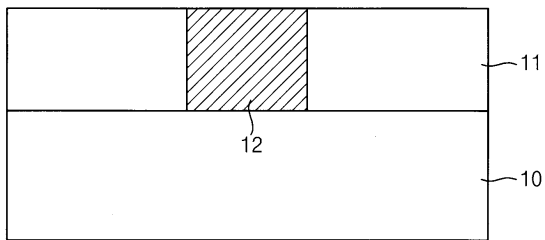
[0062] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

산업상 이용가능성

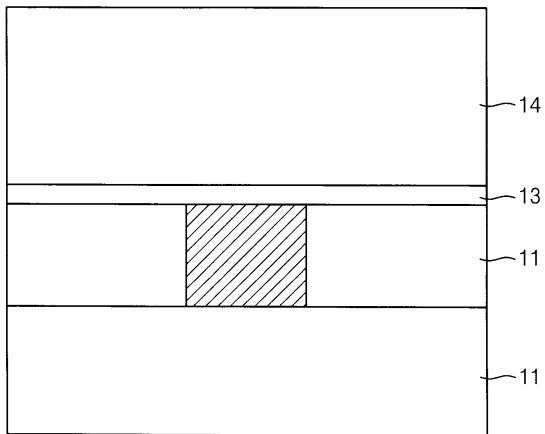
[0063] 본 발명은, 반도체 메모리 소자와 같이 커패시터 전극을 포함하는 각종 소자의 제조에 이용될 수 있다.

도면

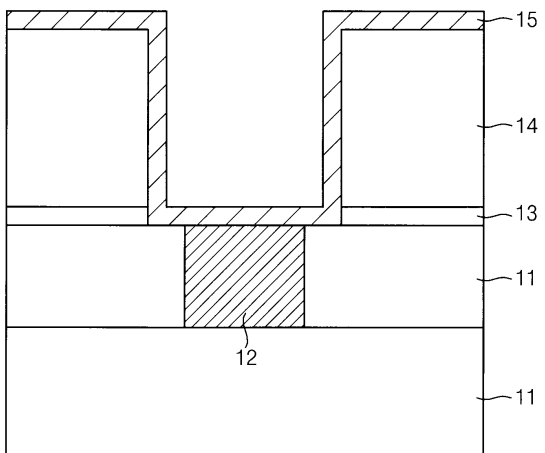
도면1



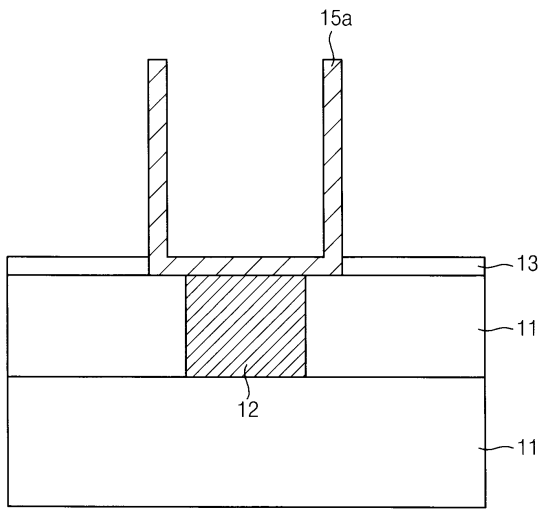
도면2



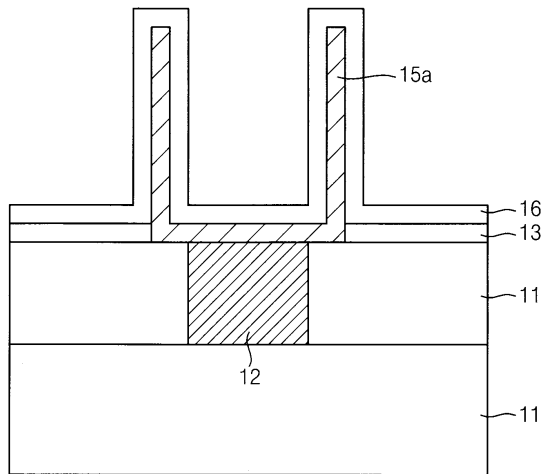
도면3



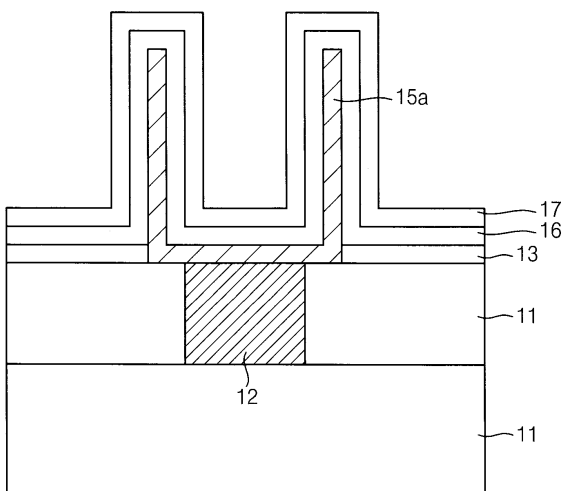
도면4



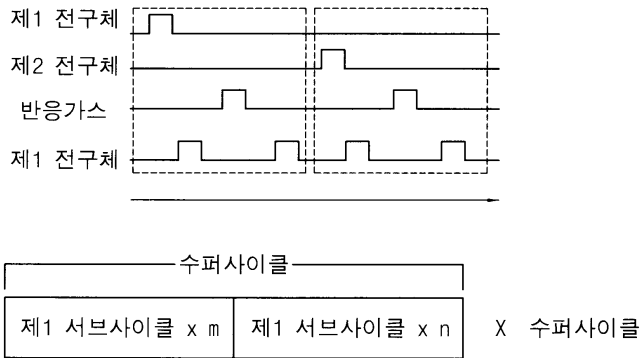
도면5



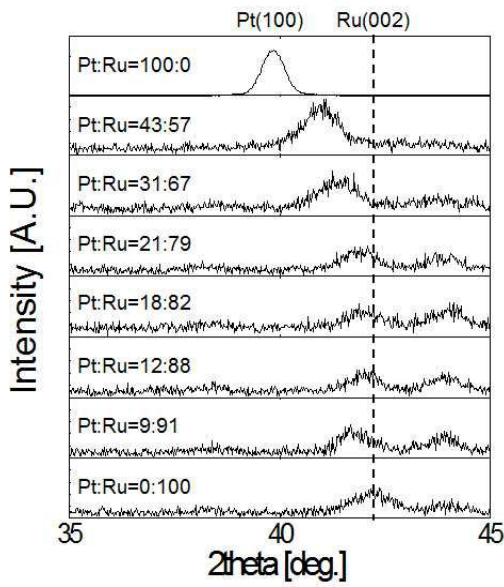
도면6



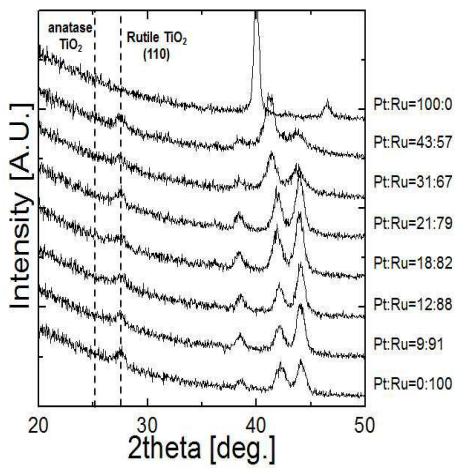
도면7



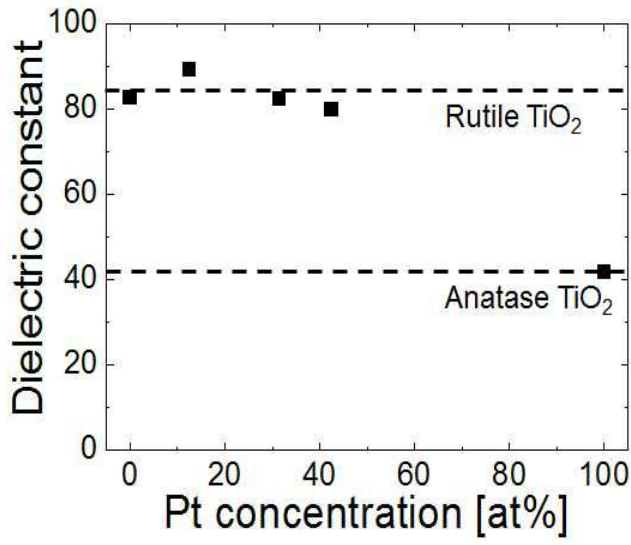
도면8



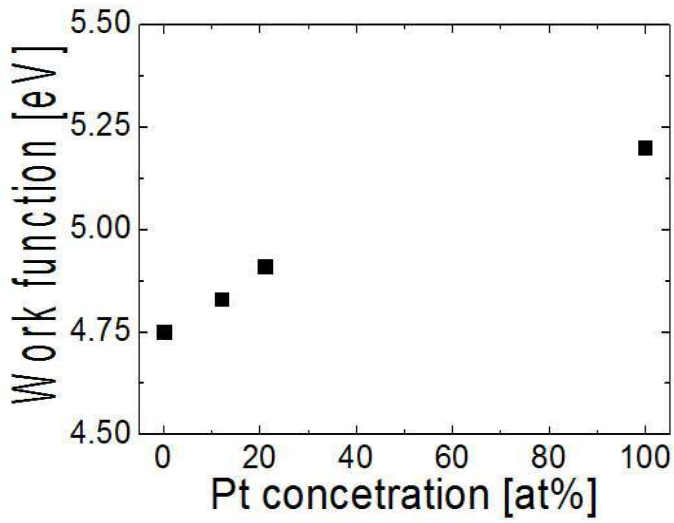
도면9



도면10



도면11



도면12

