



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2022-0092393  
(43) 공개일자 2022년07월01일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2022.01)  
H01L 27/3225 (2013.01)  
(21) 출원번호 10-2021-0182530  
(22) 출원일자 2021년12월20일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2020-214950 2020년12월24일 일본(JP)  
JP-P-2021-158140 2021년09월28일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
코바야시 히데토모  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
시시도 히데아키  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
카츠이 슈이치  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 15 항

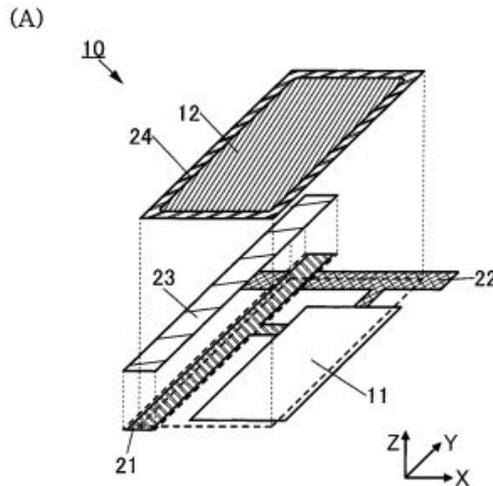
(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 정세도가 높은 표시 장치를 제공한다. 소비 전력이 낮은 표시 장치를 제공한다. 휘도가 높은 표시 장치를 제공한다. 개구율이 높은 표시 장치를 제공한다.

제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극을 갖는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 또한 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 또한 게이트 신호가 공급된다. 제 3 배선에는 정전위가 공급된다. 또한 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다.

대표도



(52) CPC특허분류  
*H01L 27/326* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시 장치로서,  
 소스 신호가 공급되는 제 1 배선;  
 게이트 신호가 공급되는 제 2 배선;  
 정전위가 공급되는 제 3 배선; 및  
 화소 전극을 포함하고,  
 상기 제 1 배선은 제 1 방향으로 연장되고,  
 상기 제 2 배선은 제 2 방향으로 연장되고,  
 상기 제 2 방향은 상기 제 1 방향과 교차되는 방향이고,  
 상기 제 1 배선과 상기 화소 전극은 상기 제 3 배선을 사이에 두고 서로 중첩하는, 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
 제 1 트랜지스터 및 제 2 트랜지스터를 더 포함하고,  
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 상기 제 1 배선에 전기적으로 접속되고,  
 상기 제 1 트랜지스터의 게이트가 상기 제 2 배선에 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽이 상기 화소 전극에 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽이 상기 제 3 배선에 전기적으로 접속되고,  
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 같은 방향으로 전류가 흐르는 반도체층을 포함하는, 표시 장치.

#### 청구항 3

제 2 항에 있어서,  
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 제 1 방향으로 전류가 흐르는 반도체층을 포함하는, 표시 장치.

#### 청구항 4

제 2 항에 있어서,  
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 제 2 방향으로 전류가 흐르는 반도체층을 포함하는, 표시 장치.

#### 청구항 5

제 2 항에 있어서,  
 복수의 더미층을 더 포함하고,  
 상기 제 1 트랜지스터는 반도체층을 포함하고,  
 상기 복수의 더미층은 각각 상기 제 1 트랜지스터의 상기 반도체층과 동일한 반도체 재료를 포함하고,

상기 복수의 더미층은 각각 상기 제 1 트랜지스터의 상기 반도체층과 상면 형상이 실질적으로 동일한 부분을 포함하고,

상기 복수의 더미층 및 상기 반도체층은 상기 제 2 방향으로 같은 간격으로 배치되는, 표시 장치.

#### 청구항 6

제 2 항에 있어서,

복수의 더미층을 더 포함하고,

상기 제 1 트랜지스터는 반도체층을 포함하고,

상기 복수의 더미층은 각각 상기 제 1 트랜지스터의 상기 반도체층과 동일한 반도체 재료를 포함하고,

상기 복수의 더미층은 각각 상기 제 1 트랜지스터의 상기 반도체층과 상면 형상이 실질적으로 동일한 부분을 포함하고,

상기 복수의 더미층 및 상기 반도체층은 상기 제 1 방향으로 같은 간격으로 배치되는, 표시 장치.

#### 청구항 7

제 2 항에 있어서,

제 4 배선;

제 3 트랜지스터; 및

제 4 트랜지스터를 더 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽이 상기 제 4 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽이 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽이 상기 화소 전극에 전기적으로 접속되고,

상기 제 3 배선에는 제 1 전위가 공급되고,

상기 제 4 배선에는 제 2 전위가 공급되고,

상기 제 2 전위는 상기 제 1 전위보다 낮은, 표시 장치.

#### 청구항 8

제 2 항에 있어서,

제 3 트랜지스터를 더 포함하고,

상기 제 3 트랜지스터는 채널 형성 영역에 실리콘을 포함하고,

상기 제 1 트랜지스터는 채널 형성 영역에 인듐 및 아연 중 한쪽 또는 양쪽을 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 제 3 트랜지스터 위에 위치하는, 표시 장치.

#### 청구항 9

제 1 항에 있어서,

상기 제 3 배선은 격자상의 상면 형상을 갖고,

상기 제 3 배선은 상기 제 1 방향으로 연장되는 제 1 부분 및 상기 제 2 방향으로 연장되는 제 2 부분을 포함하고,

상기 화소 전극과 상기 제 1 배선은 상기 제 1 부분을 사이에 두고 서로 중첩하는, 표시 장치.

**청구항 10**

제 1 항에 있어서,  
복수의 발광 영역을 더 포함하고,  
평면에서 보았을 때, 상기 복수의 발광 영역 중 하나는 상기 발광 영역 중 6개로 둘러싸이는, 표시 장치.

**청구항 11**

제 10 항에 있어서,  
상기 평면에서 보았을 때, 상기 복수의 발광 영역 중 상기 하나는 육각형을 갖고,  
상기 육각형의 2개의 내각 각각이 120° 보다 크고,  
상기 육각형의 나머지 4개의 내각 각각이 120° 미만이고,  
상기 2개의 내각은 서로 마주 보는 모서리에 위치하는, 표시 장치.

**청구항 12**

제 10 항에 있어서,  
상기 평면에서 보았을 때, 상기 복수의 발광 영역 중 상기 하나는 육각형을 갖고,  
상기 육각형의 2개의 내각 각각이 120° 보다 큰, 표시 장치.

**청구항 13**

제 10 항에 있어서,  
상기 복수의 발광 영역은 인접한 3개의 발광 영역을 포함하고,  
상기 인접한 3개의 발광 영역은 이등변 삼각형의 꼭짓점에 위치하는, 표시 장치.

**청구항 14**

표시 모듈로서,  
제 1 항에 따른 표시 장치; 및  
커넥터 또는 집적 회로를 포함하는, 표시 모듈.

**청구항 15**

전자 기기로서,  
제 14 항에 따른 표시 모듈; 및  
안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중 적어도 하나를 포함하는,  
전자 기기.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치를 갖는 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다. 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다.

### 배경 기술

- [0003] 근년, 디스플레이 패널의 고정세(高精細)화가 진행되고 있다. 고정세의 디스플레이 패널이 요구되는 기기로서, 예를 들어 가상 현실(VR: Virtual Reality) 또는 증강 현실(AR: Augmented Reality)용 기기가 근년 활발히 개발되고 있다.
- [0004] 또한 디스플레이 패널에 적용할 수 있는 표시 장치로서는, 대표적으로는 액정 표시 장치, 유기 EL(Electro Luminescence) 소자 또는 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 갖는 발광 장치, 전기 영동 방식 등으로 표시를 수행하는 전자 종이 등을 들 수 있다.
- [0005] 유기 EL 소자는 기본적으로 한 쌍의 전극 사이에 발광성 유기 화합물을 포함한 층을 끼운 구성을 갖는다. 이 소자에 전압을 인가함으로써, 발광성 유기 화합물로부터 발광을 얻을 수 있다. 이와 같은 유기 EL 소자가 적용된 표시 장치는 액정 표시 장치 등에서 필요한 백라이트가 불필요하기 때문에, 얇고, 가볍고, 콘트라스트가 높으며, 소비 전력이 낮은 표시 장치를 실현할 수 있다. 예를 들어 특허문헌 1에는 유기 EL 소자를 사용한 표시 장치의 일례에 대하여 기재되어 있다.

### 선행기술문헌

#### 특허문헌

- [0006] (특허문헌 0001) 일본 공개특허공보 특개2002-324673호

### 발명의 내용

#### 해결하려는 과제

- [0007] 상술한 VR 또는 AR용 장착형 기기에서는, 눈과 디스플레이 패널 사이에 초점을 조정하기 위한 렌즈를 제공할 필요가 있다. 상기 렌즈에 의하여 화면의 일부가 확대되기 때문에, 디스플레이 패널의 정세도가 낮으면, 현실감 및 몰입감이 저하되는 문제가 있다.
- [0008] 또한 배터리에 의하여 구동하는 기기의 경우에는, 연속적으로 사용할 수 있는 시간을 길게 하기 위하여, 디스플레이 패널의 소비 전력을 저감하는 것이 요구된다. 또한 특히 AR용 투과형 기기는 외광에 겹쳐 화상을 표시하기 때문에 높은 휘도가 요구된다.
- [0009] 본 발명의 일 형태는 정세도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 휘도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 개구율이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다.
- [0010] 본 발명의 일 형태는 신규 표시 장치, 표시 모듈, 또는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 상술한 표시 장치를 높은 수율로 제조하는 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 선행 기술의 문제점들 중 적어도 하나를 적어도 경감시키는 것을 과제 중 하나로 한다.
- [0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

#### 과제의 해결 수단

- [0012] 본 발명의 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극을 갖는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 또한 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 또한 게이트 신호가 공급된다. 제 3 배선에는 정전위가 공급된다. 또한 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다.
- [0013] 또한 본 발명의 다른 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터를 갖는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 또한 소스 신호가 공급된다. 제 2

배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 또한 게이트 신호가 공급된다. 제 3 배선에는 제 1 전위가 공급된다. 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 제 1 배선에 전기적으로 접속되고, 게이트가 제 2 배선에 전기적으로 접속된다. 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 3 배선에 전기적으로 접속된다. 또한 제 1 트랜지스터 및 제 2 트랜지스터는 각각 제 1 방향으로 전류가 흐르는 반도체층을 갖는다.

[0014] 또한 본 발명의 다른 일 형태는 제 1 배선과, 제 2 배선과, 제 3 배선과, 화소 전극과, 제 1 트랜지스터와, 제 2 트랜지스터를 갖는 표시 장치이다. 제 1 배선은 제 1 방향으로 연장되고, 또한 소스 신호가 공급된다. 제 2 배선은 제 1 방향과 교차되는 제 2 방향으로 연장되고, 또한 게이트 신호가 공급된다. 제 3 배선에는 제 1 전위가 공급된다. 제 1 배선과 화소 전극은 제 3 배선을 사이에 두고 중첩하여 제공된다. 제 1 트랜지스터는 소스 및 드레인 중 한쪽이 제 1 배선에 전기적으로 접속되고, 게이트가 제 2 배선에 전기적으로 접속된다. 제 2 트랜지스터는 소스 및 드레인 중 한쪽이 화소 전극에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 3 배선에 전기적으로 접속된다. 또한 제 1 트랜지스터 및 제 2 트랜지스터는 각각 제 2 방향으로 전류가 흐르는 반도체층을 갖는다.

[0015] 또한 상술한 형태에서 복수의 더미층을 갖는 것이 바람직하다. 이때, 더미층은 반도체층과 동일한 반도체 재료를 포함하고, 상면 형상이 반도체층과 실질적으로 동일한 부분을 갖는 것이 바람직하다. 또한 복수의 더미층 및 반도체층은 제 2 방향 또는 제 1 방향으로 같은 간격으로 배치되는 것이 바람직하다.

[0016] 또한 상술한 어느 형태에서, 제 4 배선과, 제 3 트랜지스터와, 제 4 트랜지스터를 갖는 것이 바람직하다. 제 3 트랜지스터는 소스 및 드레인 중 한쪽이 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 제 2 트랜지스터의 게이트에 전기적으로 접속된다. 제 4 트랜지스터는 소스 및 드레인 중 한쪽이 제 4 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 화소 전극에 전기적으로 접속된다. 또한 제 4 배선에는 제 1 전위보다 낮은 제 2 전위가 공급된다.

[0017] 또한 상술한 어느 형태에서, 제 5 트랜지스터를 갖는 것이 바람직하다. 제 5 트랜지스터는 실리콘에 채널이 형성되는 트랜지스터이다. 또한 상기 반도체층은 인듐 및 아연 중 한쪽 또는 양쪽을 포함한다. 또한 제 1 트랜지스터 및 제 2 트랜지스터는 제 5 트랜지스터의 위쪽에 제공되는 것이 바람직하다.

[0018] 또한 상술한 어느 형태에서, 제 3 배선은 격자상의 상면 형상을 갖는 것이 바람직하다. 이때, 제 1 방향으로 연장되는 제 1 부분과 제 2 방향으로 연장되는 제 2 부분을 갖는 것이 바람직하다. 또한 화소 전극과 제 1 배선은 제 1 부분을 사이에 두고 중첩하여 제공되는 것이 바람직하다.

[0019] 또한 상술한 어느 형태에서, 화소 전극을 복수로 갖는 것이 바람직하다. 화소 전극 위에는 발광 영역을 갖는다. 평면에서 보았을 때, 복수의 발광 영역은 하나의 발광 영역이 6개의 발광 영역으로 둘러싸이도록 배열되는 것이 바람직하다.

[0020] 또한 상술한 형태에서, 발광 영역은 대략 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 발광 영역은 6개의 모서리 중 마주 보는 2개의 모서리의 내각이 120° 보다 크고, 나머지 4개의 모서리의 내각이 120° 미만인 상면 형상을 갖는 것이 바람직하다.

[0021] 또는 상술한 형태에서, 발광 영역은 대략 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 화소 전극은 6개의 모서리가 모두 120° 이고, 6개의 변 중 마주 보는 2변의 길이가 일치하고, 또한 나머지 4변의 길이가 일치하는 상면 형상을 갖는 것이 바람직하다.

[0022] 또한 상술한 어느 형태에서, 인접한 3개의 발광 영역은 이등변 삼각형의 꼭짓점에 위치하도록 배치되는 것이 바람직하다.

[0023] 또한 본 발명의 일 형태는 상술한 어느 형태의 표시 장치와, 커넥터 또는 집적 회로를 갖는 표시 모듈이다.

[0024] 또한 본 발명의 일 형태는 상기 표시 모듈과, 안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중 적어도 하나를 갖는 전자 기기이다.

### 발명의 효과

[0025] 본 발명의 일 형태에 의하여, 정세도가 높은 표시 장치를 제공할 수 있다. 또는 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또는 휘도가 높은 표시 장치를 제공할 수 있다. 또는 개구율이 높은 표시 장치를 제공할 수

있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0026] 또한 본 발명의 일 형태에 의하여, 신규 표시 장치, 표시 모듈, 또는 전자 기기 등을 제공할 수 있다. 또는 상술한 표시 장치를 높은 수율로 제조하는 방법을 제공할 수 있다. 또는 선행 기술의 문제점들 중 적어도 하나를 적어도 경감시킬 수 있다.

[0027] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

**도면의 간단한 설명**

- [0028] 도 1의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 2는 표시 장치의 구성예를 나타낸 도면이다.
- 도 3의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 4의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 5의 (A) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 6의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 7은 표시 장치의 구성예를 나타낸 도면이다.
- 도 8의 (A) 내지 (F)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 9의 (A) 내지 (F)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 10의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 회로도이다.
- 도 11의 (A) 내지 (D)는 표시 장치의 구성예를 나타낸 회로도이다.
- 도 12는 표시 장치의 구동 방법의 예를 나타낸 타이밍 차트이다.
- 도 13은 표시 장치의 구성예를 나타낸 도면이다.
- 도 14는 표시 장치의 구성예를 나타낸 도면이다.
- 도 15의 (A) 내지 (D)는 보호 회로의 구성예를 나타낸 회로도이다.
- 도 16은 표시 장치의 구성예를 나타낸 블록도이다.
- 도 17은 표시 장치의 구성예를 나타낸 블록도이다.
- 도 18은 표시 장치의 구성예를 나타낸 블록도이다.
- 도 19의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 회로도이다.
- 도 20의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 회로도 및 모식도이다.
- 도 21은 표시 장치의 구성예를 나타낸 블록도이다.
- 도 22의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.
- 도 23의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 도면이다.
- 도 24의 (A) 및 (B)는 전자 기기의 구성예를 나타낸 도면이다.
- 도 25의 (A) 및 (B)는 전자 기기의 구성예를 나타낸 도면이다.
- 도 26은 실시예에 따른 트랜지스터의 구성예를 나타낸 도면이다.
- 도 27의 (A) 및 (B)는 실시예에 따른 트랜지스터의 전기 특성을 나타낸 것이다.
- 도 28은 실시예에 따른 표시 패널의 제작 단계에서의 광학 현미경 사진이다.
- 도 29는 실시예에 따른 표시 패널의 표시 상태에서의 사진이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0030] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 갖는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0031] 또한 본 명세서에서 설명하는 각 도면에서, 각 구성 요소의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다.
- [0032] 또한 본 명세서 등에서의 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것이 아니다.
- [0033] 또한 본 명세서 등에서 "상면 형상이 실질적으로 일치"란, 적층한 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "상면 형상이 실질적으로 일치"라고 한다.
- [0034] 또한 이하에서 "위", "아래" 등의 방향을 나타내는 표현은 기본적으로 도면의 방향에 맞추어 사용하는 것으로 한다. 그러나 설명을 용이하게 하는 등의 목적으로 명세서 중의 "위" 또는 "아래"가 의미하는 방향이 도면과 일치하지 않는 경우가 있다. 일례로서는, 적층체 등의 적층 순서(또는 형성 순서) 등을 설명하는 경우에, 도면에서 상기 적층체가 제공되는 층의 면(피형성면, 지지면, 접촉면, 평탄면 등)이 상기 적층체보다 위쪽에 위치하여도, 그 방향을 아래, 이와 반대의 방향을 위 등이라고 표현하는 경우가 있다.
- [0035] 또한 본 명세서에서, EL층이란 발광 소자의 한 쌍의 전극 사이에 제공되고, 적어도 발광성 물질을 포함하는 층(발광층이라고도 함) 또는 발광층을 포함하는 적층체를 의미하는 것으로 한다.
- [0036] 본 명세서 등에서, 표시 장치의 일 형태인 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 갖는 것이다. 따라서 표시 패널은 출력 장치의 일 형태이다.
- [0037] 또한 본 명세서 등에서는, 표시 패널의 기관에 예를 들어 FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 것, 혹은 기관에 COG(Chip On Glass) 방식 등에 의하여 IC가 실장된 것을 표시 패널 모듈, 표시 모듈, 또는 단순히 표시 패널 등이라고 부르는 경우가 있다.
- [0038] (실시형태 1)
- [0039] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치의 구성에 대하여 설명한다.
- [0040] 본 발명의 일 형태는 매트릭스로 배열된 복수의 화소를 갖는 표시 장치이다. 표시 장치는 소스 신호(비디오 신호, 데이터 신호 등이라고도 함)가 공급되는 복수의 소스선(제 1 배선)과, 게이트 신호(스캔 신호, 주사 신호 등이라고도 함)가 공급되는 복수의 게이트선(제 2 배선)을 갖는다. 소스선은 제 1 방향으로 연장되도록 제공하고, 게이트선은 제 1 방향과 교차되는 제 2 방향으로 연장되도록 제공된다.
- [0041] 화소는 하나의 소스선과 하나의 게이트선의 교차부에 대응하여 제공된다. 화소는 하나 이상의 표시 소자와 하나 이상의 트랜지스터를 갖는다. 화소는 표시 소자의 전극으로서 기능하는 화소 전극을 갖는다.
- [0042] 여기서, 소스선, 게이트선, 또는 이들 이외의 배선에 공급되는 신호에 기인하는 전기적 노이즈가 화소 전극에 전달되면, 화소 전극의 전위가 변화되고, 화소의 계조가 의도한 값을 벗어날 우려가 있다. 그 결과, 표시 장치가 표시하는 화상의 표시 품질이 저하된다. 특히 소스선은 게이트선에 비하여 입력되는 신호의 주파수가 높아, 화소 전극의 전위에 대한 영향이 크다.
- [0043] 이러한 소스선과 화소 전극 사이의 전기적인 크로스토크를 저감하는 대책으로서, 화소 전극과 소스선을 물리적으로 떨어뜨리는 방법을 들 수 있다. 특히, 소스선과 화소 전극을 서로 중첩시키지 않는 것이 상기 크로스토크를 저감하는 데 효과적이다. 그러나 이 방법으로는 화소 전극의 크기를 축소할 필요가 있어, 표시 장치의 개구율(유효 발광 영역의 비율) 저하를 초래한다.

- [0044] 그래서 본 발명의 일 형태에서는, 정전위가 공급되는 배선(제 3 배선)을 사이에 두고 소스선과 화소 전극을 중첩시킨다. 이에 의하여, 소스선으로부터의 전기적인 노이즈는 제 3 배선에 의하여 차폐되므로, 화소 전극에 전달되는 것을 억제할 수 있다. 그러므로 화소 전극의 면적을 확대할 수 있어, 표시 장치의 개구율을 높일 수 있다.
- [0045] 제 3 배선은 화소에 정전위를 공급하는 배선인 것이 바람직하다. 예를 들어 표시 소자로서 유기 EL 소자를 사용한 경우에는, 제 3 배선은 유기 EL 소자에 양극 전위 또는 음극 전위를 공급하기 위한 배선을 겸할 수 있다. 또한 제 3 배선은 전원 전위(고전원 전위(VDD) 또는 저전원 전위(VSS) 등)를 화소에 공급하기 위한 배선을 겸할 수 있다.
- [0046] 제 3 배선은 소스선의 연장 방향인 제 1 방향을 따르는 스트라이프 형상의 상면 형상을 가질 수 있다. 또한 제 3 배선은 제 2 방향을 따르는 부분을 가져도 좋고, 제 1 방향과 제 2 방향의 각각을 따르는 부분을 갖는 격자상의 상면 형상을 가져도 좋다.
- [0047] 이와 같은 구성으로 함으로써, 소스선을 비롯한 각 배선과 화소 전극 사이의 전기적인 크로스토크의 영향을 억제할 수 있어, 화소 전극과 각 배선을 자유롭게 중첩시켜 배치할 수 있기 때문에, 정세도가 매우 높은 표시 장치를 실현할 수 있다. 예를 들어 정세도가 1000ppi 이상, 2000ppi 이상, 3000ppi 이상, 4000ppi 이상, 또는 5000ppi 이상이고, 30000ppi 이하, 20000ppi 이하, 또는 15000ppi 이하인 표시 장치를 실현할 수 있다.
- [0048] 이하에서는, 더 구체적인 예에 대하여 도면을 참조하여 설명한다.
- [0049] [구성예 1]
- [0050] 도 1의 (A)는 표시 장치(10)의 하나의 부화소의 적층 구조를 나타낸 사시 개략도이다. 부화소는 화소 회로(11), 발광 소자(12), 배선(21), 배선(22), 및 배선(23)을 갖는다. 발광 소자(12)는 화소 전극(24)을 갖는다.
- [0051] 배선(21)은 소스선으로서 기능하는 배선이고, Y방향으로 연장된다. 배선(22)은 게이트선으로서 기능하는 배선이고, X방향으로 연장된다. 배선(23)은 정전위가 공급되는 배선이고, Y방향으로 연장되는 부분을 갖는다.
- [0052] 발광 소자(12)는 화소 전극(24)의 내측에 제공된다. 발광 소자(12)로서는, 예를 들어 발광성 물질을 포함하는 층(EL층이라고도 함)이 한 쌍의 전극 사이에 끼워지고, 한 쌍의 전극 사이에 흐르는 전류에 의하여 발광하는 전계 발광 소자를 적합하게 사용할 수 있다. 특히, EL층에 발광성 유기 화합물을 사용한 유기 EL 소자를 적용하는 것이 바람직하다.
- [0053] 화소 회로(11)는 발광 소자(12)에 흐르는 전류를 제어하기 위한 회로이다. 화소 회로(11)는 하나 이상의 트랜지스터를 갖는 것이 바람직하다.
- [0054] 평면에서 보았을 때, 화소 전극(24)과 배선(21)은 서로 중첩되는 영역을 갖는다. 또한 화소 전극(24)과 배선(21)은 배선(23)을 사이에 두고 중첩되어 있다. 이와 같이, 정전위가 공급되는 배선(23)이 화소 전극(24)과 배선(21) 사이에 배치됨으로써, 화소 전극(24)과 배선(21)을 중첩시켜 배치한 경우에도, 배선(21)에 기인하는 전기적인 노이즈가 배선(23)에 의하여 차폐되므로, 화소 전극(24)에 전달되는 것을 방지할 수 있다. 이에 의하여, 화소 전극(24)의 면적을 확대할 수 있기 때문에, 발광 소자(12)의 발광 면적을 확대할 수 있고, 표시 장치(10)의 개구율(유효 발광 영역의 비율)을 높일 수 있다.
- [0055] 여기서, 본 명세서 등에서 "평면에서 보다"란, 표시 장치(10)의 표시면 측으로부터 보는 경우를 말하는 것으로 한다.
- [0056] 도 1의 (B)에는, 배선(23)을 제공하지 않은 경우의 표시 장치(10X)의 예를 나타내었다. 이때, 배선(21)으로부터의 전기적 노이즈가 그 위쪽에 위치하는 화소 전극(24)에 전달되어, 화소 전극(24)의 전위가 변화함으로써, 발광 소자(12)의 발광 휘도의 계조 편차가 생길 우려가 있다.
- [0057] 또한 도 1의 (C)에는, 화소 전극(24)의 X방향의 폭을 축소하여 배선(21)과 중첩하지 않도록 배치한 경우의 표시 장치(10Y)의 예를 나타내었다. 이 경우, 배선(21)으로부터의 전기적 노이즈로 인한 크로스토크의 발생은 억제할 수 있지만, 발광 소자(12)의 발광 면적이 축소되기 때문에, 표시 장치(10)의 개구율이 감소된다.
- [0058] 이와 같이, 본 발명의 일 형태의 표시 장치(10)는 높은 정세도와 높은 개구율을 실현할 수 있다. 또한 개구율을 높일 수 있기 때문에, 휘도를 높이고 소비 전력을 저감할 수 있다. 또한 원하는 휘도에 필요한 전류를 저감할 수 있기 때문에, 소비 전력이 낮은 표시 장치를 실현할 수 있다.

- [0059] [구성에 2]
- [0060] 이하에서는, 더 구체적인 화소의 구성예에 대하여 설명한다.
- [0061] [구성에 2-1]
- [0062] 도 2는 표시 장치(10A)가 갖는 화소(20)의 상면 개략도이다. 화소(20)는 부화소(20R), 부화소(20G), 및 부화소(20B)를 갖는다. 표시 장치(10A)는 화소(20)를 복수로 갖고, 화소(20)는 X방향 및 Y방향으로 주기적으로 배치된다.
- [0063] 부화소(20R)는 적색광을 방출하는 발광 소자(12R)를 갖는다. 부화소(20G)는 녹색광을 방출하는 발광 소자(12G)를 갖는다. 부화소(20B)는 청색광을 방출하는 발광 소자(12B)를 갖는다.
- [0064] 발광 소자(12R), 발광 소자(12G), 및 발광 소자(12B)는 각각 다른 발광 재료를 포함하는 구성으로 하여도 좋고, 각각 백색 발광의 발광 소자와 컬러 필터를 조합한 구성으로 하여도 좋고, 청색 또는 자주색의 발광 소자와 색변환 재료(퀀텀닷(quantum dot) 등)를 조합한 구성으로 하여도 좋다.
- [0065] 도 3의 (A) 내지 (E)는 각각 도 2에 나타난 화소(20)가 갖는 하나의 부화소(20X)를 추출하여 나타난 상면 개략도이다. 부화소(20X)는 부화소(20R), 부화소(20G), 및 부화소(20B)에 대응할 수 있다. 또한 여기서는 발광 소자를 생략하였다.
- [0066] 도 3의 (B)에는, 배선(23)의 상면 형상의 일례를 나타내었으며, 도 3의 (A)에서의 화소 전극(24)은 파선으로 윤곽만 명시하였다.
- [0067] 배선(23)은 발광 소자(12)에 대한 전원 공급선으로서 기능하고, 정전위가 공급된다. 화소 전극(24)이 양극으로서 기능하는 경우에는, 배선(23)에 고전원 전위가 공급되고, 음극으로서 기능하는 경우에는, 저전원 전위가 공급된다.
- [0068] 도 3의 (B)에 나타난 바와 같이, 배선(23)은 Y방향으로 연장되는 부분뿐만 아니라, X방향으로 연장되는 부분도 갖는 것이 바람직하다. 이에 의하여, 배선(23)은 격자상의 상면 형상을 가질 수 있기 때문에, 스트라이프 형상의 상면 형상을 갖는 경우에 비하여 전기 저항이 감소되고, 전압 강하의 영향을 억제할 수 있다.
- [0069] 도 3의 (C)에서는, 도 3의 (B)에서의 배선(23)은 파선으로 윤곽만 명시하였다. 도 3의 (C)에서는, 배선(22)과, 배선(22)과 동일한 도전막을 가공하여 형성된 도전층을 동일한 해치 패턴을 사용하여 나타내었다. 마찬가지로, 도 3의 (C)에서는, 배선(21)과, 배선(21)과 동일한 도전막을 가공하여 형성된 도전층을 동일한 해치 패턴을 사용하여 나타내었다.
- [0070] 도 3의 (D)에서는, 도 3의 (C)에서의 배선(21)과, 배선(21)과 동일한 도전막을 가공하여 형성된 도전층은 파선으로 윤곽만 명시하였다. 또한 도 3의 (E)에서는, 도 3의 (D)에서의 배선(22)과, 배선(22)과 동일한 도전막을 가공하여 형성된 도전층은 파선으로 윤곽만 명시하였다.
- [0071] 도 3의 (C) 및 (D)에는 트랜지스터(30a)와 트랜지스터(30b)를 나타내었다. 또한 도 3의 (D)에는 트랜지스터(30a)가 갖는 반도체층(31a)과, 트랜지스터(30b)가 갖는 반도체층(31b)을 나타내었다. 트랜지스터(30a)는 부화소의 선택/비선택을 제어하는 선택 트랜지스터로서 기능한다. 또한 트랜지스터(30b)는 발광 소자에 흐르는 전류를 제어하는 구동 트랜지스터로서 기능한다.
- [0072] 트랜지스터(30a)는 배선(22)이 게이트의 일부를 구성하고, 소스 및 드레인 중 한쪽이 배선(21)에 전기적으로 접속되고, 다른 쪽이 트랜지스터(30b)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(30b)는 소스 및 드레인 중 한쪽이 배선(23)에 전기적으로 접속되고, 다른 쪽이 화소 전극(24)에 전기적으로 접속되어 있다.
- [0073] 여기서는 반도체층(31a)과 반도체층(31b)의 각각의 상면 형상이, 콘택트부가 배치되는 한 쌍의 넓은 부분과, 채널로서 형성되는 좁은 부분을 갖는 예를 나타내었다. 이와 같이 2개의 트랜지스터의 반도체층을 실질적으로 동일한 상면 형상이 되도록 형성함으로써, 각각의 전기 특성을 같게 할 수 있어, 설계가 용이해져 바람직하다. 또한 동일한 패턴을 갖는 반도체층을 조합하여 원하는 전기 특성이 얻어지는 트랜지스터를 구성하여도 좋다. 예를 들어 한쪽 트랜지스터의 채널 폭이 다른 쪽 트랜지스터의 정수배가 되도록 복수의 반도체층을 병렬로 배치하여 접속하는 구성으로 하여도 좋다. 또한 한쪽 트랜지스터의 채널 길이가 다른 쪽 트랜지스터의 정수배가 되도록 복수의 반도체층을 직렬로 배치하여 접속하는 구성으로 하여도 좋다.
- [0074] 또한 표시 장치(10A)에서는, 트랜지스터(30a)가 갖는 반도체층(31a) 및 트랜지스터(30b)가 갖는 반도체층(31b)

은 각각 Y방향, 즉 배선(21)의 연장 방향에 평행한 방향으로 전류가 흐르도록 배치되어 있다. 바꿔 말하면, 트랜지스터(30a)와 트랜지스터(30b)는 각각 채널 길이 방향이 Y방향에 평행하고, 채널 폭 방향이 X방향에 평행하게 되도록 배치되어 있다. 이와 같이 화소를 구성하는 복수의 트랜지스터에서 전류가 흐르는 방향을 일치시킴으로써, 전기 특성의 편차가 억제되고, 설계를 용이하게 할 수 있기 때문에 바람직하다.

[0075] 여기서, 도 3의 (D) 등에 나타낸 바와 같이, 복수의 더미층(32)이 제공되는 것이 바람직하다. 더미층(32)은 반도체층(31a) 및 반도체층(31b)과 동일한 막을 가공하여 형성되고, 이들과 동일한 조성을 갖는 막으로 할 수 있다. 또한 도 3의 (A) 내지 (E)에서는, 반도체층(31a) 및 반도체층(31b)과 더미층(32)을 구별하기 위하여, 상이한 해치 패턴을 사용하여 이들을 나타내었다.

[0076] 더미층(32)의 상면 형상은 반도체층(31a) 및 반도체층(31b)의 상면 형상과 동일하거나 이를 주기적으로 조합한 형상인 것이 바람직하다. 표시 장치(10A)에서는 각 더미층(32)이 2개 이상의 넓은 부분과, 인접한 넓은 부분을 Y방향으로 연결시키는 좁은 부분을 갖는 상면 형상을 갖는다. 각 더미층(32)은 긴쪽 방향이 Y방향에 평행하게 되도록 배치되어 있다. 또한 각 더미층(32)은 Y방향으로 배열되는 복수의 화소에 걸쳐 배치되어 있다.

[0077] 이와 같이, 반도체층(31a) 및 반도체층(31b)이 제공되지 않은 영역에 더미층(32)을 배치함으로써, 반도체층(31a) 및 반도체층(31b)의 가공 형상의 편차를 저감할 수 있고, 그 결과 트랜지스터(30a) 및 트랜지스터(30b)의 전기 특성의 편차를 저감할 수 있다. 또한 더미층은 제조 공정의 안정화, 가공 편차의 저감 등을 목적으로 하여 빈 공간에 제공되는 층이고, 기본적으로는 회로를 구성하는 구성 요소로서 고려되지 않는다. 그러므로 더미층은 전기적으로 플로팅되거나 정전압이 공급된다. 또한 반도체층 이외의 층에도 더미층을 제공하는 것이 바람직하다.

[0078] 더미층(32)은 반도체층(31a) 및 반도체층(31b)이 제공되지 않은 영역에 가능한 한 전체적으로 배치되는 것이 바람직하다. 표시 장치(10A)에서는 배선(21)이 제공되는 영역을 피하여 더미층(32)을 배치한 예를 나타내었지만, 배선(21)과 중첩시켜 더미층(32)을 배치하여도 좋다.

[0079] 또한 여기서는 하나의 부화소에 2개의 트랜지스터를 배치하는 예를 나타내었지만, 이에 한정되지 않고, 3개 이상의 트랜지스터를 배치하는 구성으로 하여도 좋다. 이 경우, 부화소에 제공되는 모든 트랜지스터에서, 반도체층을 동일한 패턴으로 하고, 또한 반도체층에 흐르는 전류의 방향을 일치시키는 것이 바람직하다.

[0080] 여기까지가 구성예 2-1에 대한 설명이다.

[0081] 이하에서는, 상기와는 일부 구성이 다른 구성예에 대하여 도면을 참조하여 설명한다. 또한 이하에서는 상기와 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 이하에서 제시하는 도면에서, 동일한 기능을 갖는 구성에 대해서는, 동일한 해치 패턴 및 부호를 사용하고, 설명을 생략하는 경우도 있다.

[0082] [구성예 2-2]

[0083] 도 4의 (A) 내지 (E)는 표시 장치(10B)가 갖는 부화소(20X)의 상면 개략도이다. 표시 장치(10B)는 반도체층(31a), 반도체층(31b), 및 더미층(32)의 방향이 다르다는 점에서 상기 표시 장치(10A)와 주로 다르다.

[0084] 반도체층(31a) 및 반도체층(31b)은 각각 X방향, 즉 배선(22)의 연장 방향에 평행한 방향으로 전류가 흐르도록 배치되어 있다. 바꿔 말하면, 트랜지스터(30a)와 트랜지스터(30b)는 각각 채널 길이 방향이 X방향에 평행하고, 채널 폭 방향이 Y방향에 평행하게 되도록 배치되어 있다.

[0085] 또한 더미층(32)은 긴쪽 방향이 X방향에 평행하게 되도록 배치되어 있다. 더미층(32)은 X방향으로 배열되는 복수의 화소에 걸쳐 배치되어 있다.

[0086] 또한 표시 장치(10B)에서는 더미층(32)이 배선(21)과 중첩되는 부분을 갖도록 제공되어 있다.

[0087] [구성예 2-3]

[0088] 도 5의 (A) 내지 (E)는 표시 장치(10C)가 갖는 부화소(20X)의 상면 개략도이다. 표시 장치(10C)는 더미층(32)을 갖지 않는다는 점에서 상기 표시 장치(10A)와 주로 다르다.

[0089] 또한 구성예 2-2에서 예시한 표시 장치(10B)도, 표시 장치(10C)와 마찬가지로 더미층(32)이 제공되지 않는 구성으로 하여도 좋다.

[0090] [구성예 3]

[0091] 이하에서는, 구성예 2와는 다른 표시 장치의 구성예에 대하여 설명한다. 또한 상기와 중복되는 부분에 대해서

는, 동일한 부호를 사용하고, 설명을 생략하는 경우가 있다.

- [0092] [화소의 배치예]
- [0093] 도 6의 (A)는 표시 장치(10D)의 일부의 상면 개략도이다. 도 6의 (A)에는 6개의 발광 소자의 배열 방법의 예를 나타내었다. 표시 장치(10D)는 도 6의 (A)에 나타난 구성을 하나의 유닛으로 하고, 상기 유닛이 X방향 및 Y방향으로 반복적으로 배열된 화소부를 갖는다.
- [0094] 도 6의 (A)에는 6개의 화소 전극(24), 2개의 발광 소자(12R), 2개의 발광 소자(12G), 및 2개의 발광 소자(12B)를 나타내었다. 또한 2개의 부화소(20R), 2개의 부화소(20G), 및 2개의 부화소(20B)가 제공되는 영역을 각각 파선으로 나타내었다.
- [0095] 각 발광 소자는 최대한 조밀하게 배열된 육각형의 영역의 내측에 배치되어 있다. 각 발광 소자는 그 하나의 발광 소자에 착안하였을 때, 6개의 발광 소자로 둘러싸이도록 배치되어 있다. 또한 같은 색의 발광 소자가 인접하지 않도록 제공되어 있다. 예를 들어 발광 소자(12R)에 착안하였을 때, 이를 둘러싸도록 3개의 발광 소자(12G)와 3개의 발광 소자(12B)가 교대로 배치되도록 각각의 발광 소자가 제공되어 있다.
- [0096] 또한 발광 소자의 발광 영역도 육각형의 상면 형상을 갖는 것이 바람직하다. 또한 화소 전극(24)도 마찬가지로 육각형의 상면 형상을 갖는 것이 바람직하다.
- [0097] 도 6의 (B) 및 (C)에 각각 발광 소자(12)의 발광 영역의 상면 형상의 예를 나타내었다.
- [0098] 도 6의 (B) 및 (C)의 각각에 나타난 발광 소자(12X)에서는, Y방향에 위치하는 한 쌍의 꼭짓점들 사이의 길이와, Y방향으로 연장되는 한 쌍의 변들 사이의 거리가 각각 같은 길이 L이다. 따라서 X방향과 Y방향에서 화소의 배열 주기를 같게 할 수 있다. 또한 정육각형을 사용하여 최대한 조밀하게 배치하는 경우에는, X방향과 Y방향에서 배열 주기를 같게 하는 것이 어렵기 때문에, 정육각형을 사용하지 않는 것이 바람직하다.
- [0099] 또한 도 6의 (B)에 나타난 발광 소자(12X)에서는, Y방향에 위치하는 한 쌍의 꼭짓점의 내각(각도  $\theta_1$ )이 같고, 다른 4개의 꼭짓점의 내각(각도  $\theta_2$ )이 같다. 여기서, 각도  $\theta_1$ 은  $120^\circ$  보다 크고, 각도  $\theta_2$ 는  $120^\circ$  보다 작다.
- [0100] 또한 도 6의 (C)에 나타난 발광 소자(12X)에서는, 6개의 내각 모두가  $120^\circ$  이다. 또한 Y방향으로 연장되는 한 쌍의 변의 길이가 다른 변보다 짧다.
- [0101] 또한 실제로는 발광 소자(12X)의 상면 형상은 꼭짓점의 각이 동그란 경우가 많기 때문에, 상기 각도 및 변의 길이는, 발광 소자(12X)에 근사한 육각형의 도형에 적용되는 것으로 한다.
- [0102] 또한 여기서는 발광 소자(12X)의 형상에 대하여 설명하였지만, 화소 전극에도 같은 형상을 적용하는 것이 바람직하다. 이 경우, 발광 영역은 화소 전극과 중첩되고, 또한 평면에서 보았을 때 화소 전극의 내측에 위치하도록 제공될 수 있다.
- [0103] 도 6의 (D)는 인접한 3개의 발광 소자(발광 소자(12R), 발광 소자(12G), 및 발광 소자(12B))의 위치에 대하여 나타낸 도면이다. 도 6의 (D)에 나타난 바와 같이, 3개의 발광 소자는 각각 이등변 삼각형의 꼭짓점에 위치하도록 배치되는 것이 바람직하다. 이때, 이등변 삼각형에서 Y방향에 위치하는 꼭짓점의 각도가, X방향에 평행한 변의 양단(兩端)에 위치하는 꼭짓점의 각도보다 큰 것이 바람직하다.
- [0104] [구성예 3-1]
- [0105] 이어서, 더 구체적인 화소의 구성예에 대하여 설명한다.
- [0106] 도 7은 표시 장치(10E)의 상면 개략도이다. 도 7에는  $2 \times 2$ 개의 부화소를 포함한 범위를 나타내었다. 도 7에는 부화소(20G)와, 부화소(20B)와, 2개의 부화소(20R)를 나타내었다.
- [0107] 도 8의 (A)는 표시 장치(10E)가 갖는 하나의 부화소(20X)를 추출하여 나타낸 상면 개략도이다. 부화소(20X)는 도 7에서의 부화소(20R), 부화소(20G), 또는 부화소(20B)에 대응할 수 있다. 또한 도 8의 (A)에서는 화소 전극(24)은 파선으로 윤곽만 나타내었다.
- [0108] 도 8의 (B) 내지 (F)에는 부화소(20X)를 구성하는 각 층의 레이아웃을 나타내었다. 도 8의 (B)에는 피형성면에 가장 가깝게 위치하는 층을 나타내고, 도 8의 (F)에는 화소 전극(24)에 가장 가깝게 위치하는 2층을 나타내었다.

- [0109] 도 8의 (B)에는 배선(22)과, 배선(22)과 동일한 도전막을 가공하여 얻어지는 도전층을 갖는 층을 나타내었다. 이들의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 한쪽 게이트 전극(보텀 게이트 전극, 제 1 게이트 전극 등이라고도 함)으로서 기능한다.
- [0110] 도 8의 (C)에는 반도체층(31a)과, 반도체층(31b)과, 복수의 더미층(32)을 갖는 층을 나타내었다. 여기서는, 채널 길이 방향이 Y방향에 평행한 경우를 나타내었지만, 구성예 2-2와 마찬가지로, 채널 길이 방향이 X방향에 평행하게 되도록 레이아웃을 하여도 좋다.
- [0111] 도 8의 (D)에는 복수의 도전층(25)을 갖는 층을 나타내었다. 도전층(25)의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 다른 쪽 게이트 전극(톱 게이트 전극, 제 2 게이트 전극 등이라고도 함)으로서 기능한다. 또한 더미층으로서, 전기적으로 플로팅된 도전층(25)을 가져도 좋다. 더미층을 제공함으로써, 도전층(25) 등의 가공형상의 편차를 저감할 수 있다.
- [0112] 도 8의 (E)에는 배선(21)과, 배선(21)과 동일한 도전막을 가공하여 얻어지는 복수의 도전층을 갖는 층을 나타내었다. 도 8의 (E)에 나타난 복수의 도전층의 일부는 트랜지스터(30a) 또는 트랜지스터(30b)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 또한 도 8의 (E)에 나타난 복수의 도전층의 일부는 용량 소자의 한쪽 전극으로서 기능한다.
- [0113] 도 8의 (F)에는 도전층(27)을 갖는 층과, 그 층의 위쪽에 위치하는 배선(23)과, 배선(23)과 동일한 도전막을 가공하여 얻어지는 도전층을 갖는 층을 나타내었다. 배선(23)의 위쪽에 화소 전극(24)이 제공된다. 도전층(27)의 일부는 용량 소자의 다른 쪽 전극으로서 기능한다. 또한 배선(23)과 동일한 도전막을 가공하여 얻어지는 도전층의 일부는 화소 전극(24)과 트랜지스터(30b)를 전기적으로 접속하는 중계 배선으로서 기능한다.
- [0114] [구성예 3-2]
- [0115] 앞에서는 2개의 트랜지스터를 갖는 부화소의 구성에 대하여 설명하였지만, 이하에서는 4개의 트랜지스터를 갖는 부화소의 구성예에 대하여 설명한다. 또한 이하에서는 구성예 3-1 등과 중복되는 부분에는 이를 원용하고, 설명을 생략하는 경우가 있다.
- [0116] 도 9의 (A) 내지 (F)에는 4개의 트랜지스터를 갖는 부화소(20X)를 갖는 표시 장치(10F)의 구성예를 나타내었다.
- [0117] 부화소(20X)는 트랜지스터(30a), 트랜지스터(30b), 트랜지스터(30c), 및 트랜지스터(30d)를 갖는다.
- [0118] 도 9의 (B)에 나타난 바와 같이, 3개의 게이트선(배선(22a), 배선(22b), 및 배선(22c))과, 정전위가 공급되는 배선(22d)이 제공된다. 배선(22a)의 일부는 트랜지스터(30a)의 한쪽 게이트 전극으로서 기능한다. 배선(22b)의 일부는 트랜지스터(30c)의 한쪽 게이트 전극으로서 기능한다. 배선(22c)의 일부는 트랜지스터(30d)의 한쪽 게이트 전극으로서 기능한다.
- [0119] 도 9의 (C)에 나타난 바와 같이, 트랜지스터(30c)가 갖는 반도체층(31c) 및 트랜지스터(30d)가 갖는 반도체층(31d)은, 반도체층(31a) 및 반도체층(31b)과 마찬가지로, Y방향으로 전류가 흐르도록 배치되어 있다. 또한 더미층(32)은 각 반도체층 사이의 간격에 제공되고, 긴쪽 방향이 Y방향에 평행하게 되도록 배치되어 있다. 또한 여기서는, 채널 길이 방향이 Y방향에 평행한 경우를 나타내었지만, 구성예 2-2와 마찬가지로, 채널 길이 방향이 X방향에 평행하게 되도록 레이아웃을 하여도 좋다.
- [0120] 도 9의 (B) 내지 (D)에 나타난 바와 같이, 트랜지스터(30a), 트랜지스터(30b), 트랜지스터(30c), 및 트랜지스터(30d)는 각각 한 쌍의 게이트 전극을 갖는 트랜지스터이다. 또한 4개의 트랜지스터 중 하나 이상을 한쪽 게이트만을 갖는 트랜지스터(싱글 게이트형 트랜지스터)로 하고, 나머지를 한 쌍의 게이트를 갖는 트랜지스터(듀얼 게이트형 트랜지스터)로 하여도 좋다.
- [0121] [화소 회로]
- [0122] 이하에서는, 본 발명의 일 형태의 표시 장치에 적용할 수 있는 화소 회로의 구성예 및 구동 방법의 예에 대하여 설명한다.
- [0123] [화소 회로의 구성예]
- [0124] 도 10의 (A)에 나타난 화소 회로(PIX1)는 트랜지스터(M1), 트랜지스터(M2), 용량 소자(C1), 및 발광 소자(EL)를 갖는다. 또한 화소 회로(PIX1)에는 배선(SL), 배선(GL), 배선(AL), 및 배선(CL)이 전기적으로 접속되어 있다.
- [0125] 트랜지스터(M1)는 게이트가 배선(GL)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(SL)에 전기적으로

접속되고, 다른 쪽이 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 한쪽 전극에 전기적으로 접속되어 있다. 트랜지스터(M2)는 소스 및 드레인 중 한쪽이 배선(AL)에 전기적으로 접속되고, 다른 쪽이 발광 소자(EL)의 양극에 전기적으로 접속되어 있다. 용량 소자(C1)는 다른 쪽 전극이 발광 소자(EL)의 양극에 전기적으로 접속되어 있다. 발광 소자(EL)는 음극이 배선(CL)에 전기적으로 접속되어 있다.

- [0126] 트랜지스터(M1)는 선택 트랜지스터라고 부를 수도 있고, 화소의 선택/비선택을 제어하기 위한 스위치로서 기능한다. 트랜지스터(M2)는 구동 트랜지스터라고 부를 수도 있고, 발광 소자(EL)에 흐르는 전류를 제어하는 기능을 갖는다. 용량 소자(C1)는 축적 용량 소자(storage capacitor)로서 기능하고, 트랜지스터(M2)의 게이트 전위를 유지하는 기능을 갖는다. 용량 소자(C1)로서는 MIM 커패시터 등의 용량 소자를 적용하여도 좋고, 배선들 사이의 용량 또는 트랜지스터의 게이트 용량 등을 용량 소자(C1)로서 사용하여도 좋다.
- [0127] 배선(SL)에는 소스 신호가 공급된다. 배선(GL)에는 게이트 신호가 공급된다. 배선(AL)과 배선(CL)에는 각각 정전위가 공급된다. 발광 소자(EL)에서는, 양극 측을 고전위로 하고, 음극 측을 양극 측보다 저전위로 할 수 있다.
- [0128] 도 10의 (B)에 나타난 화소 회로(PIX2)는 화소 회로(PIX1)에 트랜지스터(M3)를 추가한 구성을 갖는다. 또한 화소 회로(PIX2)에는 배선(V0)이 전기적으로 접속되어 있다.
- [0129] 트랜지스터(M3)는 게이트가 배선(GL)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 발광 소자(EL)의 양극에 전기적으로 접속되고, 다른 쪽이 배선(V0)에 전기적으로 접속되어 있다.
- [0130] 배선(V0)에는 화소 회로(PIX2)에 데이터를 기록할 때 전위가 공급된다. 이에 의하여, 트랜지스터(M2)의 게이트와 소스 사이의 전위의 편차를 억제할 수 있다.
- [0131] 도 10의 (C)에 나타난 화소 회로(PIX3)는, 상기 화소 회로(PIX1)의 트랜지스터(M1) 및 트랜지스터(M2)로서 한 쌍의 게이트가 전기적으로 접속된 트랜지스터를 적용한 경우의 예이다. 또한 도 10의 (D)에 나타난 화소 회로(PIX4)는 화소 회로(PIX2)에 상기 트랜지스터를 적용한 경우의 예이다. 이에 의하여, 트랜지스터에 흐르는 전류를 증대시킬 수 있다. 또한 여기서는 모든 트랜지스터로서 한 쌍의 게이트가 전기적으로 접속된 트랜지스터를 적용하였지만, 이에 한정되지 않는다. 또한 한 쌍의 게이트를 갖고, 또한 이들이 다른 배선에 전기적으로 접속되는 트랜지스터를 적용하여도 좋다. 예를 들어 게이트의 한쪽과 소스가 전기적으로 접속된 트랜지스터를 사용함으로써, 신뢰성을 높일 수 있다.
- [0132] 도 11의 (A)에 나타난 화소 회로(PIX5)는 상기 화소 회로(PIX2)에 트랜지스터(M4)를 추가한 구성을 갖는다. 또한 화소 회로(PIX5)에는 3개의 게이트선으로서 기능하는 배선(배선(GL1), 배선(GL2), 및 배선(GL3))이 전기적으로 접속되어 있다.
- [0133] 트랜지스터(M4)는 게이트가 배선(GL3)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 트랜지스터(M2)의 게이트에 전기적으로 접속되고, 다른 쪽이 배선(V0)에 전기적으로 접속되어 있다. 또한 트랜지스터(M1)의 게이트가 배선(GL1)에 전기적으로 접속되고, 트랜지스터(M3)의 게이트가 배선(GL2)에 전기적으로 접속되어 있다.
- [0134] 트랜지스터(M3)와 트랜지스터(M4)를 동시에 도통 상태로 함으로써, 트랜지스터(M2)의 소스와 게이트가 같은 전위가 되어, 트랜지스터(M2)를 비도통 상태로 할 수 있다. 이에 의하여, 발광 소자(EL)에 흐르는 전류를 강제적으로 차단할 수 있다. 이러한 화소 회로는 표시 기간과 소등 기간을 교대로 제공하는 표시 방법을 사용하는 경우에 적합하다.
- [0135] 도 11의 (B)에 나타난 화소 회로(PIX6)는 상기 화소 회로(PIX5)에 용량 소자(C2)를 추가한 경우의 예이다. 용량 소자(C2)는 축적 용량 소자로서 기능한다.
- [0136] 도 11의 (C)에 나타난 화소 회로(PIX7) 및 도 11의 (D)에 나타난 화소 회로(PIX8)는 각각 상기 화소 회로(PIX5) 또는 화소 회로(PIX6)에 한 쌍의 게이트를 갖는 트랜지스터를 적용한 경우의 예이다. 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4)로서는 한 쌍의 게이트가 전기적으로 접속된 트랜지스터가 적용되고, 트랜지스터(M2)로서는 한쪽 게이트가 소스에 전기적으로 접속된 트랜지스터가 적용되어 있다.
- [0137] [구동 방법의 예]
- [0138] 이하에서는, 화소 회로(PIX5)가 적용된 표시 장치의 구동 방법의 일례에 대하여 설명한다. 또한 화소 회로(PIX6), 화소 회로(PIX7), 및 화소 회로(PIX8)에도 같은 구동 방법을 적용할 수 있다.
- [0139] 도 12에 화소 회로(PIX5)가 적용된 표시 장치의 구동 방법에 따른 타이밍 차트를 나타내었다. 여기서는, 제 k

행의 게이트선인 배선(GL1[k]), 배선(GL2[k]), 및 배선(GL3[k]), 그리고 제 k+1 행의 게이트선인 배선(GL1[k+1]), 배선(GL2[k+1]), 및 배선(GL3[k+1])의 전위의 추이(推移)를 나타내었다. 또한 도 12에는 소스선으로서 기능하는 배선(SL)에 공급되는 신호의 타이밍을 나타내었다.

- [0140] 여기서, 하나의 수평 기간을 점등 기간과 소등 기간으로 나누어 표시를 수행하는 구동 방법의 예를 나타내었다. 또한 제 k 행의 수평 기간과 제 k+1 행의 수평 기간은 게이트선의 선택 기간만큼 차이가 있다.
- [0141] 제 k 행의 점등 기간에는, 먼저 배선(GL1[k]) 및 배선(GL2[k])에 하이 레벨 전위가 공급되고, 배선(SL)에 소스 신호가 공급된다. 이에 의하여, 트랜지스터(M1)와 트랜지스터(M3)가 도통 상태가 되고, 배선(SL)으로부터 트랜지스터(M2)의 게이트에 소스 신호에 대응하는 전위가 기록된다. 그 후, 배선(GL1[k]) 및 배선(GL2[k])에 로 레벨 전위가 공급됨으로써, 트랜지스터(M1)와 트랜지스터(M3)가 비도통 상태가 되고, 트랜지스터(M2)의 게이트 전위가 유지된다.
- [0142] 이어서, 제 k+1 행의 점등 기간으로 전이하고, 상기와 같은 동작에 의하여 데이터가 기록된다.
- [0143] 다음으로, 소등 기간에 대하여 설명한다. 제 k 행의 소등 기간에 배선(GL2[k])과 배선(GL3[k])에 하이 레벨 전위가 공급된다. 이에 의하여, 트랜지스터(M3)와 트랜지스터(M4)가 도통 상태가 되기 때문에, 트랜지스터(M2)의 소스와 게이트에 같은 전위가 공급됨으로써, 트랜지스터(M2)에는 거의 전류가 흐르지 않게 된다. 이에 의하여, 발광 소자(EL)가 소등한다. 제 k 행에 위치하는 모든 부화소가 소등한다. 제 k 행의 부화소는 다음 점등 기간까지 소등 상태가 유지된다.
- [0144] 이어서, 제 k+1 행의 소등 기간으로 전이하고, 상기와 마찬가지로 제 k+1 행의 부화소 모두가 소등 상태가 된다.
- [0145] 이와 같이, 하나의 수평 기간 내내 점등하는 것이 아니라, 하나의 수평 기간에 소등 기간을 제공하는 구동 방법을 듀티 구동(duty driving)이라고 부를 수도 있다. 듀티 구동을 사용함으로써, 동영상 표시하는 경우의 잔상(殘像) 현상을 저감할 수 있기 때문에, 동영상 표시 성능이 높은 표시 장치를 실현할 수 있다. 특히 VR 기기 등에서는, 잔상을 저감함으로써, 소위 VR 멀미를 경감시킬 수 있다.
- [0146] 듀티 구동에서, 하나의 수평 기간에 대한 점등 기간의 비율을 듀티 비율이라고 부를 수 있다. 예를 들어 "듀티 비율이 50%"란, 점등 기간과 소등 기간이 같은 길이임을 의미한다. 또한 듀티 비율은 자유롭게 설정할 수 있고, 예를 들어 0%보다 높고 100% 이하의 범위에서 적절히 조정할 수 있다.
- [0147] 여기까지가 구동 방법의 예에 대한 설명이다.
- [0148] [단면 구성예]
- [0149] 이어서, 본 발명의 일 형태의 표시 장치의 단면 구성예에 대하여 설명한다.
- [0150] 도 13은 표시 장치(200A)의 단면 개략도이다. 표시 장치(200A)는 기관(201)과 기관(202) 사이에 발광 소자(250R), 발광 소자(250G), 트랜지스터(210), 트랜지스터(220), 용량 소자(240) 등을 갖는다.
- [0151] 트랜지스터(210)는 기관(201)에 채널 형성 영역이 형성되는 트랜지스터이다. 기관(201)으로서는, 예를 들어 단결정 실리콘 기관 등의 반도체 기관을 사용할 수 있다. 트랜지스터(210)는 기관(201)의 일부, 도전층(211), 저저항 영역(212), 절연층(213), 절연층(214) 등을 갖는다. 도전층(211)은 게이트 전극으로서 기능한다. 절연층(213)은 기관(201)과 도전층(211) 사이에 위치하고, 게이트 절연층으로서 기능한다. 저저항 영역(212)은 기관(201)에 불순물이 도핑된 영역이고, 소스 및 드레인 중 한쪽으로서 기능한다. 절연층(214)은 도전층(211)의 측면을 덮어 제공되고, 절연층으로서 기능한다.
- [0152] 또한 기관(201)에 매립되도록, 인접한 2개의 트랜지스터들(210) 사이에 소자 분리층(215)이 제공되어 있다.
- [0153] 트랜지스터(210)와 트랜지스터(220) 사이에는 배선층(203)이 제공되어 있다. 배선층(203)은 하나 이상의 배선을 갖는 층이 적층된 구성을 갖는다. 각 층은 도전층(271)을 갖고, 각 층 사이에는 층간 절연층(273)이 제공되어 있다. 또한 층간 절연층(273)에 제공된 플러그(272)에 의하여, 상이한 층의 도전층들(271)을 전기적으로 접속한다.
- [0154] 배선층(203) 위에 트랜지스터(220)가 제공되어 있다. 트랜지스터(220)는 채널이 형성되는 반도체층에 금속 산화물(산화물 반도체라고도 함)이 적용된 트랜지스터이다.
- [0155] 트랜지스터(220)는 반도체층(221), 절연층(223), 도전층(224), 한 쌍의 도전층(225), 절연층(226), 도전층

(227) 등을 갖는다.

- [0156] 배선층(203) 위에 절연층(231)이 제공되어 있다. 절연층(231)은 배선층(203) 측으로부터 트랜지스터(220)로 물 또는 수소 등의 불순물이 확산되는 것, 그리고 반도체층(221)으로부터 배선층(203) 측으로 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(231)으로서는, 예를 들어 산화 알루미늄막, 산화 하프늄막, 질화 실리콘막 등, 산화 실리콘막보다 수소 또는 산소가 확산되기 어려운 막을 사용할 수 있다.
- [0157] 절연층(231) 위에 도전층(227)이 제공되고, 도전층(227)을 덮어 절연층(226)이 제공되어 있다. 도전층(227)은 트랜지스터(220)의 제 1 게이트 전극으로서 기능하고, 절연층(226)의 일부는 제 1 게이트 절연층으로서 기능한다. 절연층(226)에서 적어도 반도체층(221)과 접하는 부분에는, 산화 실리콘막 등의 산화물 절연막을 사용하는 것이 바람직하다.
- [0158] 반도체층(221)은 절연층(226) 위에 제공된다. 반도체층(221)은 반도체 특성을 갖는 금속 산화물(산화물 반도체라고도 함)막을 갖는 것이 바람직하다.
- [0159] 반도체층(221)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타깃의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=2:2:1, In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=5:2:5 등을 들 수 있다.
- [0160] 또한 스퍼터링 타깃으로서는 다결정 산화물을 포함한 타깃을 사용하면, 결정성을 갖는 반도체층(221)을 형성하기 쉬워지기 때문에 바람직하다. 또한 형성되는 반도체층(221)의 원자수비는 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의  $\pm 40\%$ 의 변동을 포함한다. 예를 들어 반도체층(221)에 사용하는 스퍼터링 타깃의 조성이 In:Ga:Zn=4:2:4.1[원자수비]인 경우, 형성되는 반도체층(221)의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방인 경우가 있다.
- [0161] 또한 원자수비가 In:Ga:Zn=4:2:3 또는 그 근방이라고 기재된 경우, In을 4로 하였을 때, Ga이 1 이상 3 이하이고, Zn이 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=5:1:6 또는 그 근방이라고 기재된 경우, In을 5로 하였을 때, Ga이 0.1보다 크고 2 이하이고, Zn이 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=1:1:1 또는 그 근방이라고 기재된 경우, In을 1로 하였을 때, Ga이 0.1보다 크고 2 이하이고, Zn이 0.1보다 크고 2 이하인 경우를 포함한다.
- [0162] 또한 반도체층(221)은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상이다. 이와 같이, 실리콘보다 에너지 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0163] 또한 반도체층(221)은 비단결정 구조를 갖는 것이 바람직하다. 비단결정 구조에는, 예를 들어 후술하는 CAAC 구조, 다결정 구조, 미결정(microcrystalline) 구조, 또는 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC 구조는 결함 준위 밀도가 가장 낮다.
- [0164] 이하에서는 CAAC(c-axis aligned crystal)에 대하여 설명한다. CAAC는 결정 구조의 일례를 나타낸다.
- [0165] CAAC 구조는 복수의 나노 결정(최대 직경이 10nm 미만인 결정 영역)을 갖는 박막 등의 결정 구조의 하나이고, 각 나노 결정은 c축이 특정의 방향으로 배향하고, 또한 a축 및 b축은 배향성을 갖지 않고, 나노 결정들이 입계를 형성하지 않고 연속적으로 연결된다는 특징을 갖는 결정 구조이다. 특히 CAAC 구조를 갖는 박막은 각 나노 결정의 c축이 박막의 두께 방향, 피형성면의 법선 방향, 또는 박막의 표면의 법선 방향으로 배향하기 쉽다는 특징을 갖는다.
- [0166] CAAC-OS(Oxide Semiconductor)는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS에서는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 갖는 산화물 반도체는 물리적 성질이 안정적이다. 그러므로 CAAC-OS를 갖는 산화물 반도체는 열에 강하고 신뢰성이 높다.
- [0167] 여기서, 결정학에서 단위 격자를 구성하는 a축, b축, 및 c축의 3개의 축(결정축)에 대하여 특이적인 축을 c축으로 한 단위 격자를 선택하는 것이 일반적이다. 특히 층상 구조를 갖는 결정에서는 층의 면 방향에 평행한 2개의 축을 a축 및 b축으로 하고, 층과 교차하는 축을 c축으로 하는 것이 일반적이다. 이러한 층상 구조를 갖는 결정의 대표적인 예로서 육방정계로 분류되는 그래파이트가 있고, 그 단위 격자의 a축 및 b축은 벽개(劈開)면에

평행하고, c축은 벽개면과 직교한다. 예를 들어 층상 구조인 YbFe<sub>2</sub>O<sub>4</sub>형의 결정 구조를 갖는 InGaZnO<sub>4</sub>의 결정은 육방정계로 분류될 수 있고, 그 단위 격자의 a축 및 b축은 층의 면 방향에 평행하고, c축은 층(즉 a축 및 b축)과 직교한다.

[0168] 미결정 구조를 갖는 산화물 반도체막(미결정 산화물 반도체막)은 TEM에 의한 관찰 이미지에서는 결정부를 명확하게 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한 nc-OS막은 예를 들어 TEM에 의한 관찰 이미지에서는 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0169] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한 nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 큰 직경의 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 out-of-plane법에 의하여 해석하면 결정면을 나타내는 피크가 검출되지 않는다. 또한 결정부보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기에 가깝거나 결정부보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노 빔 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 원을 그리듯이(링 형상으로) 휘도가 높은 영역이 관측되고, 상기 링 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0170] nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만 nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 nc-OS막은 CAAC-OS막에 비하여 결합 준위 밀도가 높다. 따라서 nc-OS막은 CAAC-OS막에 비하여 캐리어 밀도가 높고 전자 이동도가 높은 경우가 있다. 따라서 nc-OS막을 사용한 트랜지스터는 높은 전계 효과 이동도를 나타내는 경우가 있다.

[0171] nc-OS막은 형성 시의 산소 유량비를 CAAC-OS막보다 낮게 함으로써 형성할 수 있다. 또한 nc-OS막은 형성 시의 기판 온도를 CAAC-OS막보다 낮게 하는 것에 의해서도 형성할 수 있다. 예를 들어 nc-OS막은 기판 온도를 비교적 낮게(예를 들어 130℃ 이하의 온도) 한 상태 또는 기판을 가열하지 않는 상태에서도 형성할 수 있기 때문에, 대형의 유리 기판 또는 수지 기판 등을 사용하는 경우에 적합하고, 생산성을 높일 수 있다.

[0172] 금속 산화물의 결정 구조의 일례에 대하여 설명한다. 기판 온도를 100℃ 이상 130℃ 이하로 하고, In-Ga-Zn 산화물 타겟(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법으로 형성한 금속 산화물은 nc(nano crystal) 구조 및 CAAC 구조 중 어느 한쪽의 결정 구조, 또는 이들이 혼재된 구조를 갖기 쉽다. 한편, 기판 온도를 실온(R.T.)으로 하여 형성한 금속 산화물은 nc의 결정 구조를 갖기 쉽다. 또한 여기서 실온(R.T.)은 기판을 의도적으로 가열하지 않는 경우의 온도를 포함한다.

[0173] 한 쌍의 도전층(225)은 반도체층(221) 위에 접하여 제공되고, 소스 전극 및 드레인 전극으로서 기능한다.

[0174] 또한 한 쌍의 도전층(225)의 상면 및 측면, 그리고 반도체층(221)의 측면 등을 덮어 절연층(232)이 제공되고, 절연층(232) 위에 절연층(261)이 제공되어 있다. 절연층(232)은 층간 절연층 등으로부터 반도체층(221)으로 물 또는 수소 등의 불순물이 확산되는 것, 그리고 반도체층(221)으로부터 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(232)으로서는, 상기 절연층(231)과 같은 절연막을 사용할 수 있다.

[0175] 절연층(232) 및 절연층(261)에는 반도체층(221)에 도달하는 개구가 제공되어 있다. 상기 개구의 내부에는, 절연층(261), 절연층(232), 및 도전층(225)의 측면, 그리고 반도체층(221)의 상면과 접하는 절연층(223)과, 절연층(223) 위의 도전층(224)이 매립되어 있다. 도전층(224)은 제 2 게이트 전극으로서 기능하고, 절연층(223)은 제 2 게이트 절연층으로서 기능한다.

[0176] 도전층(224)의 상면, 절연층(223)의 상면, 및 절연층(261)의 상면은 각각 높이가 실질적으로 일치하도록 평탄화 처리가 실시되고, 이들을 덮어 절연층(233)이 제공되어 있다. 또한 절연층(233)과 절연층(231) 사이의 적층 구조에 개구부가 제공되고, 상기 개구부에서 절연층(233)의 일부가 절연층(231)과 접하여 제공되어 있다. 절연층(261)은 층간 절연층으로서 기능한다. 또한 절연층(233)은 그 위쪽으로부터 물 또는 수소 등의 불순물이 확산되는 것을 방지하는 배리어층으로서 기능한다. 절연층(233)으로서는, 상기 절연층(231) 등과 같은 절연막을 사

용할 수 있다.

- [0177] 절연층(233) 위에 용량 소자(240)가 제공되어 있다.
- [0178] 용량 소자(240)는 도전층(241)과, 도전층(242)과, 이들 사이에 위치하는 절연층(243)을 갖는다. 도전층(241)은 용량 소자(240)의 한쪽 전극으로서 기능하고, 도전층(242)은 용량 소자(240)의 다른 쪽 전극으로서 기능하고, 절연층(243)은 용량 소자(240)의 유전체로서 기능한다.
- [0179] 용량 소자(240)를 덮어 절연층(234)이 제공된다. 절연층(234)으로서는, 상기 절연층(231)과 같은 절연막을 사용할 수 있다. 절연층(231) 위에 층간 절연층 및 배선을 사이에 두고 절연층(262)이 제공되고, 절연층(262) 위에 발광 소자(250R) 및 발광 소자(250G)가 제공되어 있다.
- [0180] 발광 소자(250R)는 도전층(251), 도전층(252R), EL층(253W), 및 도전층(254) 등을 갖는다.
- [0181] 도전층(251)은 가시광에 대하여 반사성을 갖고, 도전층(252R)은 가시광에 대하여 투과성을 갖는다. 도전층(254)은 가시광에 대하여 반사성 및 투과성을 갖는다. 도전층(252R)은 도전층(251)과 도전층(254) 사이의 광학 거리를 조정하기 위한 광학 조정층으로서 기능한다. 광학 조정층은 다른 색의 발광 소자 사이에서는 서로 다른 두께로 할 수 있다. 발광 소자(250R)가 갖는 도전층(252R)과 발광 소자(250G)가 갖는 도전층(252G)은 두께가 서로 다르다.
- [0182] 도전층(252R)의 단부 및 도전층(252G)의 단부를 덮어 절연층(256)이 제공되어 있다.
- [0183] EL층(253W) 및 도전층(254)은 복수의 화소에 걸쳐 공통적으로 제공되어 있다. EL층(253W)은 백색광을 나타내는 발광층을 갖는다.
- [0184] 발광 소자(250R) 위에는 절연층(235)을 사이에 두고 착색층(255R)이 제공되어 있다. 또한 발광 소자(250G) 위에는 착색층(255G)이 제공되어 있다. 또한 도 13에는 착색층(255B)의 일부를 나타내었다.
- [0185] 예를 들어 착색층(255R)은 적색광을 투과하고, 착색층(255G)은 녹색광을 투과하고, 착색층(255B)은 청색광을 투과한다. 이에 의하여, 각 발광 소자로부터의 광의 색 순도를 높일 수 있어, 표시 품질이 더 높은 표시 장치를 실현할 수 있다. 또한 절연층(235) 위에 각 착색층을 형성하는 경우, 기관(202) 측에 착색층을 형성한 후에 기관(201)과 기관(202)을 접합하는 경우에 비하여 각 발광 소자와 각 착색층의 위치 맞춤이 용이하기 때문에, 정세도가 매우 높은 표시 장치를 실현할 수 있다.
- [0186] 착색층(255R) 위 및 착색층(255G) 위에는 렌즈 어레이(257)가 제공되어 있다. 발광 소자(250R)로부터 방출된 광은 착색층(255R)에 의하여 착색되고, 렌즈 어레이(257)를 통하여 외부로 사출된다. 렌즈 어레이(257)는 불필요하면 제공하지 않아도 된다.
- [0187] 표시 장치(200A)는 시인 측에 기관(202)을 갖는다. 기관(202)과 기관(201)은 접합되어 있다. 기관(202)으로서는, 유리 기관, 석영 기관, 사파이어 기관, 플라스틱 기관 등 광 투과성을 갖는 기관을 사용할 수 있다.
- [0188] 이와 같은 구성으로 함으로써, 정세도가 매우 높고, 표시 품질이 높은 표시 장치를 실현할 수 있다.
- [0189] 도 14는 상기 표시 장치(200A)와는 일부 구성이 다른 표시 장치(200B)의 단면 개략도이다.
- [0190] 발광 소자(250R)는 적색광을 나타내는 EL층(253R)을 갖는다. 또한 발광 소자(250G)는 녹색광을 나타내는 EL층(253G)을 갖는다.
- [0191] 또한 여기서는 표시 장치(200B)가 착색층을 갖지 않는 예를 나타내었다.
- [0192] 또한 인접한 2개의 발광 소자 사이에서, EL층(253R)과 EL층(253G)은 접하지 않도록 가공되어 있다. 바꿔 말하면, 인접한 2개의 발광 소자 사이에서, EL층(253R)의 단부와 EL층(253G)의 단부가 마주 보고 절연층(256) 위에 제공되어 있다. EL층(253R) 및 EL층(253G)은 파인 메탈 마스크(Fine Metal Mask)를 사용한 증착법으로 따로따로 형성되어도 좋지만, 각각 포토리소그래피법으로 미세하게 가공되는 것이 바람직하다.
- [0193] 여기까지가 단면 구성예에 대한 설명이다.
- [0194] [보호 회로]
- [0195] 이하에서는, 표시 장치에 적용할 수 있는 보호 회로의 구성예에 대하여 설명한다.
- [0196] 액티브 매트릭스형 표시 장치에서는 많은 소스선과 게이트선이 매트릭스로 배치된다. 그러므로 표시 장치의 체

작 공정 중 또는 전자 기기의 통합 공정 중 등에 소스선 또는 게이트선에 ESD(Electro Static Discharge)가 발생되면, 표시 결함을 초래한다. 그러므로 소스선, 게이트선에는 ESD의 영향을 경감시키기 위한 보호 회로를 제공하는 것이 바람직하다.

- [0197] 또한 표시 장치의 출하 전 검사 또는 샘플링 검사 등의 검사에서, 화소가 정상적으로 구동하는지 여부를 검사하기 위한 검사용 회로, 단자, 또는 전극 등을 제공하는 경우가 있다.
- [0198] 도 15의 (A)에는 단자(PRE)로부터 입력되는 전위를 소스선(SL)에 입력하기 위한 회로(PC1)의 예를 나타내었다.
- [0199] 회로(PC1)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr3)를 갖는다. 각 트랜지스터는 한 쌍의 게이트를 갖는 트랜지스터이다. 반도체층에 대하여 아래쪽에 위치하는 게이트를 백 게이트라고 하고, 위쪽에 위치하는 게이트를 톱 게이트라고 한다.
- [0200] 트랜지스터(Tr1)는 톱 게이트가 단자(Sig)에 전기적으로 접속되고, 백 게이트가 단자(VBG1)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 소스선(SL)에 전기적으로 접속되고, 다른 쪽이 단자(PRE)에 전기적으로 접속되어 있다.
- [0201] 단자(Sig)에는 트랜지스터(Tr1)를 제어하기 위한 신호가 공급된다. 단자(VBG1)에는 바이어스 전위가 공급된다. 트랜지스터(Tr1)가 도통 상태가 됨으로써, 배선(SL)에 단자(PRE)의 전위가 공급된다.
- [0202] 여기서, 트랜지스터(Tr1)의 톱 게이트와 단자(Sig) 사이에서는 트랜지스터(Tr2)와 트랜지스터(Tr3)가 전기적으로 접속되어 있다. 트랜지스터(Tr2)와 트랜지스터(Tr3)는 보호 회로로서 기능한다. 트랜지스터(Tr2)와 트랜지스터(Tr3)는 각각 다이오드 접속된 트랜지스터이다. 또한 트랜지스터(Tr2)에는 단자(VDD)가 전기적으로 접속되고, 트랜지스터(Tr3)에는 단자(VSS)가 전기적으로 접속된다. 또한 트랜지스터(Tr2)의 백 게이트에는 단자(VBG2)가 전기적으로 접속되고, 트랜지스터(Tr3)의 백 게이트에는 단자(VBG3)가 전기적으로 접속된다.
- [0203] 도 15의 (B)에 나타난 회로(PC2)는 회로(PC1)에 비하여 단자 수 및 트랜지스터 수가 삭감된 경우의 예이다.
- [0204] 회로(PC2)는 트랜지스터(Tr1)를 갖는다. 트랜지스터(Tr1)는 톱 게이트가 배선(SL)에 전기적으로 접속되고, 백 게이트가 단자(Sig)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 단자(PRE)에 전기적으로 접속되고, 다른 쪽이 배선(SL)에 전기적으로 접속되어 있다.
- [0205] 이와 같이, 제어 신호가 공급되는 단자(Sig)를 트랜지스터(Tr1)의 톱 게이트가 아니라 백 게이트에 접속함으로써, 단자(Sig)의 보호 회로가 불필요하고, 회로를 간략화할 수 있다. 또한 트랜지스터(Tr1)의 전기 특성에 따라서는, 트랜지스터(Tr1)의 톱 게이트와 백 게이트를 교체할 수 있는 경우가 있다.
- [0206] 도 15의 (C)에 나타난 회로(PC3)는, 회로(PC2)에서의 트랜지스터(Tr1) 대신에 트랜지스터(Tr1a)와 트랜지스터(Tr1b)의 2개의 트랜지스터를 사용한 경우의 예이다. 트랜지스터(Tr1a)와 트랜지스터(Tr1b)는 각각 백 게이트가 단자(Sig)에 전기적으로 접속되어 있다.
- [0207] 또한 도 15의 (D)에 나타난 회로(PC4)는 트랜지스터(Tr1a)와 트랜지스터(Tr1b)에 각각 단자(단자(Sig1) 및 단자(Sig2))를 접속한 경우의 예이다.
- [0208] 도 15의 (B), (C), 및 (D)에 나타난 구성을 적용함으로써, 단자 수를 대폭 삭감할 수 있어, 소형의 표시 장치를 실현할 수 있다.
- [0209] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0210] (실시형태 2)
- [0211] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치 및 표시 시스템에 대하여 설명한다.
- [0212] <표시 장치의 구성예>
- [0213] 도 16은 본 발명의 일 형태의 표시 장치인 표시 장치(510)의 구성예를 모식적으로 나타낸 블록도이다. 표시 장치(510)는 층(520)과 층(530)을 갖고, 층(530)은 예를 들어 층(520)의 위쪽에 적층하여 제공할 수 있다. 층(520)과 층(530) 사이에는 층간 절연체, 또는 다른 층들 사이의 전기적인 접속을 수행하기 위한 도전체를 제공할 수 있다.
- [0214] 예를 들어 층(520)에 제공되는 트랜지스터는 채널 형성 영역에 실리콘을 포함하는 트랜지스터(Si 트랜지스터라고도 함)로 할 수 있고, 채널 형성 영역에 단결정 실리콘을 포함하는 트랜지스터로 할 수 있다. 특히, 층(52

0)에 제공되는 트랜지스터로서, 채널 형성 영역에 단결정 실리콘을 포함하는 트랜지스터를 사용하면, 상기 트랜지스터의 온 전류를 크게 할 수 있다. 따라서 층(520)이 갖는 회로를 고속으로 구동시킬 수 있기 때문에 바람직하다. 또한 Si 트랜지스터는 채널 길이 3nm 내지 10nm의 미세 가공으로 형성할 수 있기 때문에, 표시 장치(510)에는 CPU, GPU 등의 가속기, 애플리케이션 프로세서 등이 제공될 수 있다.

[0215] 층(530)에 제공되는 트랜지스터는 예를 들어 OS 트랜지스터로 할 수 있다. 특히 OS 트랜지스터로서, 채널 형성 영역에 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석), 및 아연 중 적어도 하나를 포함하는 산화물을 포함한 트랜지스터를 사용하는 것이 바람직하다. 이와 같은 OS 트랜지스터는 오프 전류가 매우 낮다는 특성을 갖는다. 따라서 특히 표시부가 갖는 화소 회로에 제공되는 트랜지스터로서 OS 트랜지스터를 사용하면, 화소 회로에 기록된 아날로그 데이터를 장기간 유지할 수 있기 때문에 바람직하다.

[0216] 층(520)에는 구동 회로(540) 및 기능 회로(550)가 제공된다. 층(520)에는 온 전류가 높은 Si 트랜지스터가 제공되기 때문에, 층(520)이 갖는 각 회로는 고속으로 구동할 수 있다.

[0217] 층(530)에는 복수의 화소(561)가 제공된 표시부(560)가 제공된다. 화소(561)에는 적색, 녹색, 청색의 발광을 제어하는 화소 회로(562R, 562G, 562B)가 제공된다. 화소 회로(562R, 562G, 562B)는 화소(561)의 부화소로서의 기능을 갖는다. 화소 회로(562R, 562G, 562B)는 OS 트랜지스터를 갖기 때문에, 화소 회로에 기록된 아날로그 데이터가 장기간 유지될 수 있다. 또한 층(530)이 갖는 화소(561)에는 각각 백업 회로(582)가 제공된다. 또한 백업 회로는 기억 회로 또는 메모리 회로라고 하는 경우가 있다.

[0218] 구동 회로(540)는 표시부(560)의 화소(561)(화소 회로(562R, 562G, 562B))를 구동하기 위한 게이트선 구동 회로, 소스선 구동 회로 등을 갖는다. 구동 회로(540)를 표시부가 제공되는 층(530)과는 다른 층(520)에 배치함으로써, 층(530)에서 표시부가 차지하는 면적을 확대할 수 있다. 또한 구동 회로(540)는 화상 데이터 등의 데이터를 표시 장치(510)의 외부로부터 수신하기 위한 인터페이스로서의 기능을 갖는 LVDS(Low Voltage Differential Signaling) 회로 또는 D/A(Digital to Analog) 변환 회로 등을 가져도 좋다. 층(520)의 Si 트랜지스터는 상기 트랜지스터의 온 전류를 크게 할 수 있다. 각 회로의 동작 속도에 따라 Si 트랜지스터의 채널 길이 또는 채널 폭 등을 다르게 하여도 좋다.

[0219] 기능 회로(550)는 데이터의 연산 처리에 사용되는 프로세서(예를 들어 CPU)를 갖는다. CPU는 복수의 CPU 코어를 갖는다. CPU 코어는 플립플롭을 갖는다. 플립플롭은 복수의 스캔 플립플롭을 갖는다. 스캔 플립플롭의 데이터(백업 데이터)는 플립플롭(580)과 백업 회로(582) 사이에서 입출력된다. 도 16에는 백업 회로(582)에서 유지하는 데이터 신호로서 백업 데이터(BD)를 나타내었다.

[0220] 백업 회로(582)에는, 예를 들어 OS 트랜지스터를 갖는 메모리가 적합하다. 백업 회로에 오프 전류가 매우 낮은 OS 트랜지스터를 사용한 경우, 백업 회로에 기록된 아날로그 데이터의 전압이 장기간 유지될 수 있고, 데이터의 유지에 전력이 거의 소비되지 않는다는 등의 이점이 있다. OS 트랜지스터를 갖는 백업 회로(582)는 복수의 화소(561)가 배치되는 표시부(560)에 제공될 수 있다. 도 16에서는, 각 화소(561)에 백업 회로(582)가 제공되어 있다.

[0221] OS 트랜지스터로 구성되는 백업 회로(582)는 Si 트랜지스터를 갖는 층(520)에 적층하여 제공할 수 있다. 백업 회로(582)는 화소(561) 내의 부화소와 마찬가지로 매트릭스로 배치되어도 좋고, 복수의 화소마다 배치되어도 좋다. 즉 백업 회로(582)는 화소(561)의 배치에 제한되지 않고 층(530) 내에 배치될 수 있다. 그러므로 표시부 또는 회로의 레이아웃의 자유도를 높이면서, 회로 면적을 확대시키지 않고 백업 회로(582)를 배치할 수 있기 때문에, 연산 처리에 필요한 백업 회로(582)의 기억 용량을 늘릴 수 있다.

[0222] <화소 회로 및 백업 회로의 구성예>

[0223] 도 17 및 도 18을 참조하여, 표시부(560) 내에서의 백업 회로(582) 및 부화소인 화소 회로(562R, 562G, 562B)의 배치의 구성예에 대하여 설명한다.

[0224] 도 17에는, 표시부(560)에서 복수의 화소(561)가 매트릭스로 배치된 구성을 나타내었다. 화소(561)는 화소 회로(562R, 562G, 562B) 외에 백업 회로(582)를 갖는다. 상술한 바와 같이 백업 회로(582) 및 화소 회로(562R, 562G, 562B)는 모두 OS 트랜지스터로 구성할 수 있기 때문에, 같은 화소 내에 배치할 수 있다.

[0225] <표시 장치의 블록도>

[0226] 도 18은 표시 장치(510)가 갖는 각 구성을 설명하기 위한 블록도이다. 표시 장치는 구동 회로(540), 기능 회로

(550), 및 표시부(560)를 갖는다.

- [0227] 구동 회로(540)는 일레로서 게이트 드라이버(541) 및 소스 드라이버(542)를 갖는다. 게이트 드라이버(541)는 화소 회로(562R, 562G, 562B)에 신호를 출력하기 위한 복수의 게이트선(GL)을 구동하는 기능을 갖는다. 소스 드라이버(542)는 화소 회로(562R, 562G, 562B)에 신호를 출력하기 위한 복수의 소스선(SL)을 구동하는 기능을 갖는다. 또한 구동 회로(540)는 화소 회로(562R, 562G, 562B)로 표시를 수행하기 위한 전압을 복수의 배선을 통하여 화소 회로(562R, 562G, 562B)에 공급한다.
- [0228] 기능 회로(550)는 CPU(551)를 갖는다. CPU(551)는 CPU 코어(553)를 갖는다. CPU 코어(553)는 연산 처리에 사용되는 데이터를 일시적으로 유지하기 위한 플립플롭(580)을 갖는다. 플립플롭(580)은 복수의 스캔 플립플롭(581)을 갖고, 각 스캔 플립플롭(581)은 표시부(560)에 제공되는 백업 회로(582)에 전기적으로 접속된다.
- [0229] 표시부(560)는 화소 회로(562R, 562G, 562B)와 백업 회로(582)가 제공된 화소(561)를 복수로 갖는다. 도 17을 참조하여 설명한 바와 같이, 백업 회로(582)는 반복 단위인 화소(561) 내에 반드시 배치될 필요는 없다. 표시부(560)의 형상, 화소 회로(562R, 562G, 562B)의 형상 등에 따라 자유롭게 배치할 수 있다.
- [0230] <화소 회로의 구성예>
- [0231] 도 19의 (A) 및 (B)에는, 화소 회로(562R, 562G, 562B)로서 적용할 수 있는 화소 회로(562)의 구성예 및 화소 회로(562)에 접속되는 발광 소자(570)를 나타내었다. 도 19의 (A)는 각 소자의 접속을 나타낸 도면이고, 도 19의 (B)는 구동 회로(540), 화소 회로(562), 및 발광 소자(570)의 위치 관계를 모식적으로 나타낸 도면이다.
- [0232] 본 명세서 등에서, 소자라는 용어를 "디바이스"로 바꿔 말할 수 있는 경우가 있다. 예를 들어 표시 소자, 발광 소자, 및 액정 소자는 표시 디바이스, 발광 디바이스, 및 액정 디바이스로 바꿔 말할 수 있다.
- [0233] 도 19의 (A) 및 (B)에 일레로서 나타낸 화소 회로(562)는 스위치(SW21), 스위치(SW22), 트랜지스터(M21), 및 용량 소자(C21)를 갖는다. 스위치(SW21), 스위치(SW22), 트랜지스터(M21)는 OS 트랜지스터로 구성할 수 있다. 스위치(SW21), 스위치(SW22), 트랜지스터(M21)의 각 OS 트랜지스터는 게이트 전극 및 백 게이트 전극의 양쪽을 갖는 것이 바람직하고, 이 경우 백 게이트 전극에 게이트 전극과 같은 신호를 공급하는 구성, 백 게이트 전극에 게이트 전극과 다른 신호를 공급하는 구성으로 할 수 있다.
- [0234] 트랜지스터(M21)는 스위치(SW21)에 전기적으로 접속되는 게이트 전극과, 발광 소자(570)에 전기적으로 접속되는 제 1 전극과, 배선(ANO)에 전기적으로 접속되는 제 2 전극을 갖는다. 배선(ANO)은 발광 소자(570)에 전류를 공급하기 위한 전위를 공급하는 배선이다.
- [0235] 스위치(SW21)는 트랜지스터(M21)의 게이트 전극에 전기적으로 접속되는 제 1 단자와 소스선(SL)에 전기적으로 접속되는 제 2 단자를 갖는다. 또한 스위치(SW21)는 게이트선(GL1)의 전위에 기초하여 도통 상태 또는 비도통 상태를 제어하는 기능을 갖는다.
- [0236] 스위치(SW22)는 배선(V0)에 전기적으로 접속되는 제 1 단자와 발광 소자(570)에 전기적으로 접속되는 제 2 단자를 갖는다. 또한 스위치(SW22)는 게이트선(GL2)의 전위에 기초하여 도통 상태 또는 비도통 상태를 제어하는 기능을 갖는다. 배선(V0)은 기준 전위를 공급하기 위한 배선 및 화소 회로(562)에 흐르는 전류를 구동 회로(540) 또는 기능 회로(550)에 출력하기 위한 배선이다.
- [0237] 용량 소자(C21)는 트랜지스터(M21)의 게이트 전극에 전기적으로 접속되는 도전막과 스위치(SW22)의 제 2 단자에 전기적으로 접속되는 도전막을 갖는다.
- [0238] 발광 소자(570)는 트랜지스터(M21)의 제 1 전극에 전기적으로 접속되는 제 1 전극과 배선(VCOM)에 전기적으로 접속되는 제 2 전극을 갖는다. 배선(VCOM)에는 발광 소자(570)에 전류를 공급하기 위한 전위가 공급된다.
- [0239] 이에 의하여, 트랜지스터(M21)의 게이트 전극에 공급되는 화상 신호에 따라, 발광 소자(570)가 방출하는 광의 강도를 제어할 수 있다. 또한 스위치(SW22)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여, 발광 소자(570)에 흐르는 전류량을 크게 할 수 있다. 또한 배선(V0)에 흐르는 전류량을 외부 회로로 모니터링함으로써, 발광 소자에 흐르는 전류량을 추정할 수 있다. 이에 의하여, 화소의 결합 등을 검출할 수 있다.
- [0240] 또한 도 19의 (B)에 일레로서 나타낸 구성에서는, 화소 회로(562)와 구동 회로(540)를 전기적으로 접속하는 배선을 짧게 할 수 있기 때문에, 상기 배선의 저항을 낮게 할 수 있다. 그러므로 데이터의 기록을 고속으로 수행할 수 있고, 표시 장치(510)를 고속으로 구동시킬 수 있다. 이에 의하여, 표시 장치(510)가 갖는 화소(561)의 개수가 많아도 충분한 프레임 기간을 확보할 수 있고, 표시 장치(510)의 화소 밀도를 높일 수 있다. 또한 표시

장치(510)의 화소 밀도를 높임으로써, 표시 장치(510)에 의하여 표시되는 화상의 정세도를 높일 수 있다. 예를 들어 표시 장치(510)의 화소 밀도를 1000ppi 이상, 5000ppi 이상, 또는 7000ppi 이상으로 할 수 있다. 따라서 표시 장치(510)는 예를 들어 AR 또는 VR용 표시 장치로 할 수 있고, HMD 등, 표시부와 사용자 사이의 거리가 가까운 전자 기기에 적합하게 적용할 수 있다.

[0241] 도 19의 (B)에서는, 게이트선(GL1), 게이트선(GL2), 배선(ANO), 배선(VCOM), 배선(V0), 소스선(SL)에 화소 회로(562)의 아래쪽의 구동 회로(540)로부터 배선을 통하여 신호가 공급되어 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 구동 회로(540)의 신호 및 전압을 공급하는 배선을 표시부(560)의 외주부에 리드하고, 층(530)에 매트릭스로 배치되는 각 화소 회로(562)에 전기적으로 접속시켜도 좋다. 이 경우, 구동 회로(540)가 갖는 게이트 드라이버(541)를 층(530)에 제공하는 것이 유효하다. 즉 게이트 드라이버(541)의 트랜지스터로서 OS 트랜지스터를 사용하는 것이 유효하다. 구동 회로(540)가 갖는 소스 드라이버(542)의 기능의 일부를 층(530)에 제공하는 것이 유효하다. 예를 들어 소스 드라이버(542)가 출력하는 신호를 각 소스선에 분배하는 디멀티플렉서를 층(530)에 제공하는 것이 유효하다. 디멀티플렉서의 트랜지스터로서 OS 트랜지스터를 사용하는 것이 유효하다.

[0242] <표시 보정 시스템의 구성예>

[0243] 본 발명의 일 형태의 표시 시스템은 표시 보정 시스템을 가져도 좋다. 상기 표시 보정 시스템은 발광 소자(570)에 흐르는 전류(I<sub>EL</sub>)를 보정함으로써, 휘점 또는 암점 등 불량 화소에 기인한 표시 불량을 저감할 수 있다.

[0244] 도 20의 (A)의 회로도, 도 19의 (A)에 나타난 화소 회로(562)의 일부를 추출하여 나타난 것이다. 휘점 또는 암점 등의 원인이 되는 불량 화소의 경우, 정상적인 표시를 수행하는 화소에 비하여, 발광 소자(570)에 흐르는 전류(I<sub>EL</sub>)가 매우 커지거나 작아진다.

[0245] CPU(551)는 스위치(SW23)를 통하여 흐르는 모니터 전류(I<sub>MONI</sub>)의 데이터를 정기적으로 취득한다. 상기 모니터 전류(I<sub>MONI</sub>)의 전류량을 CPU(551)에서 다룰 수 있는 디지털 데이터로 변환하고, 상기 디지털 데이터를 사용하여 CPU(551)에서는 연산 처리를 수행한다. CPU(551)에서의 연산 처리에 의하여 불량 화소를 추정하고, CPU(551)에서는 불량 화소로 인한 표시 불량을 시인하기 어렵게 하기 위한 보정을 수행한다. 예를 들어 도 20의 (B)에 나타난 화소(561D)가 불량 화소인 경우, 인접한 화소(561N)의 발광 소자(570)에 흐르는 전류(I<sub>EL</sub>)를 보정한다.

[0246] 상기 보정은 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 인공 신경망에 기초한 연산을 실행함으로써 보정량을 추정할 수 있다.

[0247] 상술한 보정에 의하여, 불량 화소에 인접한 화소(561N)에 흐르는 전류(I<sub>EL</sub>)를 전류(I<sub>EL,C</sub>)로 보정한다. 불량 화소와 화소(561N)가 합성된 화소(561G)가 표시를 수행함으로써, 휘점 또는 암점 등의 불량 화소에 기인하는 표시 불량을 잘 보이지 않게 하여, 정상적인 표시로 할 수 있다.

[0248] 또한 화소에 흐르는 전류를 보정하기 위한 표시 보정 시스템에 의한 연산에서는, 연산 도중의 데이터를 백업 데이터로서 계속 유지할 수 있다. 그러므로 인공 신경망에 기초한 연산과 같은 연산량이 방대한 연산 처리를 수행하는 데 특히 유효하다. 또한 CPU(551)를 애플리케이션 프로세서로서 기능시키고, 프레임 주파수를 가변으로 하는 구동 등을 연산과 조합함으로써, 표시 불량의 저감에 더하여 저소비 전력화를 도모할 수도 있다.

[0249] <표시 장치의 변형예>

[0250] 앞에서 설명한 표시 장치(510)가 갖는 각 구성의 변형예에 대하여 도 21을 참조하여 설명한다.

[0251] 도 21에 나타난 표시 장치(510A)의 블록도의 구성은 도 18의 표시 장치(510)에서의 기능 회로(550)에 가속기(552)를 추가한 구성에 상당한다.

[0252] 상술한 표시 보정 시스템에서 인공 신경망에 기초한 연산을 수행하는 경우, 적화 연산(product-sum operation)이 반복적으로 수행된다. 가속기(552)는 인공 신경망(NN)의 적화 연산 처리를 위한 전용 연산 회로로서 기능한다. 가속기(552)를 사용한 연산에서는, 상술한 표시 불량을 보정하는 처리 또는 표시 데이터를 업컨버트하는 등에 의하여 화상의 윤곽을 보정하는 처리 등을 실시할 수 있다. 또한 가속기(552)에 의한 연산 처리를 수행하는 동안, CPU(551)를 파워 게이팅 제어하는 구성으로 함으로써, 저소비 전력화를 도모할 수 있다.

[0253] 본 실시형태에서 예시한 구성에 및 이들에 대응하는 도면 등은, 적어도 그 일부를 다른 구성에 또는 도면 등과

적절히 조합할 수 있다.

- [0254] (실시형태 3)
- [0255] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치에 사용할 수 있는 발광 소자(발광 디바이스)에 대하여 설명한다.
- [0256] 본 명세서 등에서, 메탈 마스크 또는 FMM(과인 메탈 마스크, 고정세의 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조를 갖는 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조를 갖는 디바이스라고 부르는 경우가 있다.
- [0257] 또한 본 명세서 등에서, 각 색의 발광 디바이스(여기서는 청색(B), 녹색(G), 및 적색(R))의 발광층을 따로따로 형성하거나 개별 도포하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. 또한 본 명세서 등에서, 백색광을 방출할 수 있는 발광 디바이스를 백색 발광 디바이스라고 부르는 경우가 있다. 또한 백색 발광 디바이스는 착색층(예를 들어 컬러 필터)과 조합함으로써, 풀 컬러 표시의 발광 디바이스로 할 수 있다.
- [0258] 또한 발광 디바이스는 싱글 구조를 갖는 발광 디바이스와 탠덤 구조를 갖는 발광 디바이스로 크게 나눌 수 있다. 싱글 구조를 갖는 발광 디바이스는 한 쌍의 전극 사이에 하나의 발광 유닛을 갖고, 상기 발광 유닛은 하나 이상의 발광층을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 2개 이상의 발광층의 각각의 발광이 보색의 관계가 되는 발광층을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색의 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색 발광하는 구성을 얻을 수 있다. 또한 발광층을 3개 이상 갖는 발광 디바이스의 경우도 마찬가지이다.
- [0259] 탠덤 구조를 갖는 발광 디바이스는 한 쌍의 전극 사이에 2개 이상의 복수의 발광 유닛을 갖고, 각 발광 유닛은 하나 이상의 발광층을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 복수의 발광 유닛의 발광층으로부터의 광을 조합하여 백색 발광이 얻어지는 구성으로 하면 좋다. 또한 백색 발광이 얻어지는 구성은 상술한 싱글 구조의 구성과 같다. 또한 탠덤 구조를 갖는 발광 디바이스에서, 복수의 발광 유닛들 사이에는 전하 발생층 등의 중간층을 제공하는 것이 바람직하다.
- [0260] 또한 상술한 백색 발광 디바이스(싱글 구조 또는 탠덤 구조)와 SBS 구조를 갖는 발광 디바이스를 비교한 경우, SBS 구조를 갖는 발광 디바이스는 백색 발광 디바이스보다 소비 전력을 낮게 할 수 있다. 소비 전력을 낮게 억제하고자 하는 경우에는, SBS 구조를 갖는 발광 디바이스를 사용하는 것이 바람직하다. 한편, 백색 발광 디바이스는 제조 공정이 SBS 구조를 갖는 발광 디바이스보다 간단하기 때문에, 제조 비용을 낮게 하거나 제조 수율을 높일 수 있기 때문에 바람직하다.
- [0261] <발광 소자(570)의 구성예>
- [0262] 발광 소자(570)가 갖는 EL층(686)은 도 22의 (A)에 나타낸 바와 같이, 층(4420), 발광층(4411), 층(4430) 등의 복수의 층으로 구성할 수 있다. 층(4420)은 예를 들어 전자 주입성이 높은 물질을 포함하는 층(전자 주입층) 및 전자 수송성이 높은 물질을 포함하는 층(전자 수송층) 등을 가질 수 있다. 발광층(4411)은 예를 들어 발광성 화합물을 포함한다. 층(4430)은 예를 들어 정공 주입성이 높은 물질을 포함하는 층(정공 주입층) 및 정공 수송성이 높은 물질을 포함하는 층(정공 수송층)을 가질 수 있다.
- [0263] 한 쌍의 전극 사이에 제공된 층(4420), 발광층(4411), 및 층(4430)을 갖는 구성은 단일의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 22의 (A)의 구성을 싱글 구조라고 부른다.
- [0264] 또한 도 22의 (B)에 나타낸 바와 같이, 층(4420)과 층(4430) 사이에 복수의 발광층(발광층(4411, 4412, 4413))이 제공된 구성도 싱글 구조의 배리에이션이다.
- [0265] 또한 도 22의 (C)에 나타낸 바와 같이, 복수의 발광 유닛(EL층(686a, 686b))이 중간층(전하 발생층)(4440)을 사이에 두고 직렬로 접속된 구성을 본 명세서에서는 탠덤 구조라고 부른다. 또한 본 명세서 등에서는, 도 22의 (C)에 나타낸 구성을 탠덤 구조라고 부르지만, 이에 한정되지 않고, 예를 들어 탠덤 구조를 스택 구조라고 불러도 좋다. 또한 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 소자로 할 수 있다.
- [0266] 발광 소자(570)의 발광색은 EL층(686)을 구성하는 재료에 따라 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 소자(570)를 마이크로캐비티 구조로 함으로써, 색 순도를 더 높일 수 있다.
- [0267] 백색광을 방출하는 발광 소자는 발광층에 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을

연기 위해서는, 2개 이상의 발광 물질의 각각의 발광이 보색의 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색의 관계가 되도록 함으로써, 발광 소자 전체로서 백색 발광하는 발광 소자를 얻을 수 있다. 또한 발광층을 3개 이상 갖는 발광 소자의 경우도 마찬가지이다.

- [0268] 발광층은 R(적색), G(녹색), B(청색), Y(황색), O(주황색) 등의 광을 방출하는 발광 물질을 2개 이상 포함하는 것이 바람직하다. 또는 발광층은 2개 이상의 발광 물질을 포함하고, 각각의 발광 물질의 발광은 R, G, B 중 2개 이상의 색의 스펙트럼 성분을 포함하는 것이 바람직하다.
- [0269] <발광 소자(570)의 형성 방법>
- [0270] 이하에서는, 화소 회로(562) 위에 제공되는 발광 소자(570)의 형성 방법에 대하여 설명한다.
- [0271] 도 23의 (A)는 본 발명의 일 형태의 표시 장치의 상면 개략도이다. 표시부(560)는 적색을 나타내는 발광 소자(570R), 녹색을 나타내는 발광 소자(570G), 및 청색을 나타내는 발광 소자(570B)를 각각 복수로 갖는다. 도 23의 (A)에서는, 각 발광 소자를 쉽게 구별하기 위하여, 각 발광 소자의 발광 영역 내에 R, G, B의 부호를 붙였다. 또한 도 23의 (A)에 나타난 표시부(560)의 구성을 SBS(Side By Side) 구조라고 불러도 좋다. 또한 도 23의 (A)에서는 적색(R), 녹색(G), 및 청색(B)의 3개의 색을 갖는 구성을 예시하였지만, 이에 한정되지 않는다. 예를 들어 4개 이상의 색을 갖는 구성으로 하여도 좋다.
- [0272] 발광 소자(570R), 발광 소자(570G), 및 발광 소자(570B)는 각각 매트릭스로 배열되어 있다. 도 23의 (A)에는, 동일한 색의 발광 소자가 한 방향으로 배열되는, 소위 스트라이프 배열을 나타내었다. 또한 발광 소자의 배열 방법은 이에 한정되지 않고, 델타 배열, 지그재그 배열 등의 배열 방법을 적용하여도 좋고, 펜타일 배열을 사용할 수도 있다.
- [0273] 발광 소자(570R), 발광 소자(570G), 및 발광 소자(570B)로서는, OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode) 등의 유기 EL 디바이스를 사용하는 것이 바람직하다. EL 소자에 포함되는 발광 물질로서는, 형광을 방출하는 물질(형광 재료), 인광을 방출하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료), 무기 화합물(퀀텀닷 재료 등) 등을 들 수 있다.
- [0274] 도 23의 (B)는 도 23의 (A)에서의 일점쇄선 A1-A2를 따라 취한 단면 개략도이다.
- [0275] 도 23의 (B)에는 발광 소자(570R), 발광 소자(570G), 및 발광 소자(570B)의 단면을 나타내었다. 발광 소자(570R), 발광 소자(570G), 및 발광 소자(570B)는 각각 기판(351) 위에 제공되고, 화소 전극으로서 기능하는 도전체(672) 및 공통 전극으로서 기능하는 도전체(688)를 갖는다.
- [0276] 발광 소자(570R)는 도전체(672)와 도전체(688) 사이에 EL층(686R)을 갖는다. EL층(686R)은 적어도 적색의 파장 대역에 강도를 갖는 광을 방출하는 발광성 유기 화합물을 포함한다. 발광 소자(570G)가 갖는 EL층(686G)은 적어도 녹색의 파장 대역에 강도를 갖는 광을 방출하는 발광성 유기 화합물을 포함한다. 발광 소자(570B)가 갖는 EL층(686B)은 적어도 청색의 파장 대역에 강도를 갖는 광을 방출하는 발광성 유기 화합물을 포함한다.
- [0277] EL층(686R), EL층(686G), 및 EL층(686B)은 각각 발광성 유기 화합물을 포함하는 층(발광층)에 더하여, 전자 주입층, 전자 수송층, 정공 주입층, 및 정공 수송층 중 하나 이상을 가져도 좋다.
- [0278] 도전체(672)는 각 발광 소자에 제공되어 있다. 또한 도전체(688)는 각 발광 소자에 공통되며 연속된 층으로서 제공되어 있다. 도전체(672) 및 도전체(688) 중 어느 한쪽으로서 가시광에 대하여 투과성을 갖는 도전막을 사용하고, 다른 쪽으로서 반사성을 갖는 도전막을 사용한다. 도전체(672)에 광 투과성을 부여하고, 도전체(688)에 반사성을 부여함으로써, 하면 사출형(보통 이미지선형)의 표시 장치로 할 수 있고, 반대로 도전체(672)에 반사성을 부여하고, 도전체(688)에 광 투과성을 부여함으로써, 상면 사출형(탑 이미지선형)의 표시 장치로 할 수 있다. 또한 도전체(672)와 도전체(688)의 양쪽에 광 투과성을 부여함으로써, 양면 사출형(듀얼 이미지선형)의 표시 장치로 할 수도 있다.
- [0279] 도전체(672)의 단부를 덮어 절연층(372)이 제공되어 있다. 절연층(372)의 단부는 테이퍼 형상인 것이 바람직하다.
- [0280] EL층(686R), EL층(686G), 및 EL층(686B)은 각각 도전체(672)의 상면과 접하는 영역과 절연층(372)의 표면과 접하는 영역을 갖는다. 또한 EL층(686R), EL층(686G), 및 EL층(686B)의 단부는 절연층(372) 위에 위치한다.
- [0281] 도 23의 (B)에 나타난 바와 같이, 상이한 색의 발광 소자 사이에서, 2개의 EL층 사이에 간격이 제공되어 있다.

이와 같이, EL층(686R), EL층(686G), 및 EL층(686B)은 서로 접하지 않도록 제공되는 것이 바람직하다. 이에 의하여, 인접한 2개의 EL층을 통하여 전류가 흐르므로, 의도하지 않은 발광(크로스토크라고도 함)을 적절하게 방지할 수 있다. 그러므로 콘트라스트를 높일 수 있고, 표시 품질이 높은 표시 장치를 실현할 수 있다.

- [0282] EL층(686R), EL층(686G), 및 EL층(686B)은 메탈 마스크 등의 새도 마스크를 사용한 진공 증착법 등에 의하여 따로따로 형성할 수 있다. 또는 포토리소그래피법에 의하여 이들을 따로따로 형성하여도 좋다. 포토리소그래피법을 사용함으로써, 메탈 마스크를 사용한 경우에는 실현하기 어려운, 정세도가 높은 표시 장치를 실현할 수 있다.
- [0283] 또한 도전체(688) 위에는 발광 소자(570R), 발광 소자(570G), 및 발광 소자(570B)를 덮어 보호층(371)이 제공되어 있다. 보호층(371)은 위쪽으로부터 각 발광 소자로 물 등의 불순물이 확산되는 것을 방지하는 기능을 갖는다.
- [0284] 보호층(371)은 예를 들어 적어도 무기 절연막을 포함하는 단층 구조 또는 적층 구조를 가질 수 있다. 무기 절연막으로서, 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물막 또는 질화물막이 있다. 또는 보호층(371)에 인듐 갈륨 산화물, 인듐 갈륨 아연 산화물 등의 반도체 재료를 사용하여도 좋다. 또한 보호층(371)은 ALD법, CVD법, 및 스퍼터링법을 사용하여 형성하면 좋다. 또한 무기 절연막을 포함하는 보호층(371)의 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어 보호층(371)은 무기 절연막과 유기 절연막의 적층 구조를 가져도 좋다.
- [0285] 도 23의 (C)에는 상기와는 다른 예를 나타내었다.
- [0286] 도 23의 (C)에서는, 백색광을 방출하는 발광 소자(570W)가 제공되어 있다. 발광 소자(570W)는 도전체(672)와 도전체(688) 사이에 백색광을 방출하는 EL층(686W)을 갖는다.
- [0287] EL층(686W)은 예를 들어 각각의 발광색이 보색의 관계가 되도록 선택된 2개 이상의 발광층이 적층된 구성을 가질 수 있다. 또한 발광층 간에 전하 발생층을 끼운 적층형 EL층으로 하여도 좋다.
- [0288] 도 23의 (C)에는 나란히 배치된 3개의 발광 소자(570W)를 나타내었다. 왼쪽의 발광 소자(570W)의 상부에는 착색층(364R)이 제공되어 있다. 착색층(364R)은 적색광을 투과시키는 대역 필터로서 기능한다. 마찬가지로, 중앙의 발광 소자(570W)의 상부에는 녹색광을 투과시키는 착색층(364G)이 제공되고, 오른쪽의 발광 소자(570W)의 상부에는 청색광을 투과시키는 착색층(364B)이 제공되어 있다. 이에 의하여, 표시 장치는 컬러 화상을 표시할 수 있다.
- [0289] 여기서, 인접한 2개의 발광 소자(570W) 사이에서, EL층(686W)과 도전체(688)는 각각 분리되어 있다. 이에 의하여, 인접한 2개의 발광 소자(570W) 사이에서 EL층(686W)을 통하여 전류가 흘러 의도하지 않은 발광이 발생하는 것을 적절하게 방지할 수 있다. 특히, EL층(686W)으로서 2개의 발광층 사이에 전하 발생층이 제공되는 적층형 EL 소자를 사용한 경우에는, 정세도가 높을수록, 즉 인접 화소 사이의 거리가 작을수록 크로스토크의 영향이 현저해져, 콘트라스트가 저하되는 등의 문제가 있다. 그러므로 이러한 구성으로 함으로써, 정세도와 콘트라스트가 모두 높은 표시 장치를 실현할 수 있다.
- [0290] EL층(686W)과 도전체(688)의 분리는 포토리소그래피법에 의하여 수행하는 것이 바람직하다. 이에 의하여, 발광 소자 사이의 간격을 좁힐 수 있기 때문에, 예를 들어 메탈 마스크 등의 새도 마스크를 사용한 경우에 비하여 개구율이 더 높은 표시 장치를 실현할 수 있다.
- [0291] 또한 보텀 이미션형 발광 소자의 경우에는, 도전체(672)와 기관(351) 사이에 착색층을 제공하면 좋다.
- [0292] 여기까지가 발광 소자에 대한 설명이다.
- [0293] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0294] (실시형태 4)
- [0295] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치가 적용된 전자 기기의 구성예에 대하여 설명한다.
- [0296] 본 발명의 일 형태의 표시 장치 및 표시 모듈은 표시 기능을 갖는 전자 기기 등의 표시부에 적용될 수 있다. 이와 같은 전자 기기로서는, 예를 들어 텔레비전 장치, 노트북형 퍼스널 컴퓨터, 모니터 장치, 디지털 사이니지, 파친코기, 게임기 등 비교적 큰 화면을 갖춘 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라,

디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

- [0297] 특히, 본 발명의 일 형태의 표시 장치 및 표시 모듈은 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 갖는 전자 기기에 적합하게 사용할 수 있다. 이와 같은 전자 기기로서는, 예를 들어 손목시계형, 팔찌형의 정보 단말기(웨어러블 기기), 헤드 마운트 디스플레이 등의 VR용 기기 또는 안경형의 AR용 기기 등, 머리에 장착할 수 있는 웨어러블 기기 등이 있다.
- [0298] 도 24의 (A)는 안경형의 전자 기기(700)의 사시도이다. 전자 기기(700)는 한 쌍의 표시 패널(701), 한 쌍의 하우징(702), 한 쌍의 광학 부재(703), 한 쌍의 장착부(704) 등을 갖는다.
- [0299] 전자 기기(700)는 광학 부재(703)의 표시 영역(706)에, 표시 패널(701)에 표시한 화상을 투영할 수 있다. 또한 광학 부재(703)는 광 투과성을 갖기 때문에, 사용자는 광학 부재(703)를 통하여 시인되는 투과 이미지에 겹쳐, 표시 영역(706)에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700)는 AR 표시가 가능한 전자 기기이다.
- [0300] 또한 한쪽의 하우징(702)에는 앞쪽을 촬상할 수 있는 카메라(705)가 제공되어 있다. 또한 도시하지 않았지만, 어느 한쪽의 하우징(702)에는 무선 수신기 또는 케이블을 접속할 수 있는 커넥터가 제공되고, 하우징(702)에 영상 신호 등을 공급할 수 있다. 또한 하우징(702)에 자이로 센서 등의 가속도 센서를 제공함으로써, 사용자의 머리의 방향을 검지하고, 그 방향에 대응하는 화상을 표시 영역(706)에 표시할 수도 있다. 또한 하우징(702)에는 배터리가 제공되는 것이 바람직하고, 무선 또는 유선으로 충전할 수 있다.
- [0301] 이어서, 도 24의 (B)를 사용하여 전자 기기(700)의 표시 영역(706)에 대한 화상의 투영 방법에 대하여 설명한다. 하우징(702)의 내부에는 표시 패널(701), 렌즈(711), 반사판(712)이 제공되어 있다. 또한 광학 부재(703)의 표시 영역(706)에 상당하는 부분에는, 하프 미러로서 기능하는 반사면(713)을 갖는다.
- [0302] 표시 패널(701)로부터 방출된 광(715)은, 렌즈(711)를 통과하고, 반사판(712)에 의하여 광학 부재(703) 측으로 반사된다. 광학 부재(703)의 내부에서는, 광(715)이 광학 부재(703)의 단부면에서 전반사를 반복하고 반사면(713)에 도달됨으로써, 반사면(713)에 화상이 투영된다. 이로써, 사용자는 반사면(713)에 반사된 광(715)과, 광학 부재(703)(반사면(713)을 포함함)를 투과한 투과광(716)의 양쪽을 시인할 수 있다.
- [0303] 도 24에는 반사판(712) 및 반사면(713)이 각각 곡면을 갖는 예를 나타내었다. 이 경우, 이들이 평면인 경우에 비하여 광학 설계의 자유도를 높일 수 있고, 광학 부재(703)의 두께를 얇게 할 수 있다. 또한 반사판(712) 및 반사면(713)을 평면으로 하여도 좋다.
- [0304] 반사판(712)으로서는 경면(鏡面)을 갖는 부재를 사용할 수 있고, 반사율이 높은 것이 바람직하다. 또한 반사면(713)으로서는, 금속막의 반사를 이용한 하프 미러를 사용하여도 좋지만, 전반사를 이용한 프리즘 등을 사용하면, 투과광(716)의 투과율을 높일 수 있다.
- [0305] 여기서, 하우징(702)은 렌즈(711)와 표시 패널(701) 사이의 거리 또는 이들의 각도를 조정하는 기구를 갖는 것이 바람직하다. 이에 의하여, 초점 조정, 화상의 확대, 축소 등을 수행할 수 있다. 예를 들어 렌즈(711) 및 표시 패널(701) 중 한쪽 또는 양쪽이 광축 방향으로 이동할 수 있는 구성으로 하면 좋다.
- [0306] 또한 하우징(702)은 반사판(712)의 각도를 조정할 수 있는 기구를 갖는 것이 바람직하다. 반사판(712)의 각도를 변경함으로써, 화상이 표시되는 표시 영역(706)의 위치를 변경할 수 있다. 따라서 사용자의 눈의 위치에 따라 최적의 위치에 표시 영역(706)을 배치할 수 있다.
- [0307] 표시 패널(701)에는 본 발명의 일 형태의 표시 장치 또는 표시 모듈을 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기(700)로 할 수 있다.
- [0308] 도 25의 (A), (B)는 고글형의 전자 기기(750)의 사시도이다. 도 25의 (A)는 전자 기기(750)의 정면, 평면, 및 왼쪽 면을 나타낸 사시도이고, 도 25의 (B)는 전자 기기(750)의 배면, 밑면, 및 오른쪽 면을 나타낸 사시도이다.
- [0309] 전자 기기(750)는 한 쌍의 표시 패널(751), 하우징(752), 한 쌍의 장착부(754), 완충 부재(755), 한 쌍의 렌즈(756) 등을 갖는다. 한 쌍의 표시 패널(751)은 하우징(752)의 내부에서 렌즈(756)를 통하여 시인될 수 있는 위치에 각각 제공되어 있다.
- [0310] 전자 기기(750)는 VR용 전자 기기이다. 전자 기기(750)를 장착한 사용자는 렌즈(756)를 통하여 표시 패널(751)에 표시되는 화상을 시인할 수 있다. 또한 한 쌍의 표시 패널(751)에 상이한 화상을 표시함으로써, 시차를 사용한 3차원 표시를 수행할 수도 있다.

- [0311] 또한 하우징(752)의 배면 측에는 입력 단자(757)와 출력 단자(758)가 제공되어 있다. 입력 단자(757)에는 영상 출력 기기 등으로부터의 영상 신호, 또는 하우징(752) 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다. 출력 단자(758)는 예를 들어 음성 출력 단자로서 기능하고, 이어폰, 헤드폰 등이 접속될 수 있다. 또한 무선 통신에 의하여 음성 데이터를 출력할 수 있는 구성으로 하는 경우 또는 외부의 영상 출력 기기로부터 음성을 출력하는 경우에는, 상기 음성 출력 단자를 제공하지 않아도 된다.
- [0312] 또한 하우징(752)은, 렌즈(756) 및 표시 패널(751)이 사용자의 눈의 위치에 따라 최적의 위치에 배치되도록, 이들의 좌우의 위치를 조정할 수 있는 기구를 갖는 것이 바람직하다. 또한 렌즈(756)와 표시 패널(751) 사이의 거리를 변경함으로써 초점을 조정하는 기구를 갖는 것이 바람직하다.
- [0313] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치 또는 표시 모듈을 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기(750)로 할 수 있다. 이로써, 사용자는 높은 몰입감을 느낄 수 있다.
- [0314] 완충 부재(755)는 사용자의 얼굴(이마, 뺨 등)에 접촉되는 부분이다. 완충 부재(755)가 사용자의 얼굴과 밀착되면, 광 누설을 방지할 수 있기 때문에, 몰입감을 더 높일 수 있다. 사용자가 전자 기기(750)를 장착한 경우에 완충 부재(755)가 사용자의 얼굴에 밀착되도록, 완충 부재(755)로서는 부드러운 소재를 사용하는 것이 바람직하다. 예를 들어 고무, 실리콘(silicone) 고무, 우레탄, 스펀지 등의 소재를 사용할 수 있다. 또한 스펀지 등의 표면을 친, 피혁(천연 피혁 또는 합성 피혁) 등으로 덮은 것을 사용하면, 사용자의 얼굴과 완충 부재(755) 사이에 틈이 생기기 어렵기 때문에, 광 누설을 적절하게 방지할 수 있다. 또한 이와 같은 소재를 사용하면, 촉감이 좋고, 추운 계절 등에 장착한 경우에 사용자가 차갑다고 느끼지 않기 때문에 바람직하다. 완충 부재(755) 또는 장착부(754) 등, 사용자의 피부에 접촉되는 부재를 탈착 가능한 구성으로 하면, 클리닝 또는 교환이 용이해지기 때문에 바람직하다.
- [0315] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0316] (실시에)
- [0317] 본 실시예에서는, 본 발명의 일 형태의 표시 장치를 제작하였다. 제작한 표시 장치의 화소에 대해서는, 실시형태 1에서 도 9의 (A)를 참조하여 예시한 표시 장치(10F)를 참조할 수 있다. 제작한 표시 장치의 트랜지스터 및 표시 소자의 단면 구성에 대해서는 도 13을 참조할 수 있다.
- [0318] 먼저, 표시 장치에 적용한 트랜지스터의 전기 특성에 대하여 설명한다. 도 26은 트랜지스터의 사시 개략도이다. 제작한 트랜지스터는 LSI 프로세스 노드를 사용하여 제작한 Trench-gate-self-aligned 구조(TGSA 구조)를 갖고, 톱 게이트 전극(Top Gate Electrode)이 산화물 반도체(OS)의 채널을 덮도록 형성되어 있다. 이에 의하여, 톱 게이트 전극에 의한 전계 제어성이 향상되므로, 미세화에 적합한 구조가 되어 있다.
- [0319] 상기 트랜지스터는 채널이 형성되는 반도체로서 산화물 반도체를 사용한 트랜지스터(OS 트랜지스터)이다. 측정된 트랜지스터는 채널 길이가 약 200nm이고, 채널 폭이 약 60nm이다.
- [0320] 도 27의 (A)에 Id-Vg 특성을 나타내었다. 도 27의 (A)에는 드레인 전압이 0.1V일 때와 1.2V일 때의 2개의 Id-Vg 특성을 나타내었다. 트랜지스터는 미세함에도 불구하고, 도 27의 (A)에 나타낸 바와 같이 노멀리 오프 특성을 나타내고, 오프 전류는 측정기의 검출 하한( $1 \times 10^{12}$  A) 이하이었다.
- [0321] 도 27의 (B)에 Id-Vd 특성을 나타내었다. 도 27의 (B)에는 게이트 전압이 0.5V, 1.0V, 1.5V, 및 2.0V일 때의 4개의 Id-Vd 특성을 나타내었다. 트랜지스터는 미세함에도 불구하고, 도 27의 (B)에 나타낸 바와 같이 높은 포화성을 나타내었다.
- [0322] 제작한 표시 패널은 실리콘 트랜지스터와, OS 트랜지스터와, OLED 소자를 적층한 구조로 하였다. 도 28은 실리콘 트랜지스터의 형성 공정을 마친 단계의 칩의 광학 현미경 사진이다. 파선으로 나타낸 표시 영역 내에는 소스 드라이버(Source driver), 디지털 아날로그 컨버터(DAC), 스캔 드라이버(Scan driver), 인터페이스(IF) 등이 제공되어 있는 것을 확인할 수 있다. 이와 같이, 실리콘 트랜지스터, OS 트랜지스터, OLED 소자를 적층한 모듈리식 구조로 함으로써, 베젤 영역을 축소할 수 있다.
- [0323] 제작한 패널의 사양에 대하여 설명한다. 표시 영역의 크기는 대각 0.51인치, 해상도는 화소수 1920×1920, 화소 크기는 4.8 μm, 화소 밀도는 5291ppi, 개구율은 23.8%, 컬러 방식은 백색 텐덤 OLED와 컬러 필터를 사용한 방식으로 하였다. 발광 소자는 톱 이미션형 발광 소자이다.
- [0324] OLED 소자로서 백색 텐덤 소자를 사용함으로써, 싱글 소자를 사용하는 경우에 비하여 높은 전압이 요구된다.

본 실시예의 표시 장치는 화소의 트랜지스터로서 내압이 높은 OS 트랜지스터를 사용하기 때문에, 백색 탠덤 소자를 사용하여 양호한 표시가 가능하다.

[0325] 도 29는 화상을 표시하고 있는 표시 장치의 사진이다. 도 29에 나타난 바와 같이 양호한 표시를 할 수 있었다. 또한 표시 장치는 듀티 구동도 가능한 것을 확인할 수 있었다.

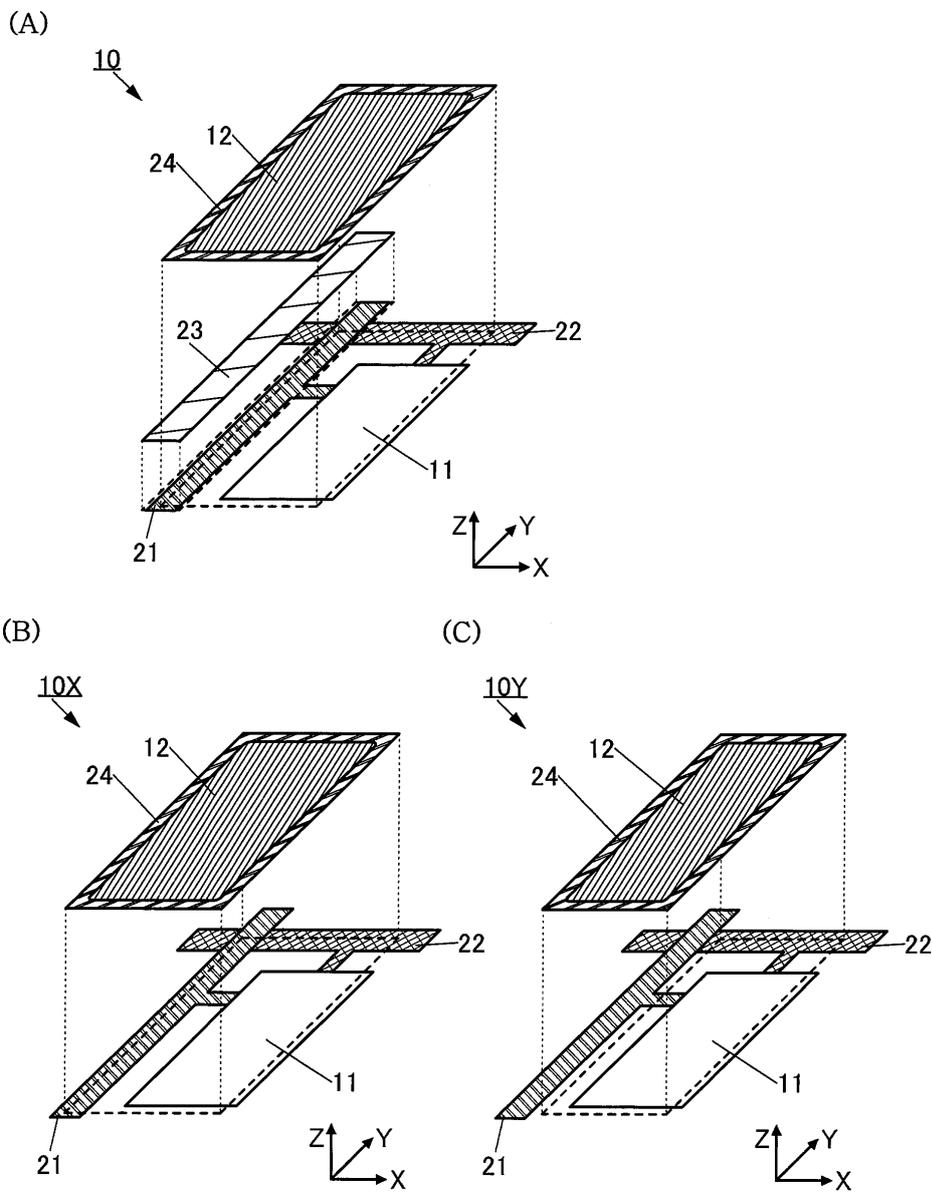
**부호의 설명**

- [0326] 10: 표시 장치
- 10A: 표시 장치
- 10B: 표시 장치
- 10C: 표시 장치
- 10D: 표시 장치
- 10E: 표시 장치
- 10F: 표시 장치
- 11: 화소 회로
- 12: 발광 소자
- 12B: 발광 소자
- 12G: 발광 소자
- 12R: 발광 소자
- 12X: 발광 소자
- 20: 화소
- 20B: 부화소
- 20G: 부화소
- 20R: 부화소
- 20X: 부화소
- 21: 배선
- 22: 배선
- 22a: 배선
- 22b: 배선
- 22c: 배선
- 22d: 배선
- 23: 배선
- 24: 화소 전극
- 25: 도전층
- 27: 도전층
- 30: 트랜지스터
- 30a: 트랜지스터
- 30b: 트랜지스터

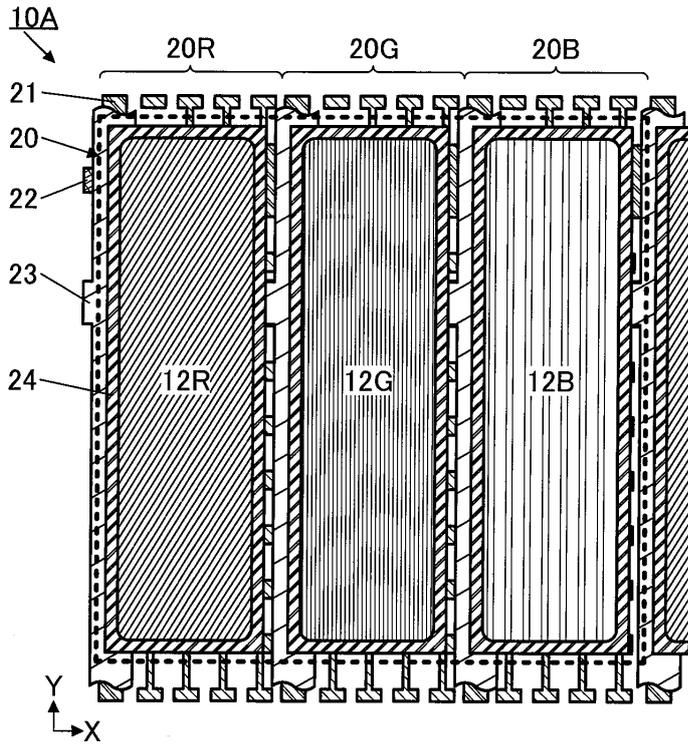
- 30c: 트랜지스터
- 30d: 트랜지스터
- 31a: 반도체층
- 31b: 반도체층
- 31c: 반도체층
- 31d: 반도체층
- 32: 더미층

도면

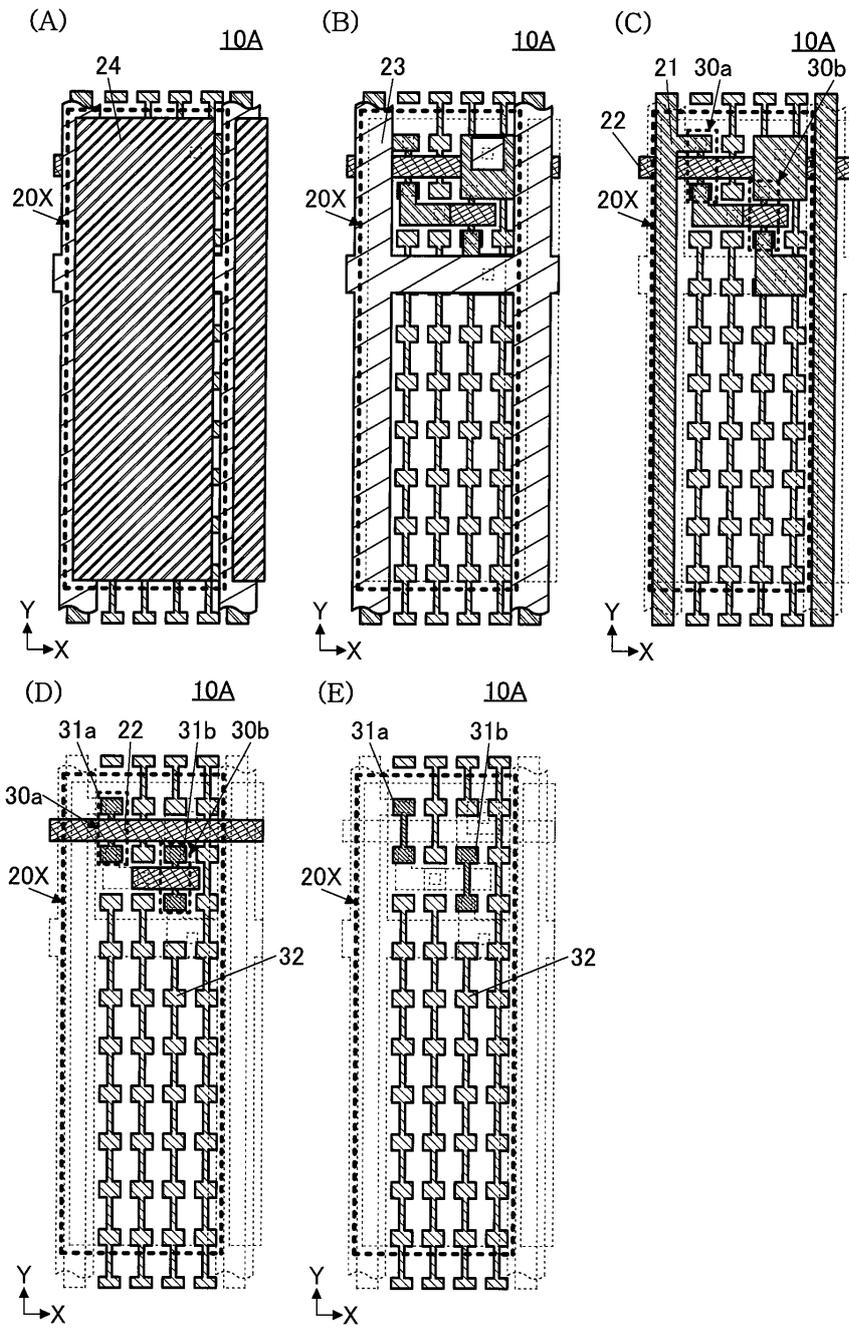
도면1



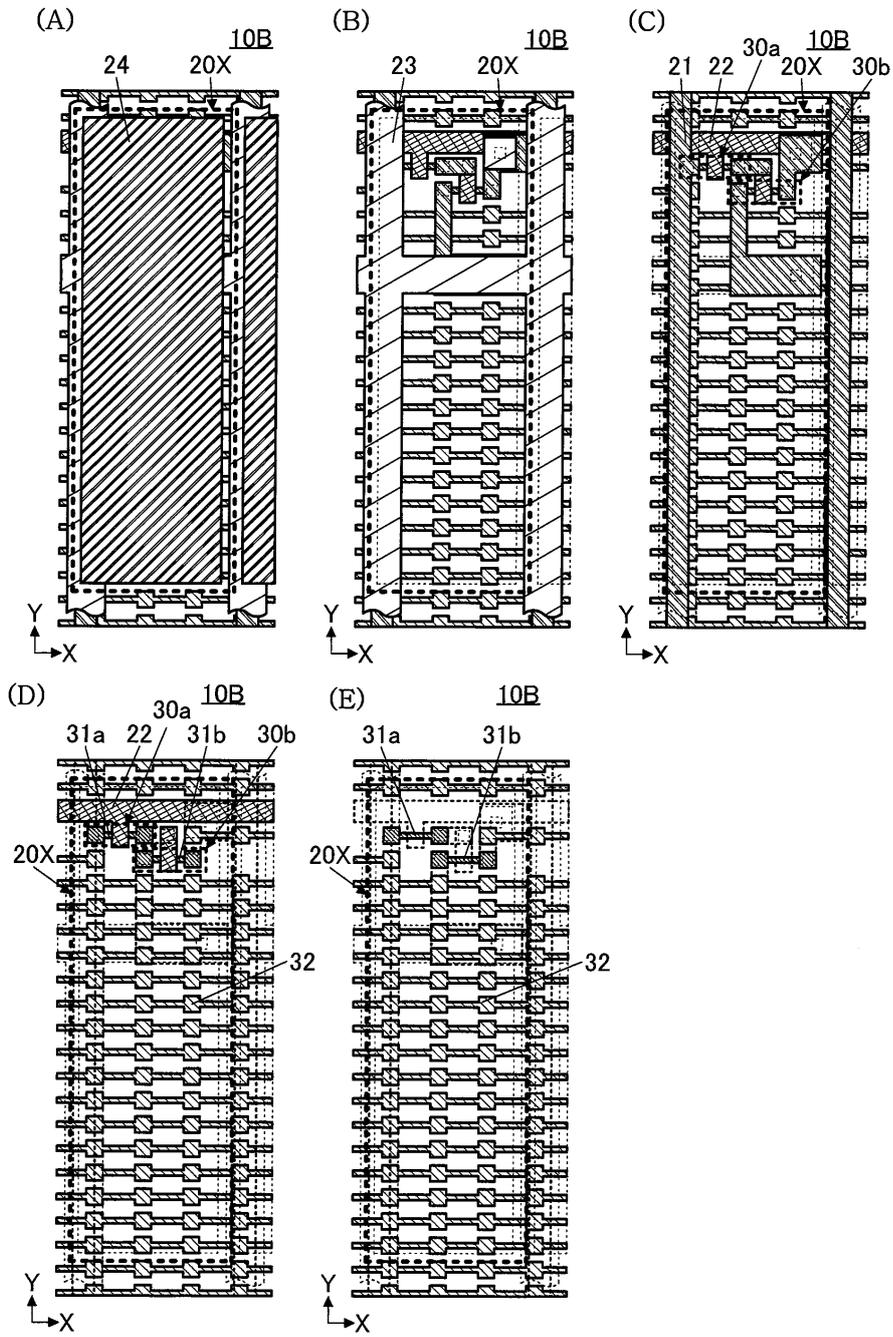
도면2



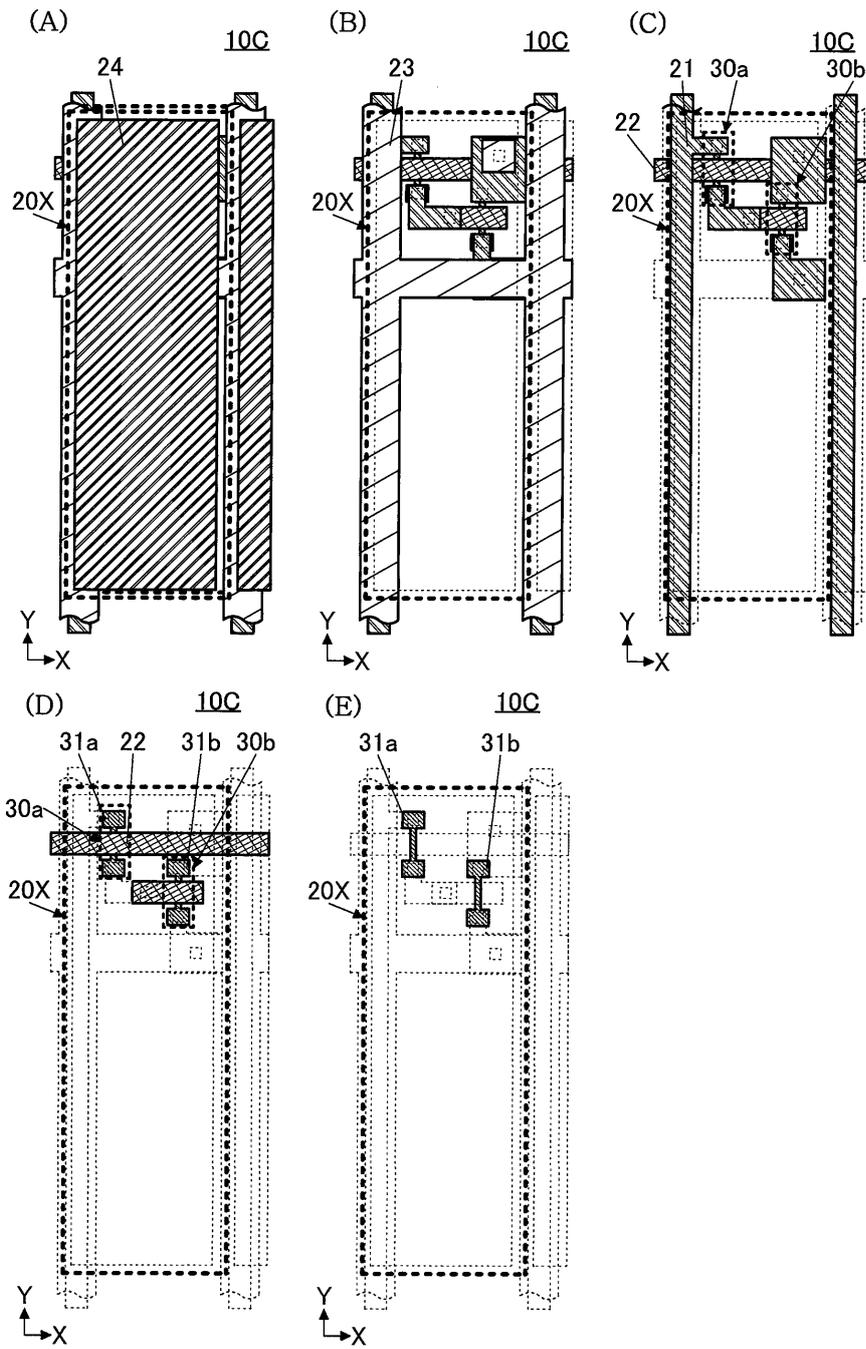
도면3



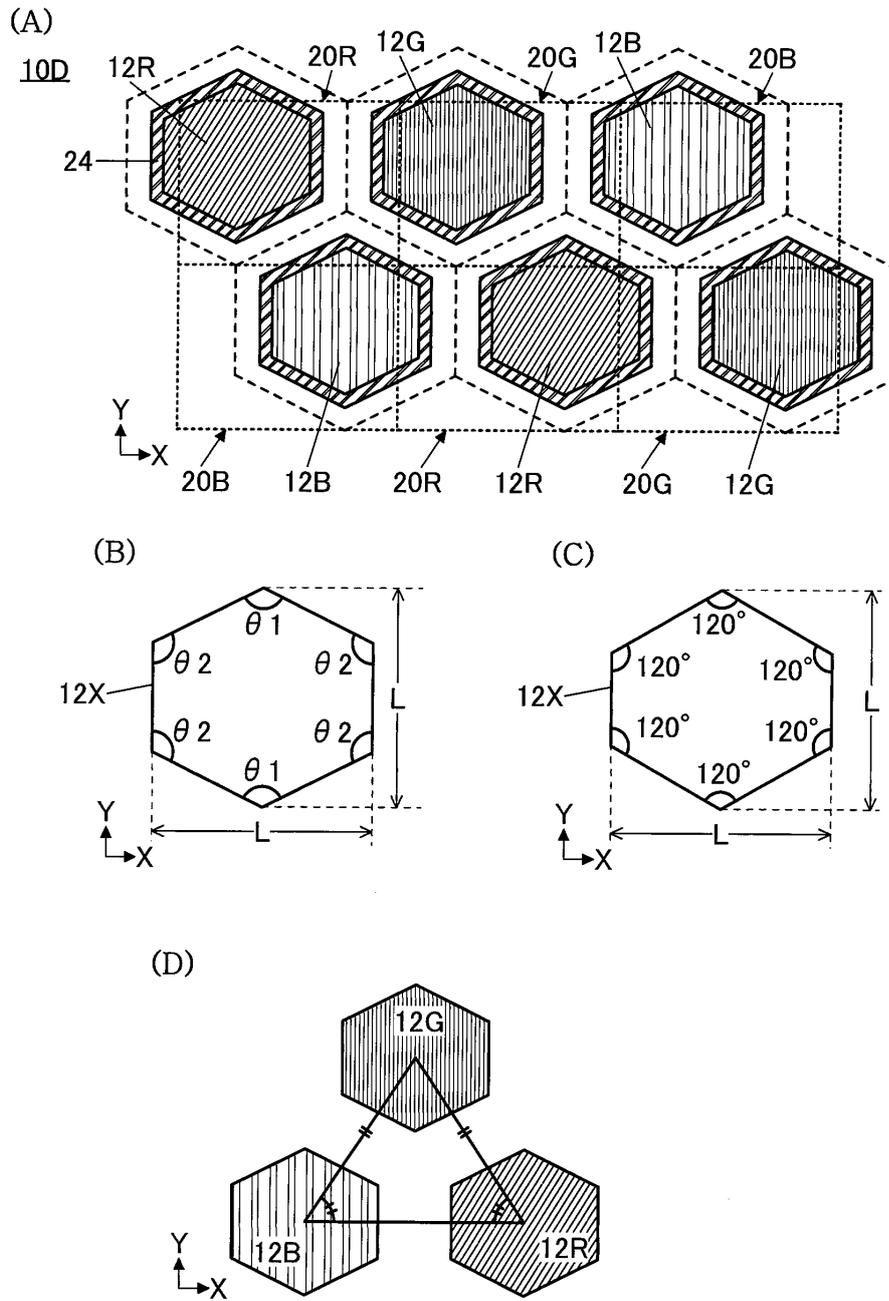
도면4



도면5

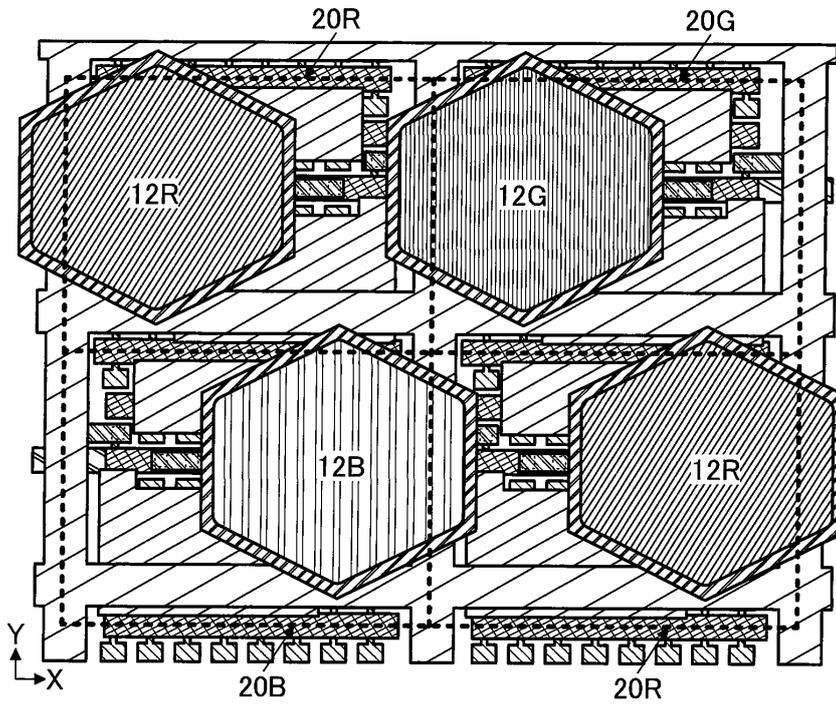


도면6

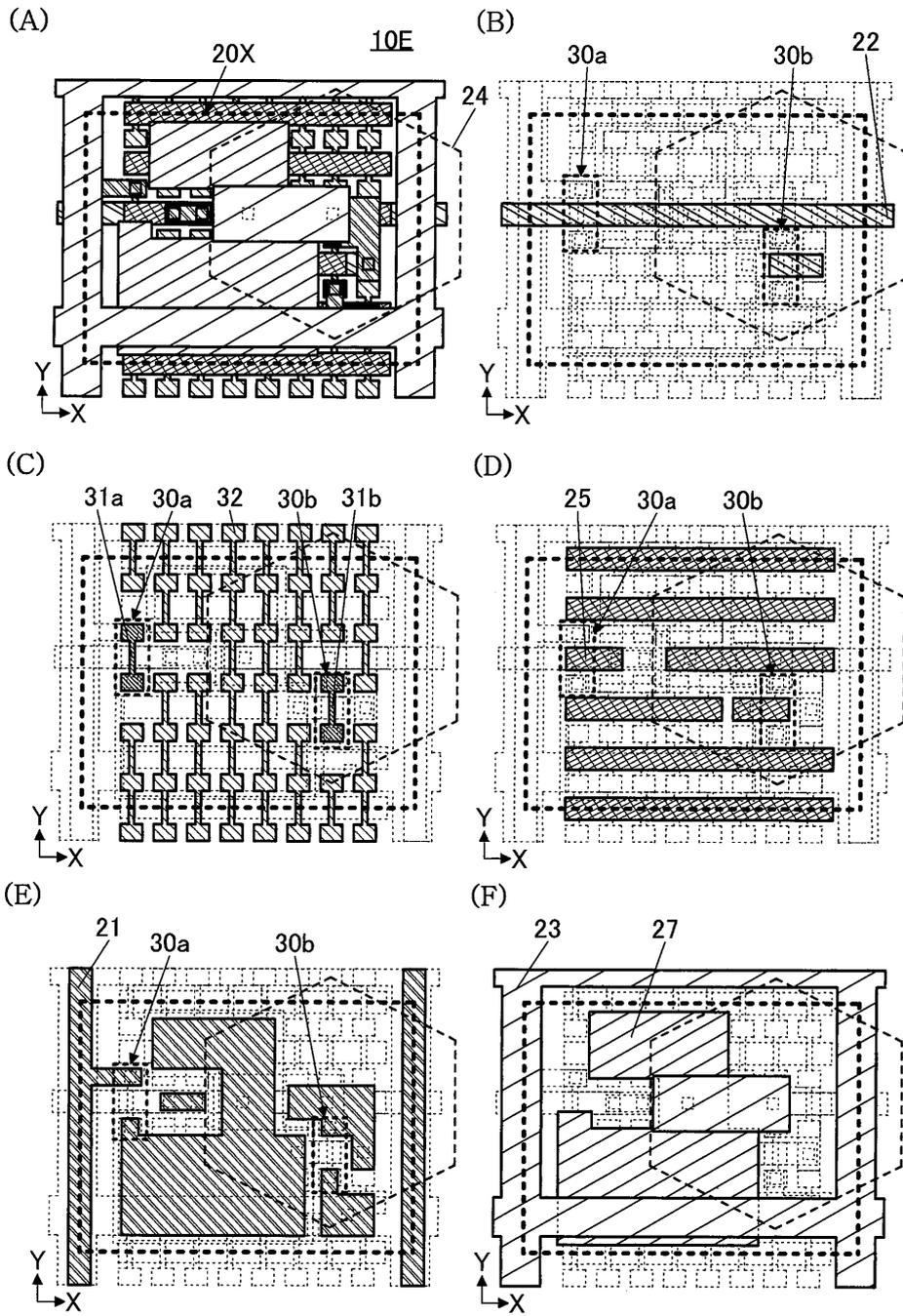


도면7

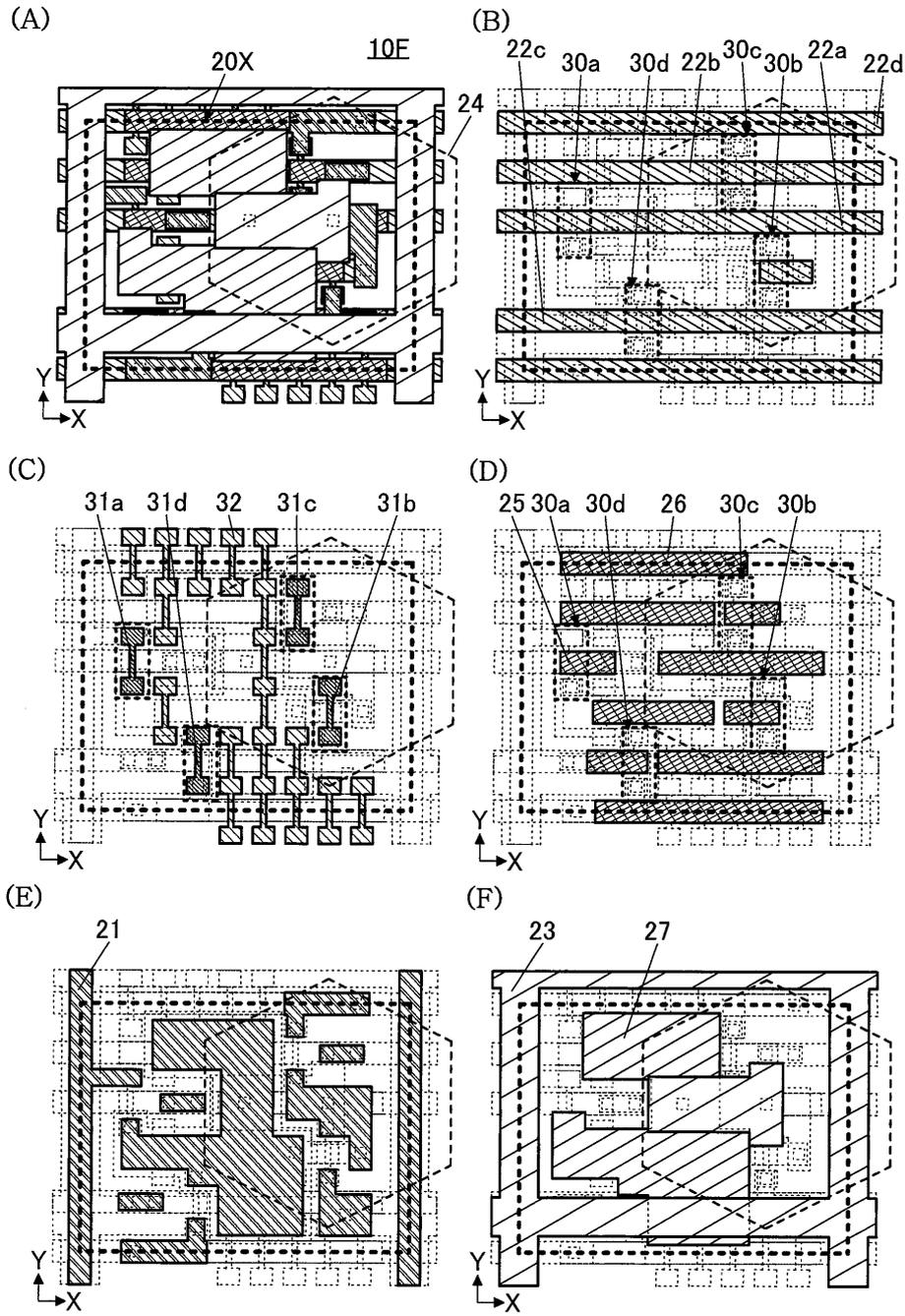
10E



도면8

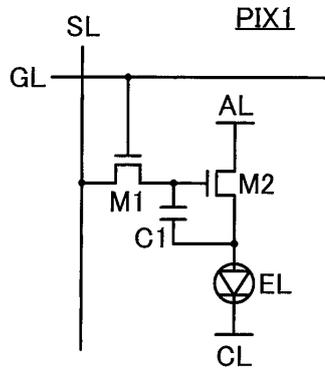


도면9

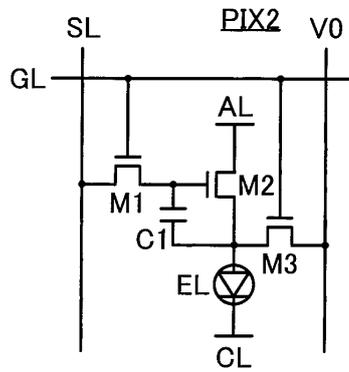


도면10

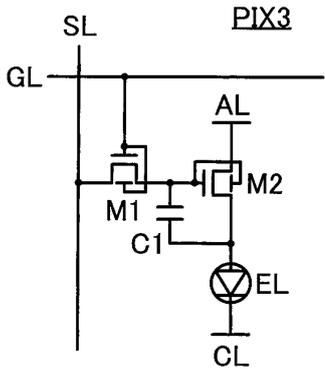
(A)



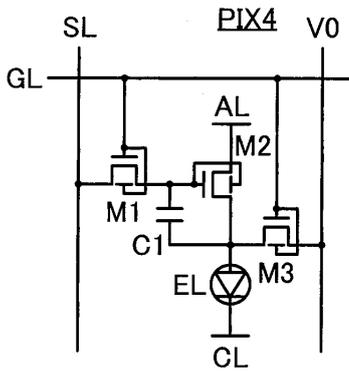
(B)



(C)

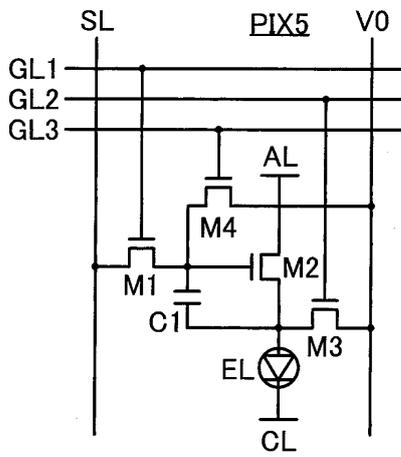


(D)

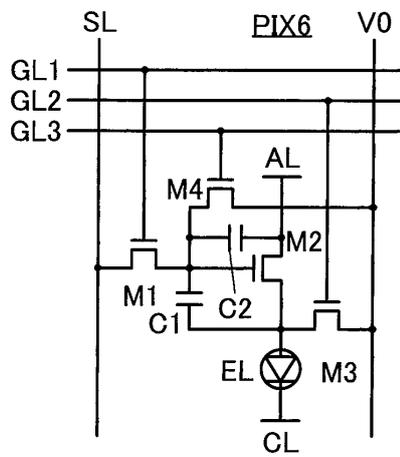


도면11

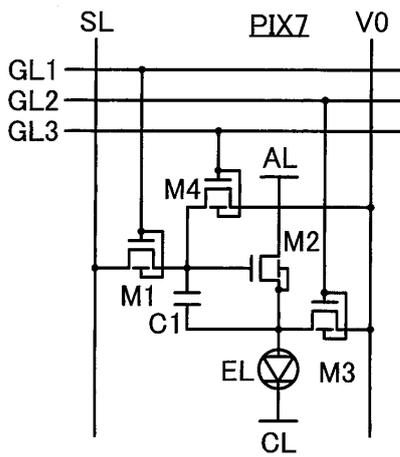
(A)



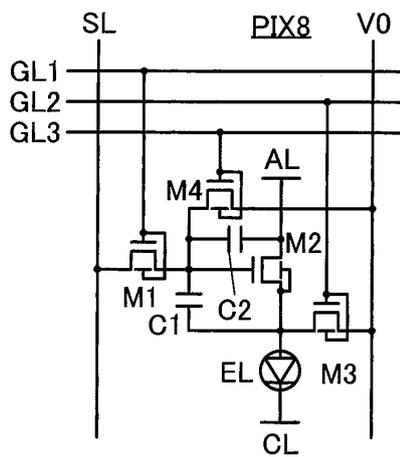
(B)



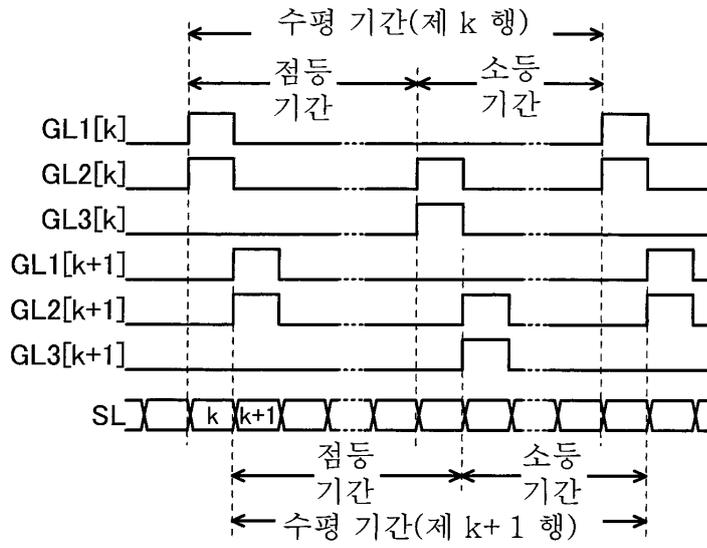
(C)



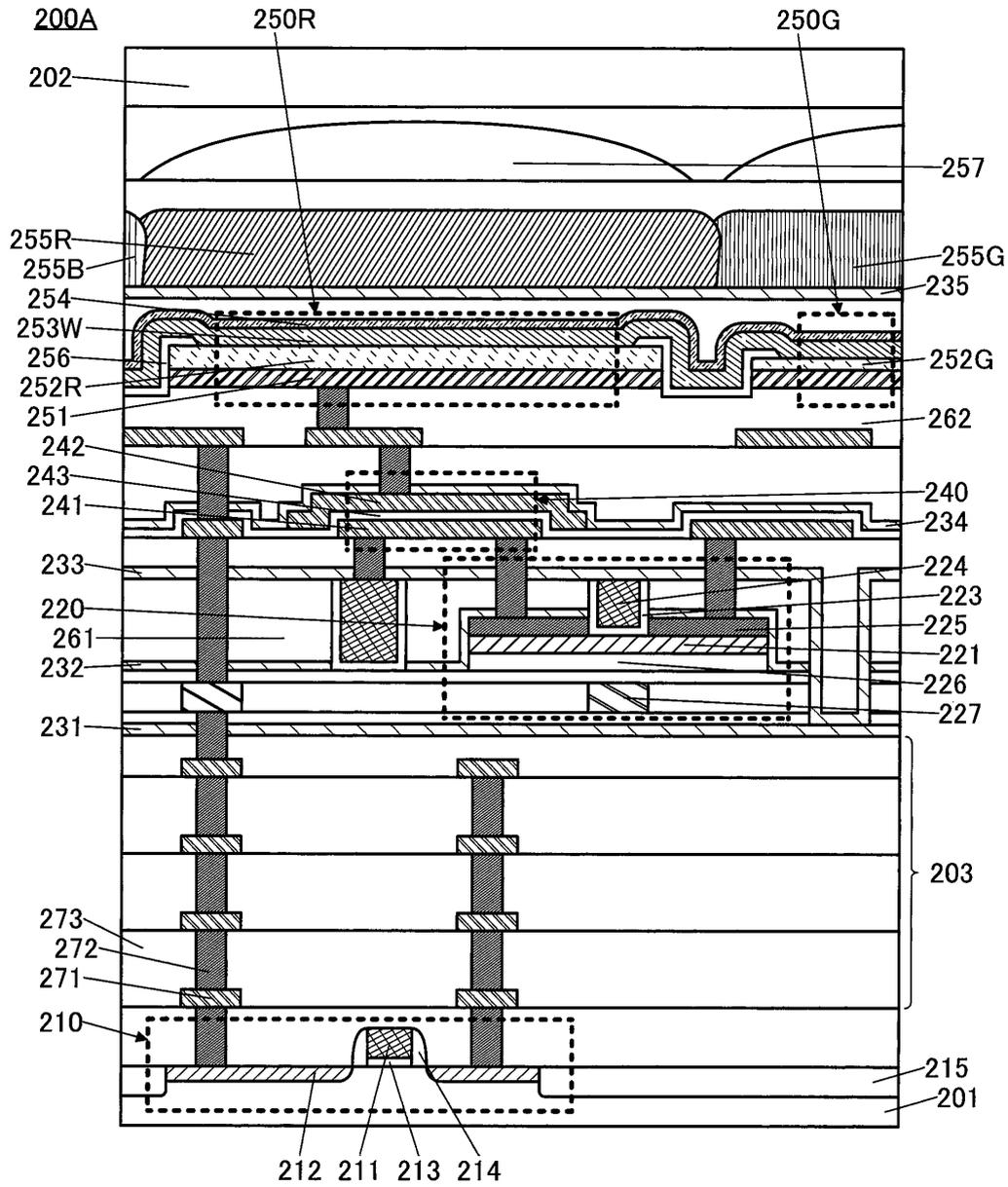
(D)



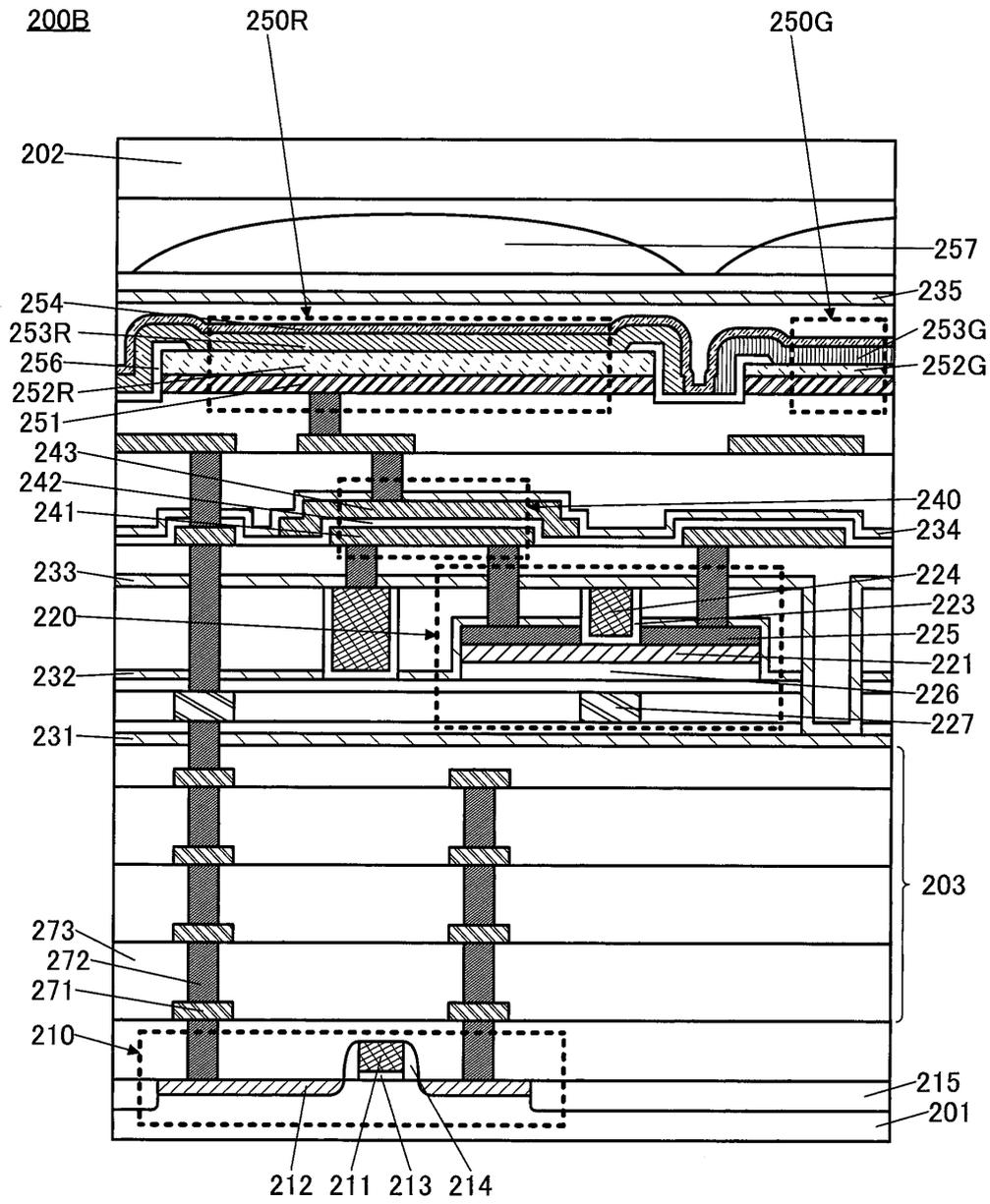
도면12



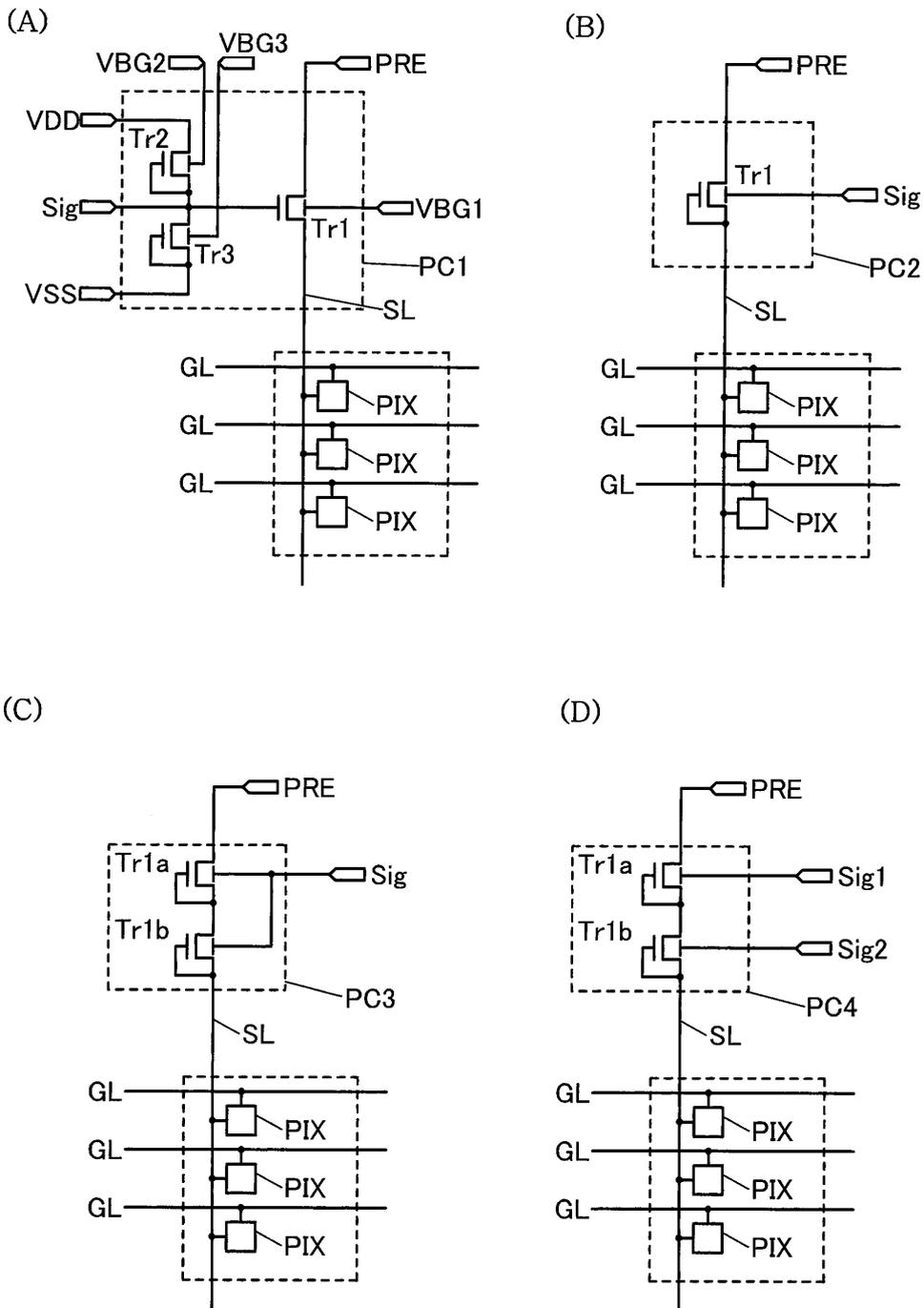
도면13



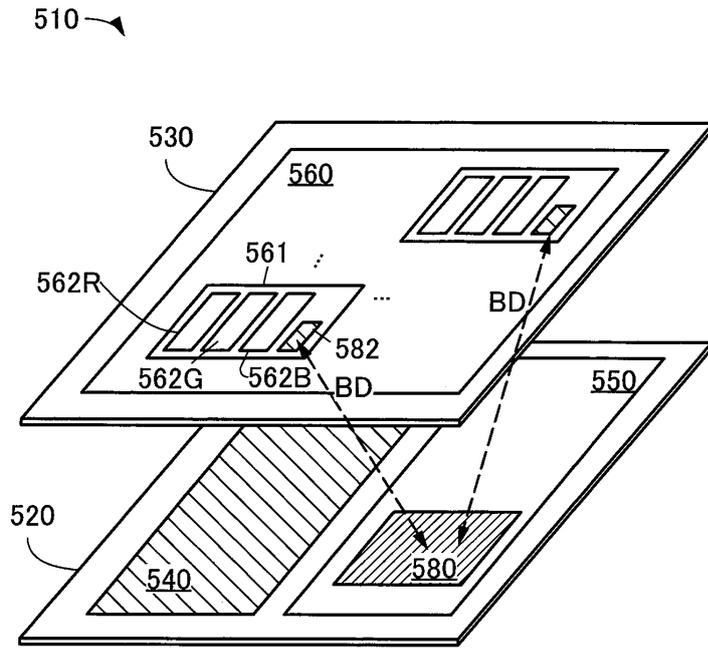
도면14



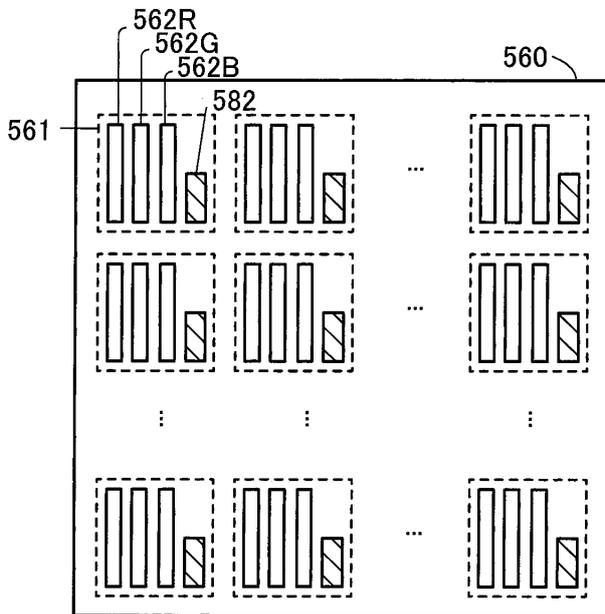
도면15



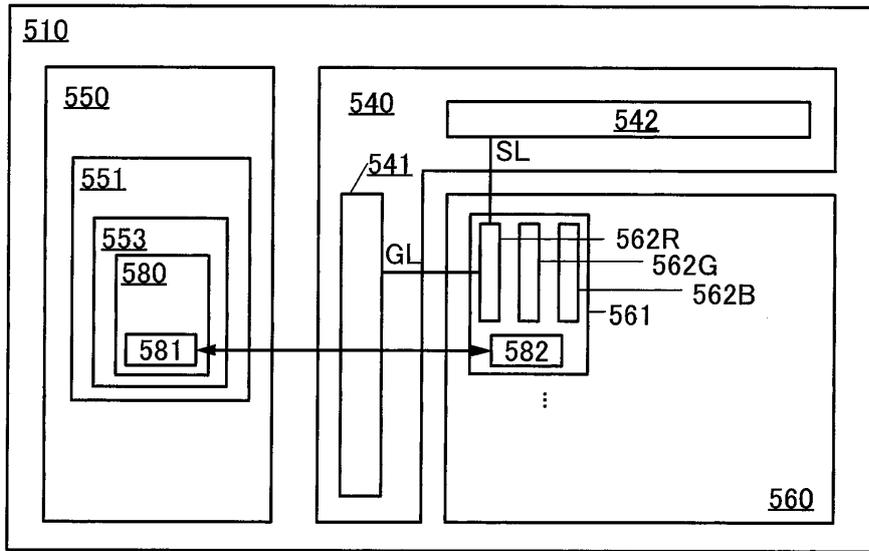
도면16



도면17

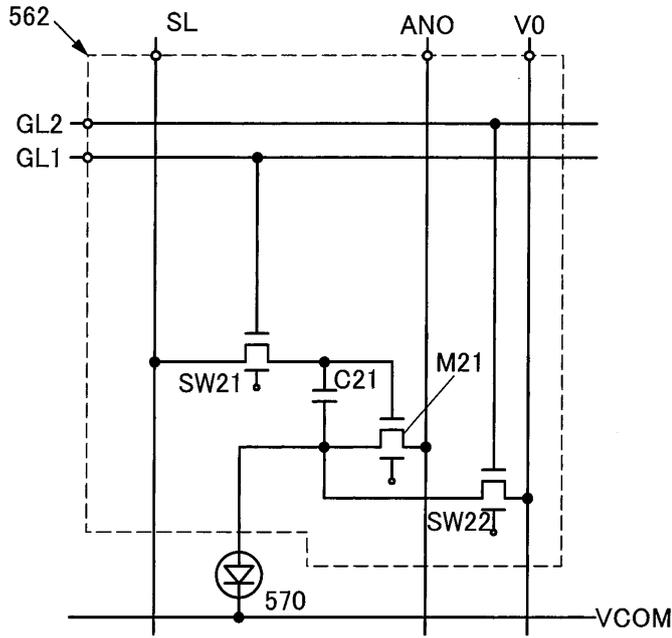


도면18

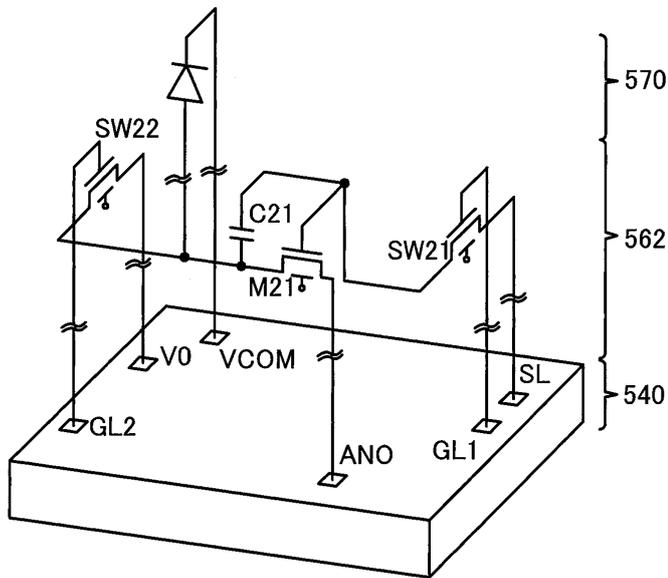


도면19

(A)

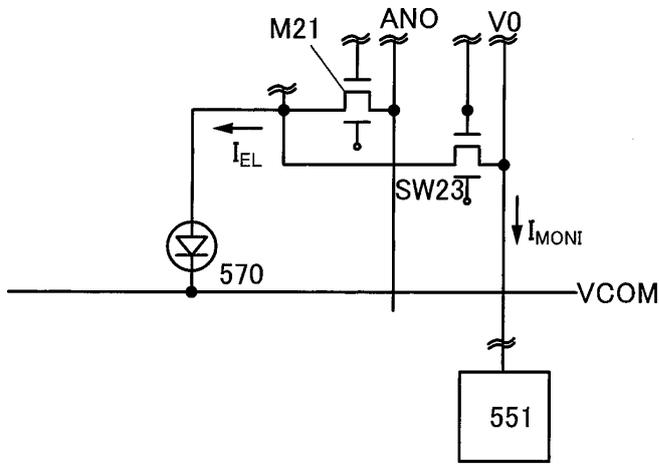


(B)

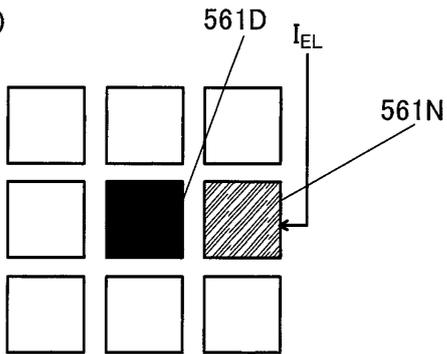


도면20

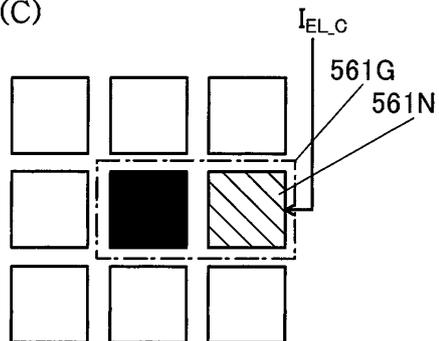
(A)



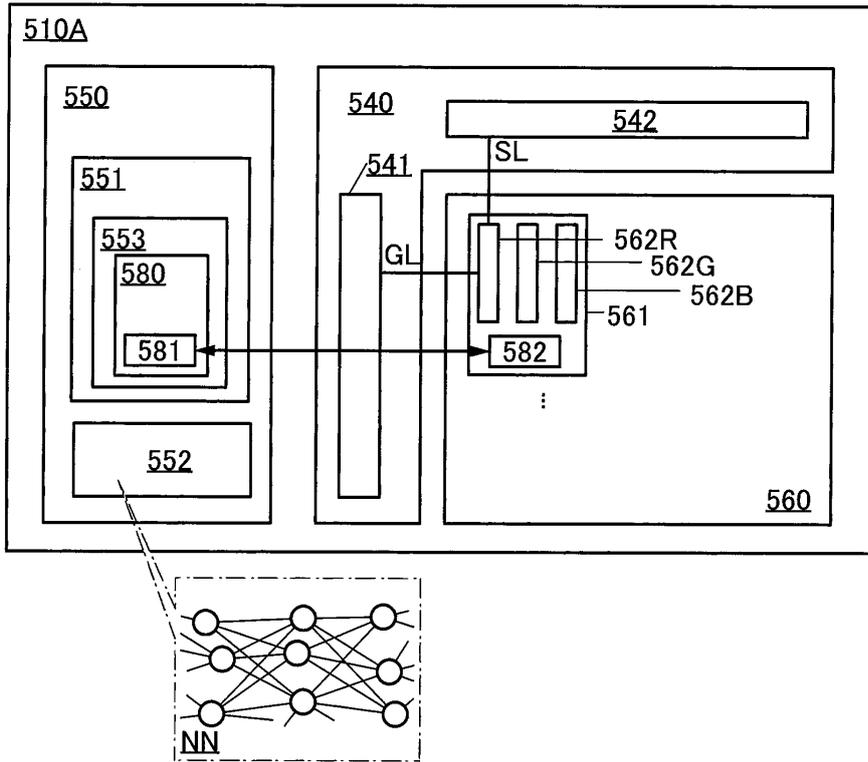
(B)



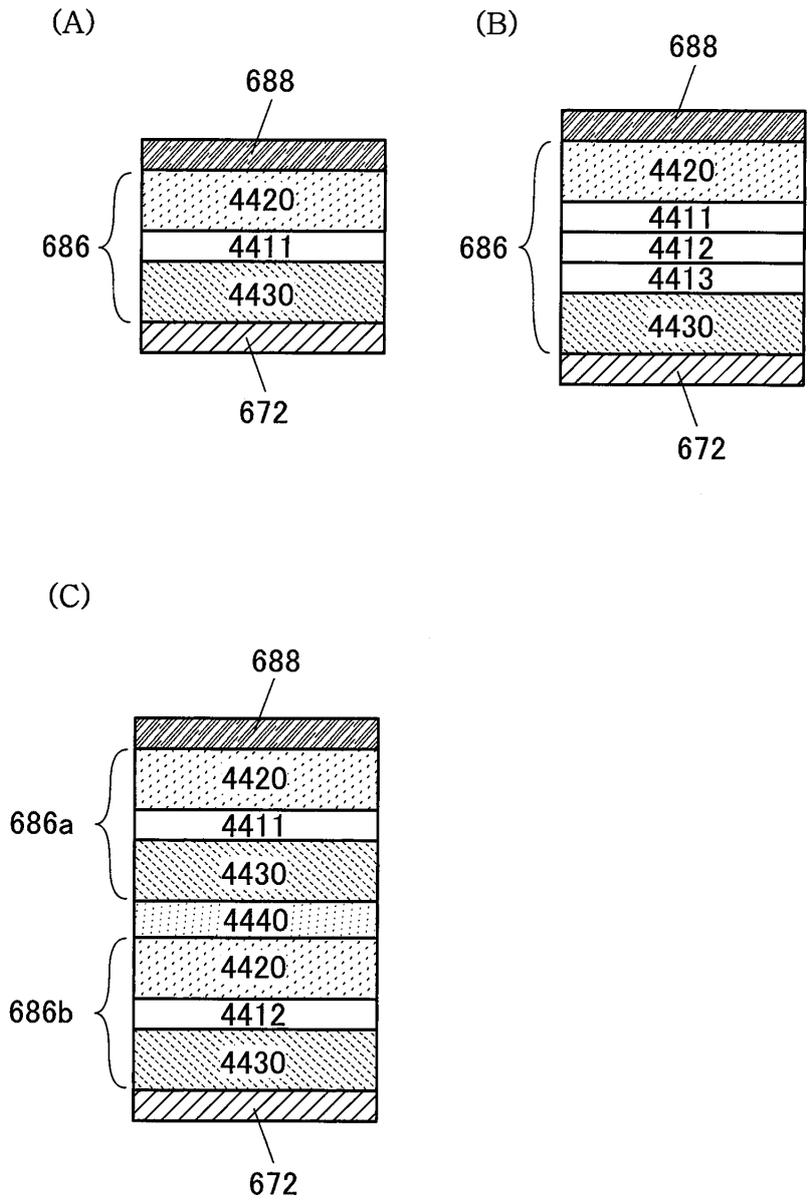
(C)



도면21

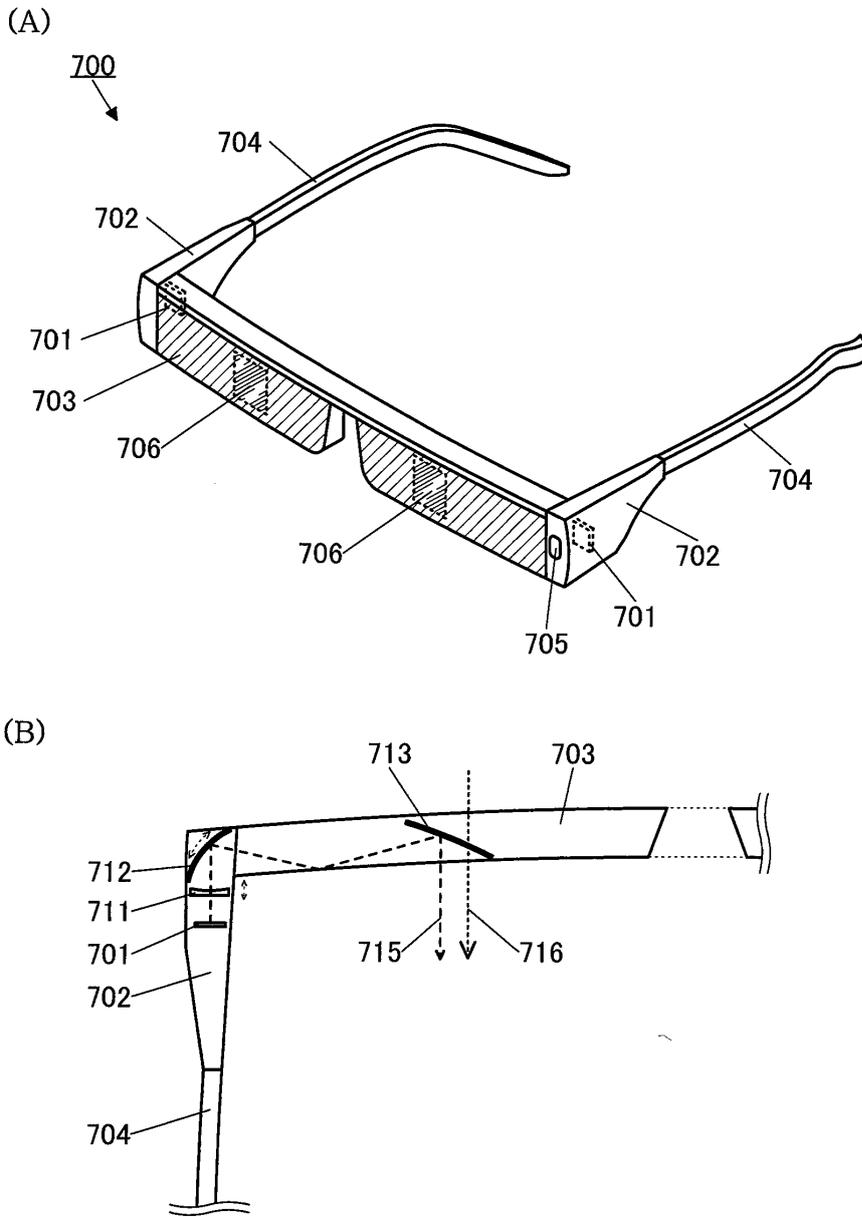


도면22

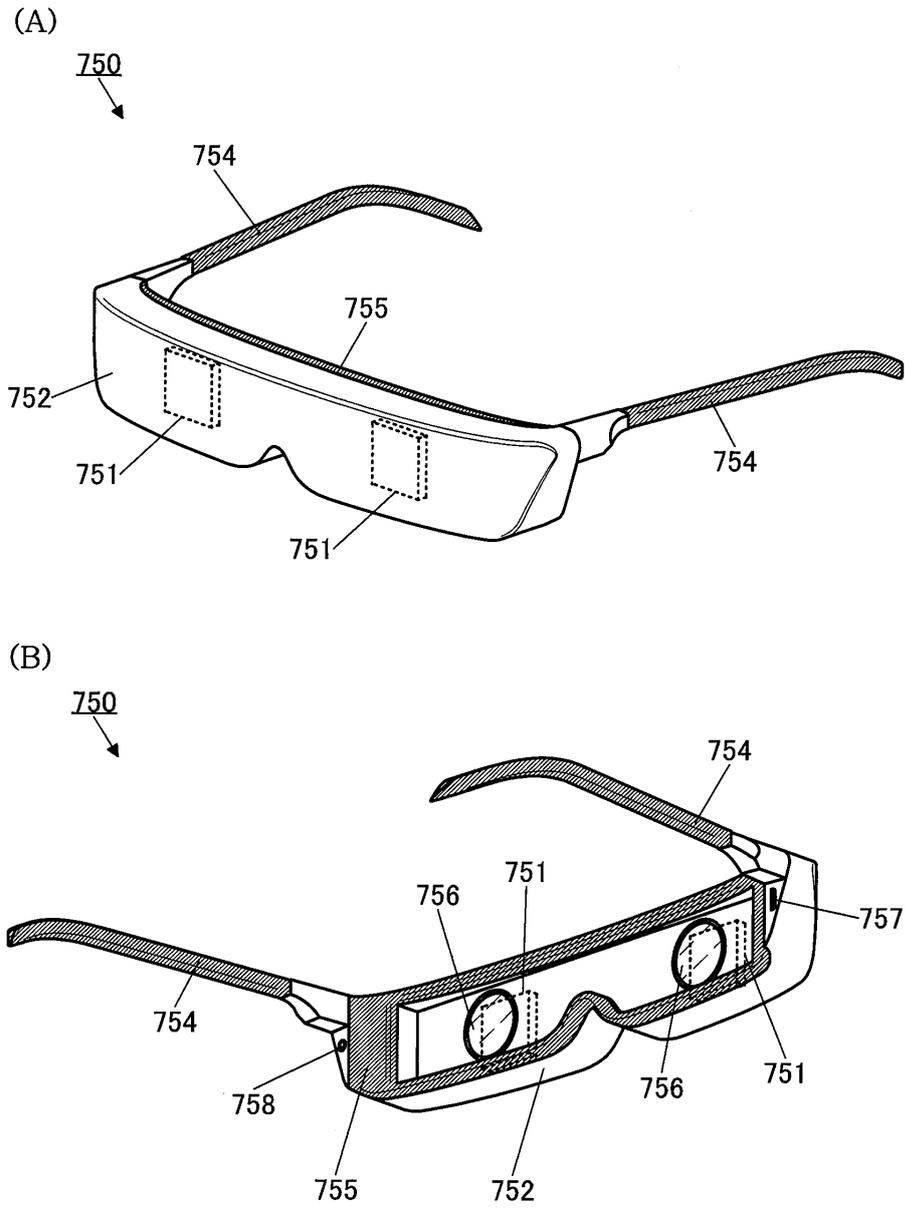




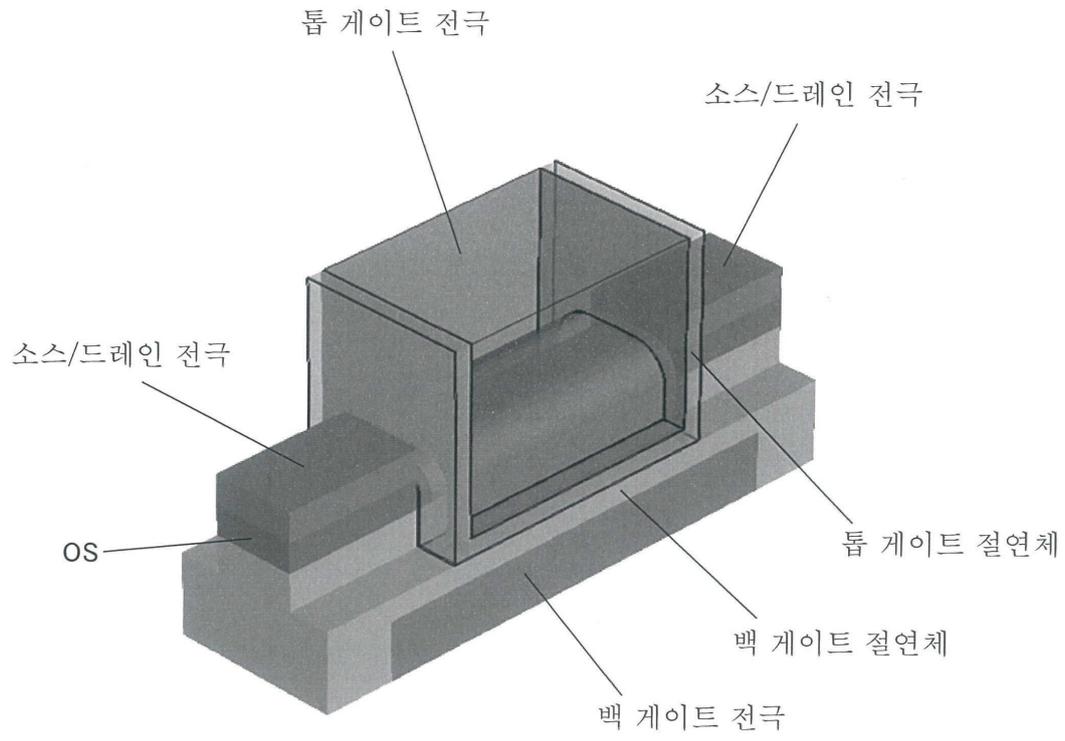
도면24



도면25

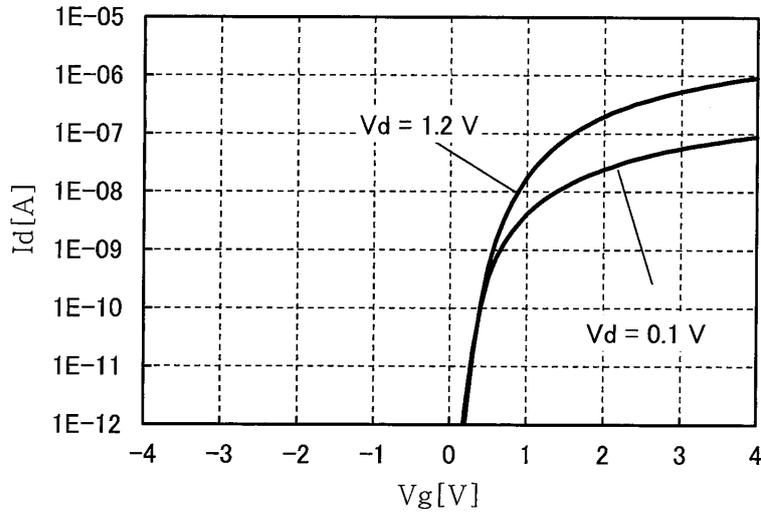


도면26

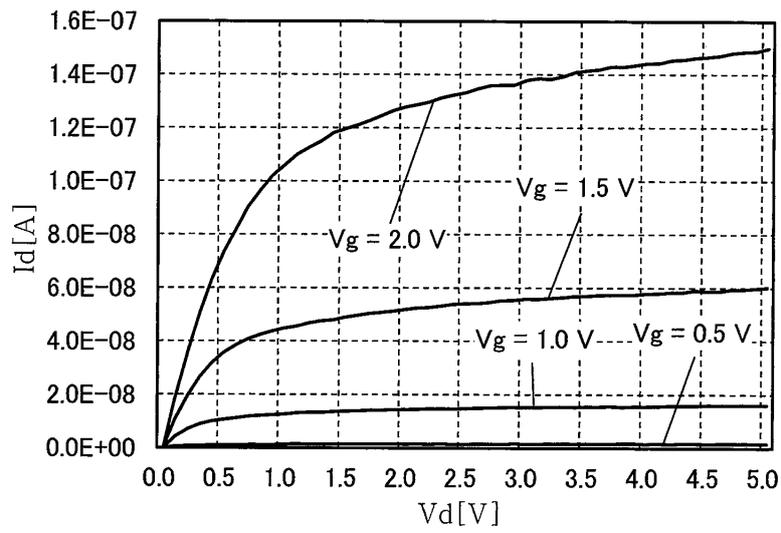


도면27

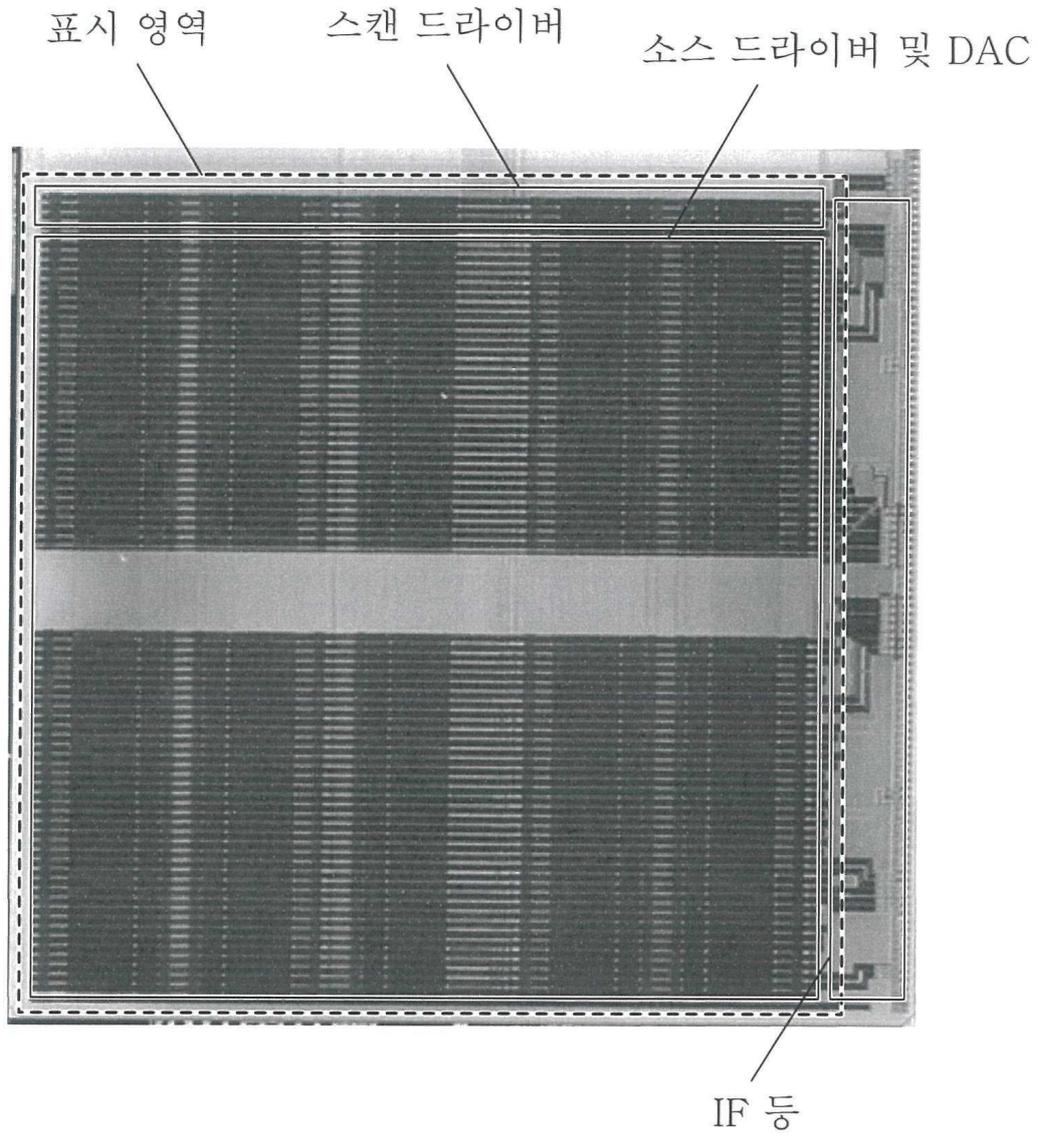
(A)



(B)



도면28



도면29

