

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4482996号  
(P4482996)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl.		F I			
<b>G06T</b>	<b>11/00</b>	<b>(2006.01)</b>	G06T	11/00	100A
<b>G06F</b>	<b>5/16</b>	<b>(2006.01)</b>	G06F	5/16	
<b>G06T</b>	<b>1/60</b>	<b>(2006.01)</b>	G06T	1/60	450F
<b>G09G</b>	<b>5/00</b>	<b>(2006.01)</b>	G09G	5/00	550M

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2000-21836 (P2000-21836)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成12年1月26日(2000.1.26)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2001-209811 (P2001-209811A)	(72) 発明者	猿谷 武司 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
(43) 公開日	平成13年8月3日(2001.8.3)	(72) 発明者	成田 篤史 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査請求日	平成18年11月15日(2006.11.15)	審査官	伊知地 和之

最終頁に続く

(54) 【発明の名称】 データ記憶装置とその方法および画像処理装置

(57) 【特許請求の範囲】

【請求項1】

入力される複数系統のデータを順に記憶するデータ記憶手段と、  
前記データ記憶手段に記憶されたデータの記憶順序を前記系統ごとに管理する記憶順序管理手段と、

各系統ごとのデータの出力要求に応じて、前記記憶順序管理手段に管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する出力手段と

を有し、

前記記憶順序管理手段は、

前記データ記憶手段の未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する記憶アドレス生成手段と、

前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶するアドレス記憶手段と、

前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルと、

入力される任意の系統のデータが前記データ記憶手段の前記生成された記憶アドレス

に記憶された際に、前記テーブルの前記アドレス記憶手段に記憶されているアドレスに、前記生成された記憶アドレスを記憶するテーブル更新手段と、

を有し、

前記記憶アドレス生成手段は、

前記データ記憶手段の各アドレスごとの当該アドレスに未だ読み出されていないデータが記憶されているか否かを示すフラグを記憶するフラグ記憶手段と、

前記記憶されているフラグに基づいて、前記データ記憶手段の前記空き領域を検出し、当該空き領域のいずれか1の領域のアドレスを前記記憶アドレスとして選択する記憶アドレス選択手段と、

新たに入力されるデータの記憶および前記出力手段による記憶されたデータの読み出しに基づいて、前記フラグを更新するフラグ更新手段とを有し、

前記データ記憶手段は、前記記憶アドレス生成手段により生成されたアドレスに、前記入力される任意の系統のデータを記憶する

データ記憶装置。

#### 【請求項2】

前記出力手段は、

前記各系統ごとに、前記データ記憶手段より最後にデータを読み出したアドレスの、前記テーブルに記憶されている前記記憶アドレスを、読み出しアドレスとして記憶する読み出しアドレス記憶手段と、

任意の前記系統のデータの出力要求があった場合に、前記データ記憶手段の前記読み出しアドレス記憶手段に記憶されている当該系統の前記読み出しアドレスのデータを読み出し出力するデータ読み出し手段と、

を有する請求項1に記載のデータ記憶装置。

#### 【請求項3】

前記データ記憶手段、前記記憶順序管理手段および前記出力手段は、半導体集積回路として構成されている

請求項1に記載のデータ記憶装置。

#### 【請求項4】

前記データ記憶手段は、データの記憶と読み出しを同サイクル中に行うことができるデュアルポートメモリを有する

請求項3に記載のデータ記憶装置。

#### 【請求項5】

データ記憶手段と、記憶順序管理手段と、出力手段とを有するデータ記憶装置のデータ記憶方法であって、

入力される複数系統のデータをメモリに記憶する第1の工程と、

前記記憶されたデータの記憶順序を前記系統ごとに管理する第2の工程と、

各系統ごとのデータの出力要求に応じて、前記管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する第3の工程と、

を有し、

前記第2の工程は、

前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶しておく第4の工程と、

任意の系統のデータが入力された場合に、前記メモリの未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する第5の工程と、

前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルの、前記記憶されてい

10

20

30

40

50

る当該システムの最後に入力され記憶されたデータに対する記憶アドレスに、当該入力されるデータが前記メモリの前記生成された記憶アドレスに記憶された際に、当該生成された記憶アドレスを記憶する第6の工程と、

を有し、

前記第4の工程は、

前記メモリの各アドレスに未だ読み出されていないデータが記憶されているか否かを示すフラグを設定しておく第7の工程と、

前記記憶されているフラグに基づいて前記メモリの前記空き領域を検出する第8の工程と、

当該空き領域のいずれか1の領域のアドレスを前記記憶アドレスとして選択する第9の工程と、

を有するデータ記憶方法。

【請求項6】

任意の表示用画像データを生成する画像生成手段と、

前記生成された表示用画像データを記憶する画像メモリと、

前記記憶された表示用画像データより所望の領域のデータを読み出し表示用画面データとして出力する出力手段と

を有し、

前記画像メモリは、

入力される複数系統のデータを順に記憶するデータ記憶手段と、

前記データ記憶手段に記憶されたデータの記憶順序を前記系統ごとに管理する記憶順序管理手段と、

各系統ごとのデータの出力要求に応じて、前記記憶順序管理手段に管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する出力手段と

を有し、

前記記憶順序管理手段は、

前記データ記憶手段の未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する記憶アドレス生成手段と、

前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶するアドレス記憶手段と、

前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルと、

入力される任意の系統のデータが前記データ記憶手段の前記生成された記憶アドレスに記憶された際に、前記テーブルの前記アドレス記憶手段に記憶されているアドレスに、前記生成された記憶アドレスを記憶するテーブル更新手段と、

を有し、

前記記憶アドレス生成手段は、

前記データ記憶手段の各アドレスごとの当該アドレスに未だ読み出されていないデータが記憶されているか否かを示すフラグを記憶するフラグ記憶手段と、

前記記憶されているフラグに基づいて、前記データ記憶手段の前記空き領域を検出し、当該空き領域のいずれか1の領域のアドレスを前記記憶アドレスとして選択する記憶アドレス選択手段と、

新たに入力されるデータの記憶および前記出力手段による記憶されたデータの読み出しに基づいて、前記フラグを更新するフラグ更新手段とを有し、

前記データ記憶手段は、前記記憶アドレス生成手段により生成されたアドレスに、前記入力される任意の系統のデータを記憶する

10

20

30

40

50

画像処理装置。

【請求項 7】

前記画像生成手段は、

任意の 3 次元立体モデルが、少なくとも 3 次元位置情報を有する頂点によって示される基本多角形の集合として示されている 3 次元画像データの、当該基本多角形の前記頂点に対して所定の座標変換を行う座標変換手段と、

前記基本多角形の頂点のデータに基づいて、当該基本多角形の画素データを生成する画素データ生成手段と、

前記生成された画素データに対して、所望のテクスチャパターンを用いてテクスチャマッピングし、表示用 3 次元画像データを前記表示用画像データとして生成するテクスチャマッピング手段と

10

を有する請求項 6 に記載の画像処理装置。

【請求項 8】

前記出力手段は、

前記各系統ごとに、前記データ記憶手段より最後にデータを読み出したアドレスの、前記テーブルに記憶されている前記記憶アドレスを、読み出しアドレスとして記憶する読み出しアドレス記憶手段と、

任意の前記系統のデータの出力要求があった場合に、前記データ記憶手段の前記読み出しアドレス記憶手段に記憶されている当該系統の前記読み出しアドレスのデータを読み出し出力するデータ読み出し手段と、

20

を有する請求項 7 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数系統のデータに対する先入れ先出し形式（以降、FIFO (First In First Out) 形式と言う。）のデータ記憶装置とデータ記憶方法、および、そのデータ記憶装置を用いて表示用画像の生成を効率よく行うことのできる画像処理装置に関する。

【0002】

【従来の技術】

入力したデータを入力した順に読み出すいわゆる FIFO メモリは、種々の電子回路において広く使用されている。特に近年、あらゆる電子機器において処理速度の向上が図られているため、結果的に各処理部間でのデータの処理速度に差異が生じたり、適切に同期をとってデータを転送することが難しくなるなどの問題が生じており、これを解決するために、各処理部間に緩衝手段として FIFO メモリを設けることが多くなっている。

30

たとえば、CAD 装置やゲーム機器などに用いられる 3 次元画像を生成する画像処理装置などは、座標変換やテクスチャマッピング、各画素に対する特殊効果処理、生成した画像の高速表示など、多数の画素に対して高速に処理を行う各種の処理部が順次接続されて構成されている。そして、これらの各処理部の間におけるデータ転送を高速かつ適切に行うために、FIFO メモリが多数使用されている。

【0003】

40

【発明が解決しようとする課題】

ところで、たとえばそのような画像処理装置の各構成部間においては、複数種類のデータが必要に応じて転送される場合が多い。特に、画像データのみならず制御データまでも含めると、特定の 1 種類のデータのみが転送されるということは稀と考えられる。そのような場合に、これまでは、たとえば図 7 に示すように、そのデータの種類（データの系統と言う場合もある。）に応じて複数系統の FIFO メモリが並列に設けられていた。

しかし、そのように複数の FIFO メモリを並列に設けると、各系統ごとにマージンを確保しなければならなかったり、共通的な信号処理が多いにも係わらず制御部を独立して設けることになるなど、回路を効率よく利用することができない、すなわち、必要以上に回路規模が大きくなるという問題がある。

50

特に、このような回路は、半導体集積回路として実現する場合が多いため、回路規模、換言すれば回路のゲート規模を少しでも小さくしたいという要望もある。

【 0 0 0 4 】

したがって本発明の目的は、より小さい回路規模で複数系統のデータに対して適切に F I F O 機能を提供できるデータ記憶装置とその方法を提供することにある。

また、本発明の他の目的は、より小さい回路規模で各処理手段でのデータの転送が適切に行え、これにより所望の画像処理を効率よく行えるような画像処理装置を提供することにある。

【 0 0 0 5 】

前記課題を解決するために、本発明のデータ記憶装置は、入力される複数系統のデータを順に記憶するデータ記憶手段と、前記データ記憶手段に記憶されたデータの記憶順序を前記系統ごとに管理する記憶順序管理手段と、各系統ごとのデータの出力要求に応じて、前記記憶順序管理手段に管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する出力手段とを有し、前記記憶順序管理手段は、前記データ記憶手段の未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する記憶アドレス生成手段と、前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶するアドレス記憶手段と、前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルと、入力される任意の系統のデータが前記データ記憶手段の前記生成された記憶アドレスに記憶された際に、前記テーブルの前記アドレス記憶手段に記憶されているアドレスに、前記生成された記憶アドレスを記憶するテーブル更新手段と、を有し、前記記憶アドレス生成手段は、前記データ記憶手段の各アドレスごとの当該アドレスに未だ読み出されていないデータが記憶されているか否かを示すフラグを記憶するフラグ記憶手段と、前記記憶されているフラグに基づいて、前記データ記憶手段の前記空き領域を検出し、当該空き領域のいずれか 1 の領域のアドレスを前記記憶アドレスとして選択する記憶アドレス選択手段と、新たに入力されるデータの記憶および前記出力手段による記憶されたデータの読み出しに基づいて、前記フラグを更新するフラグ更新手段とを有し、前記データ記憶手段は、前記記憶アドレス生成手段により生成されたアドレスに、前記入力される任意の系統のデータを記憶する。

【 0 0 0 6 】

第 2 の発明のデータ記憶方法は、データ記憶手段と、記憶順序管理手段と、出力手段とを有するデータ記憶装置のデータ記憶方法であって、入力される複数系統のデータをメモリに記憶する第 1 の工程と、前記記憶されたデータの記憶順序を前記系統ごとに管理する第 2 の工程と、各系統ごとのデータの出力要求に応じて、前記管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する第 3 の工程と、を有し、前記第 2 の工程は、前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶しておく第 4 の工程と、任意の系統のデータが入力された場合に、前記メモリの未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する第 5 の工程と、前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルの、前記記憶されている当該系統の最後に入力され記憶されたデータに対する記憶アドレスに、当該入力されるデータが前記メモリの前記生成された記憶アドレスに記憶された際に、当該生成された記憶アドレスを記憶する第 6 の工程と、を有し、前記第 4 の工程は、前記メモリの各アドレスに未だ読み出されていないデータが

10

20

30

40

50

記憶されているか否かを示すフラグを設定しておく第7の工程と、前記記憶されているフラグに基づいて前記メモリの前記空き領域を検出する第8の工程と、当該空き領域のいずれか1の領域のアドレスを前記記憶アドレスとして選択する第9の工程と、を有する。

【0007】

第3の発明の画像処理装置は、任意の表示用画像データを生成する画像生成手段と、前記生成された表示用画像データを記憶する画像メモリと、前記記憶された表示用画像データより所望の領域のデータを読み出し表示用画面データとして出力する出力手段とを有し、前記画像メモリは、入力される複数系統のデータを順に記憶するデータ記憶手段と、前記データ記憶手段に記憶されたデータの記憶順序を前記系統ごとに管理する記憶順序管理手段と、各系統ごとのデータの出力要求に応じて、前記記憶順序管理手段に管理されている前記系統ごとのデータの記憶順序に基づいて、当該要求された系統の前記記憶されているデータを前記入力された順に読み出し出力する出力手段とを有し、前記記憶順序管理手段は、前記データ記憶手段の未だ読み出されていないデータが記憶されている領域以外の空き領域の任意のアドレスを、入力されるデータを記憶する記憶アドレスとして生成する記憶アドレス生成手段と、前記各系統ごとに、最後に入力され記憶されたデータに対する前記記憶アドレスを記憶するアドレス記憶手段と、前記データ記憶手段のアドレス空間に対応したアドレス空間を有し、各アドレスのデータとして、前記データ記憶手段の対応するアドレスに記憶されているデータと同一の系統の前記入力されるデータで、当該アドレスのデータの次に入力され記憶されたデータが記憶されている前記データ記憶手段のアドレスを記憶するテーブルと、入力される任意の系統のデータが前記データ記憶手段の前記生成された記憶アドレスに記憶された際に、前記テーブルの前記アドレス記憶手段に記憶されているアドレスに、前記生成された記憶アドレスを記憶するテーブル更新手段と、を有し、前記記憶アドレス生成手段は、前記データ記憶手段の各アドレスごとの当該アドレスに未だ読み出されていないデータが記憶されているか否かを示すフラグを記憶するフラグ記憶手段と、前記記憶されているフラグに基づいて、前記データ記憶手段の前記空き領域を検出し、当該空き領域のいずれか1の領域のアドレスを前記記憶アドレスとして選択する記憶アドレス選択手段と、新たに入力されるデータの記憶および前記出力手段による記憶されたデータの読み出しに基づいて、前記フラグを更新するフラグ更新手段とを有し、前記データ記憶手段は、前記記憶アドレス生成手段により生成されたアドレスに、前記入力される任意の系統のデータを記憶する。

【0013】

【発明の実施の形態】

本発明の一実施の形態について図1～図6を参照して説明する。

本実施の形態においては、家庭用ゲーム機などに適用され、任意の3次元物体モデルの所望の3次元画像をディスプレイ上に高速に表示する3次元コンピュータグラフィックスシステムを例示して、本発明を説明する。

【0014】

まず、その3次元コンピュータグラフィックスシステムの全体の構成および動作について図1を参照して説明する。

この3次元コンピュータグラフィックスシステムは、立体モデルを単位図形である三角形（ポリゴン）の張り合わせとして表現しておき、このポリゴンを描画することで表示画面の各画素の色を決定しディスプレイに表示するポリゴンレンダリング処理を行うシステムである。

また、3次元コンピュータグラフィックスシステム1においては、平面を表わす（ $x$ 、 $y$ ）座標のほかに、奥行きを表わす $z$ 座標を用いて3次元物体を表わし、またこの $x$ 、 $y$ 、 $z$ の3つの座標で3次元空間内の任意の1点を特定する。

【0015】

図1は、その3次元コンピュータグラフィックスシステム1の構成を示すブロック図である。

3次元コンピュータグラフィックスシステム1は、入力部2、3次元画像生成装置3お

よび表示装置 4 を有する。

また、3次元画像生成装置 3 は、ジオメトリ演算部 3 2、パラメータ演算部 3 3、画素発生部 3 4、テクスチャマッピング部 3 5、テクスチャメモリ 3 6、メモリインターフェイス (I/F) 3 7、画像メモリ 3 8 およびプログラマブル・ディスプレイ制御部 3 9 を有する。

【0016】

まず、各部の構成・機能について説明する。

入力部 2 は、3次元画像生成装置 3 に対して、表示対象の立体モデルのデータを入力する。本実施の形態においては、3次元コンピュータグラフィックスシステム 1 は家庭用ゲーム機に適用されているので、入力部 2 は、その家庭用ゲーム機のゲーム自体を制御する主制御装置などに接続される。その主制御装置においては、ゲームの進行状況などに基づいて表示する画面を決定し、その画面表示に必要な立体モデルを選択し、その表示方法の情報を生成する。したがって入力部 2 は、これらの情報を、家庭用ゲーム機の主制御装置より受け取り、3次元画像生成装置 3 へ入力するのに適した形態に変換するなどして3次元画像生成装置 3 に入力する。

10

具体的には、入力部 2 は、前述したような表示する立体モデルのポリゴンデータを3次元画像生成装置 3 のジオメトリ演算部 3 2 に入力する。また、その入力されるポリゴンのデータは、各頂点の  $x$ 、 $y$ 、 $z$  座標データおよびカラー、透明度、テクスチャなどの付随データである。

【0017】

20

ジオメトリ演算部 3 2 は、入力部 2 より入力されたポリゴンを、3次元空間中の所望の位置に配置させその位置におけるポリゴンデータを生成する。具体的には、ポリゴンの各頂点 ( $x$ 、 $y$ 、 $z$ ) ごとに、並進変換、平行変換および回転変換などの幾何学的変換処理 (ジオメトリ変換処理という場合もある) を行う。ジオメトリ変換処理を行ったポリゴンデータは、パラメータ演算部 3 3 へ出力される。

【0018】

パラメータ演算部 3 3 は、ジオメトリ演算部 3 2 から入力されたポリゴンのデータ、すなわち、ポリゴンの各頂点のデータに基づいて、画素発生部 3 4 においてポリゴン内部の画素データを発生するために必要なパラメータを求め、画素発生部 3 4 へ出力する。具体的にはたとえば、カラー、奥行きおよびテクスチャの傾きの情報などを求める。

30

【0019】

画素発生部 3 4 は、ジオメトリ演算部 3 2 でジオメトリ変換処理が行われたポリゴンデータ、および、パラメータ演算部 3 3 で求められたパラメータに基づいて、ポリゴンの各頂点間を線型補間してポリゴン内部およびエッジ部分の画素データを発生する。また画素発生回路 3 4 は、画素データの表示に対応した所定の2次元平面上でのアドレスの生成を行う。生成された画素データおよびアドレスは順次テクスチャマッピング部 3 5 へ出力される。

【0020】

テクスチャマッピング部 3 5 は、画素発生部 3 4 で生成された画素データに対して、テクスチャメモリ 3 6 に格納されているテクスチャデータを用いて、テクスチャマッピング処理を行う。テクスチャマッピング処理を行った画素データおよびアドレスは、メモリインターフェイス 3 7 へ出力する。

40

【0021】

テクスチャメモリ 3 6 は、テクスチャマッピング部 3 5 でテクスチャマッピングする際に用いるテクスチャパターンを記憶しておくメモリである。

【0022】

メモリインターフェイス 3 7 は、テクスチャマッピング部 3 5 から入力される画素データおよびアドレス、および、既に画像メモリ 3 8 に記憶されている対応する画素データに基づいて、新たな画素データを生成し、画像メモリ 3 8 に記憶する。すなわち、メモリインターフェイス 3 7 は、テクスチャマッピング部 3 5 から入力されるアドレスに対応した画

50

素データを画像メモリ38から読み出し、その画素データと、テクスチャマッピング部35から入力された画素データとを用いて、所望の画素演算処理を行い、得られた画素データを画像メモリ38へ書き込む。

またメモリインターフェイス37は、プログラマブル・ディスプレイ制御部39から表示領域が指定された場合には、その表示領域の画素データを、画像メモリ38から読み出し、プログラマブル・ディスプレイ制御部39に出力する。

【0023】

画像メモリ38は、表示用の画像データを記録するメモリであり、同時にアクセスすることができる2つのメモリバッファ、フレームバッファとZバッファを有する。フレームバッファには、各画素のカラー情報であるフレームデータが格納される。また、Zバッファには、各画素の奥行き情報（Z値）であるZデータが格納される。

10

画像メモリ38については、後に詳細に説明する。

【0024】

プログラマブル・ディスプレイ制御部39は、メモリインターフェイス37を介して画像メモリ38より読み出した表示領域の画素データを、表示装置4により表示可能なたとえば所定のアナログ信号に変換し、表示装置4に出力する。この時の出力信号の形式およびそれに基づく変換条件などは、接続される表示装置4の信号特性などに基づいて、プログラムすることにより任意に設定可能である。

なお、プログラマブル・ディスプレイ制御部39は、メモリインターフェイス37に対して表示すべき表示領域の画素データの要求を行い、これにより画像メモリ38より所望の表示領域の画素データを読み出す。

20

【0025】

表示装置4は、本実施の形態においては、通常家庭などで用いられているビデオ入力端子などを有するテレビジョン受信機である。3次元画像生成装置3のプログラマブル・ディスプレイ制御部39からは、ビデオ信号入力端子を介してアナログビデオ信号が入力され、その信号に基づいて3次元映像を画面上に表示する。

【0026】

次に、この3次元コンピュータグラフィックスシステム1の動作について説明する。

まず、家庭用ゲーム機のゲーム自体を制御する主制御装置などにおいて、表示する3次元画像が決定されると、その画面表示に必要な立体モデルの情報が入力部2に入力される。入力部2はこの情報に基づいて、その画像を表示するための立体モデルのポリゴンデータを3次元画像生成装置3に入力する。

30

3次元画像生成装置3に入力された各ポリゴンデータは、まず、ジオメトリ演算部32において、画面表示のために3次元空間中の所望の位置に配置されるように、並進変換、平行変換および回転変換などのジオメトリ変換処理が行われる。

【0027】

次に、座標変換の行われたポリゴンデータに対して、パラメータ演算部33においてポリゴン内部の画素データを発生するために必要なパラメータが求められ、画素発生部34において、実際にポリゴンの各頂点間を線型補間してポリゴン内部およびエッジ部分の画素データが発生される。

40

発生された画素データは順次テクスチャマッピング部35に入力され、テクスチャマッピング部35において、テクスチャメモリ36に記録されているテクスチャパターンデータを参照して、テクスチャマッピング処理が行われ、生成された画素データがメモリインターフェイス37を介して画像メモリ38に記憶される。

【0028】

画像メモリ38に記憶された画素データは、同様の経路により入力される他の画素データや任意の制御データに基づいて適宜所望の処理が行われる。

これにより画像メモリ38には常に最新の画像データが格納され、画面表示に供される。すなわち、表示装置4に表示するための所定の領域のデータの出力の要求がプログラマブル・ディスプレイ制御部39からメモリインターフェイス37に対して行われ、その領域

50



の画素データが適宜画像メモリ38から読み出され、プログラマブル・ディスプレイ制御部39において画面表示用の所定の信号に変換され、表示装置4に出力される。

これにより、表示装置4には、所望の画像が画面に表示される。

【0029】

次に、このような3次元コンピュータグラフィックスシステム1の、本発明に係わる画像メモリ38の周辺回路について詳細に説明する。

3次元コンピュータグラフィックスシステム1においては、テクスチャマッピング部35、メモリアンターフェイス37およびプログラマブル・ディスプレイ制御部39が、実質的に画像メモリ38に対してアクセスを行なう構成部である。以下の説明においては、本発明の係わる特徴が明らかになるように、これらの処理部を画像メモリ38に対する1つの信号処理部とみなして説明を行なう。

なお、実際の回路は、図1に示したように各構成部が独立した構成でもよいし、後述するように、たとえば汎用のシグナルプロセッサなどを用いて一体的に構成したものであってもよい。

【0030】

図2は、その画像メモリ38の周辺回路（以後、これをメモリ装置50として示す）を論理的に示す図であり、図1に示したテクスチャマッピング部35～プログラマブル・ディスプレイ制御部39の構成を、別の観点から示した図である。

なお、このメモリ装置50は、前述したように、たとえば各画素のカラー情報であるフレームデータと、各画素の奥行き情報（Z値）であるZデータの2系統のデータを順次バッファリングする機能を有するものとする。

【0031】

MTXPC51は、3次元コンピュータグラフィックスシステム1におけるメモリアンターフェイス（Memory interface）37、マッピング（Texture Mapping）部35およびプログラマブル・ディスプレイ制御部（Programmable Crt controller）39が一体化された信号処理部である。MTXPC51で生成された画像データは、FIFOメモリ100に入力される。

FIFOメモリ100は、MTXPC51より入力された画像データを、その系統（種類）は問わずに順次記憶し、バッファリングして信号処理部53に出力する。

【0032】

信号処理部53は、FIFOメモリ100より読み出した画像データに任意の処理を施し、再び画像メモリ38に記憶する。前述したように、信号処理部53では、たとえば、既に画像メモリ38に記憶されている対応する画素データと、テクスチャマッピングされた画素データとを用いて所望の画素演算処理を行う。そして、得られた画素データは再び画像メモリ38へ書き込まれる。

第1のRAM54および第2のRAM55は、各々特定の系統のデータを記憶する2バンクのFIFOメモリであり、信号処理部53より入力されるデータを各々順次記憶する。また、図示しないが、たとえばMTXPC51からの読み出し要求に応じて、記憶したデータを記憶した順に出力する。

なお、第1のRAM54（バンクA）および第2のRAM55（バンクB）は、各々275ビット幅で、合わせて16ワードの記憶容量を有する。

【0033】

メモリ装置50（画像メモリ38の周辺回路）は、論理的にはこのようにその構成を示すことができるが、以下、本発明に係わるFIFOメモリ100について、図3～図6を参照して説明する。

前述したように、このFIFOメモリ100は、図1における画像メモリ38として描画データをバッファリングするメモリであり、275ビット×16ワードの容量を有する。また、共有データバッファにより2系統のデータに対応し、書き込みから読み出しまでのレイタンスー3、読み出しレイタンスー2のFIFOメモリである。

【0034】

10

20

30

40

50

まず、そのFIFOメモリ100の構成の概略について、図3を参照して、データの流れを中心にして説明する。

図3は、FIFOメモリ100におけるデータの流れを示すのに好適な、FIFOメモリ100の主要な構成を模式的に示すブロック図である。

図3に示すように、FIFOメモリ100は、デュアルポートRAM(DportRAM)120、出力レジスタ(REG)140、ライトポインタ部(Wpointer)160、リードポインタ部(Rpointer)180、フル信号生成部(FullGen)200およびエンプティ信号生成部(EMPTYGen)220を有する。

【0035】

デュアルポートRAM120は、275ビット×16ワード構成の同時に書き込みおよび読み出しが可能なメモリである。

デュアルポートRAM120は、データ入力端子に入力データDATAinが印加されており、ライトポインタ部160からのライト制御信号に基づいてこれを順に記憶する。また、デュアルポートRAM120に記憶されたデータは、リードポインタ部180からのリード制御信号に基づいて記憶された順番に読み出され、出力レジスタ140に出力される。

【0036】

出力レジスタ140は、リードポインタ部180より出力されるリード制御信号に基づいてデュアルポートRAM120より読み出されたデータRAMoutを記憶し、FIFOメモリ100より出力する。

【0037】

ライトポインタ部160は、FIFOメモリ100に入力されるバンクA、バンクBのそれぞれのライトイネーブル信号WE\_\_A, WE\_\_Bに基づいて、デュアルポートRAM120に対する記憶制御信号を生成しデュアルポートRAM120に印加することにより、デュアルポートRAM120へのデータの記憶を制御する。

【0038】

リードポインタ部180は、FIFOメモリ100に入力されるバンクA、バンクBのそれぞれのリードイネーブル信号RE\_\_A, RE\_\_Bに基づいて、デュアルポートRAM120に対するリード制御信号を生成しデュアルポートRAM120に印加することにより、デュアルポートRAM120からのデータの読み出しを制御する。

【0039】

フル信号生成部200は、図示せぬFIFOメモリ100内の種々の制御信号および状態信号に基づいて、デュアルポートRAM120へ格納されたデータの合計がそれぞれ16、15、14以上であることを示すフル信号FULL、プレ・フル信号PFULL、および、プレ・プレ・フル信号PPFULL、換言すれば、デュアルポートRAM120の記憶領域が満杯の状態を示すプレ信号FULL、あと1ワードで満杯となる状態を示すプレ・フル信号PFULL、および、あと1ワードでプレ・フルとなる状態を示すプレ・プレ・フル信号PPFULLを生成し、3次元コンピュータグラフィックスシステム1のメモリインターフェイス37に相当する図示せぬ制御部に出力する。

【0040】

エンプティ信号生成部220は、図示せぬFIFOメモリ100内の種々の制御信号および状態信号に基づいて、デュアルポートRAM120へ格納されたデータが無い状態、すなわちエンプティな状態を示す信号EMPTYを生成し、3次元コンピュータグラフィックスシステム1のメモリインターフェイス37に相当する図示せぬ制御部に出力する。

図示せぬ制御部は、これら信号FULL, PFULL, PPFULLおよびEMPTYに基づいて、画像メモリ38(FIFOメモリ100)へのデータの書き込みおよび読み出しを制御する。

【0041】

次に、FIFOメモリ100のより詳細な構成について、図4および図5を参照して説明

10

20

30

40

50

する。

図4は、FIFOメモリ100の詳細の構成を示す回路図である。

FIFOメモリ100は、デュアルポートRAM120、出力レジスタ140および制御部150を有する。

また、制御部150は、ライトイネーブルデコーダ151、リードイネーブルデコーダ152、セクタ153、レジスタ154、フル信号生成部200、EMPTY信号生成部220およびアドレス制御部240を有する。

【0042】

デュアルポートRAM120は、前述したように275ビット×16ワード構成の同時に書き込みおよび読み出しが可能なメモリである。デュアルポートRAM120は、制御部150のアドレス制御部240より入力される書き込みアドレスwp\_mおよびライトイネーブルデコーダ151より入力されるライトイネーブル信号ram\_weに基づいて、印加されるデータinを記憶する。また、制御部150のセクタ153より入力される読み出しアドレスrp\_mおよびリードイネーブルデコーダ152より入力されるリードイネーブル信号ram\_reに基づいて、データを読み出し出力レジスタ140に出力する。

10

【0043】

出力レジスタ140は、制御部150のレジスタ154より入力されるイネーブル信号oreg\_enに基づいて、デュアルポートRAM120より読み出されたデータを一旦記憶し、出力信号outとしてFIFOメモリ100より出力する。

20

【0044】

制御部150のライトイネーブルデコーダ151は、外部よりFIFOメモリ100に入力される2つのバンクA、B各々に対するライトイネーブル信号we\_a、we\_bおよびアドレス制御部240より入力されるデュアルポートRAM120がフルであることを示す信号ram\_fullに基づいて、デュアルポートRAM120に対するライトイネーブル信号ram\_we、および、各バンクのデータの書き込みを示す信号ram\_we\_a、ram\_we\_bを生成し、各々、デュアルポートRAM120のアドレス制御部240に出力する。

【0045】

具体的には、ライトイネーブルデコーダ151は、デュアルポートRAM120がフルでない場合には、ライトイネーブル信号we\_a、we\_bのいずれかが入力された場合に、デュアルポートRAM120に対するライトイネーブル信号ram\_weをアクティブにする。また、ライトイネーブル信号we\_a、we\_bに応じて、データの書き込みを示す信号ram\_we\_a、ram\_we\_bのいずれかをアクティブにする。デュアルポートRAM120がフルであることを示す信号ram\_fullがアクティブの時には、ライトイネーブルデコーダ151はいずれの信号もアクティブにしない。

30

【0046】

リードイネーブルデコーダ152は、外部よりFIFOメモリ100に入力される2つのバンクA、B各々に対するリード信号re\_a、re\_bおよびアドレス制御部240より入力される各バンクの記憶データがEMPTYであることを示す信号ram\_empty\_a、ram\_empty\_bに基づいて、デュアルポートRAM120に対するリードイネーブル信号ram\_re、および、各バンクのデータの読み出しを示す信号ram\_re\_a、ram\_re\_bを生成し、各々、デュアルポートRAM120のアドレス制御部240に出力する。

40

【0047】

具体的には、リードイネーブルデコーダ152は、バンクAまたはバンクBのいずれかに対するリード信号re\_a、re\_bのいずれかが入力された場合であって、そのバンクがEMPTYでない場合には、デュアルポートRAM120に対するリードイネーブル信号ram\_reをアクティブにし、そのバンクのデータの読み出しを示す信号ram\_re\_a、ram\_re\_bをアクティブにする。そのバンクがEMPTYであることを示

50

す信号 `ram__empty__a` または `ram__empty__b` がアクティブの時には、リードイネーブルデコーダ 151 はいずれの信号もアクティブにしない。

【0048】

セレクタ 153 は、アドレス制御部 240 より入力される、デュアルポート RAM 120 に記憶されている各バンクの先頭データのアドレス `rp__a` , `rp__b` のいずれかを、選択し、デュアルポート RAM 120 に印加する。本実施の形態においては、FIFOメモリ 100 に入力されるバンク B のリード信号 `re__b` がアクティブの時にバンク B の記憶データの先頭アドレス `rp__b` を選択し、そうでない時にバンク A の記憶データの先頭アドレス `rp__a` を選択する。

【0049】

レジスタ 154 は、リードイネーブルデコーダ 152 よりデュアルポート RAM 120 に出力されるリードイネーブル信号 `ram__re` を 1 クロックラッチし、デュアルポート RAM 120 より出力されるデータを出力レジスタ 140 が記憶するためのイネーブル信号 `oreg__en` として、出力レジスタ 140 に出力する。

【0050】

フル信号生成部 200 は、後述するアドレス制御部 240 において生成されるフル信号 `full` に基づいて、さらに、あと 1 ワードでフルとなる状態を示す信号 `PFULL`、および、あと 1 ワードで `PFULL` となる状態を示す信号 `PPFULL` を各々生成し出力する。

【0051】

エンpty信号生成部 220 は、後述するアドレス制御部 240 において生成される各バンクのデータがエンptyであることを示す信号 `empty__a` , `empty__b` に基づいて、デュアルポート RAM 120 へ格納されたデータが無い状態、すなわちエンptyな状態を示す信号 `EMPTY` を生成し出力する。

【0052】

アドレス制御部 240 は、前述したようなデュアルポート RAM 120 および外部に対する種々の制御信号を生成するとともに、デュアルポート RAM 120 に記憶したデータの順序などを管理する。

アドレス制御部 240 の構成について、図 5 を参照して詳細に説明する。

図 5 は、アドレス制御部 240 の構成を示す回路図である。

アドレス制御部 240 は、RAM 使用領域フラグ 241、フラグ更新部 242、書き込みアドレスデコーダ 243、バンク A 書き込みアドレス記憶部 244、バンク B 書き込みアドレス記憶部 245、セレクタ 246、ネクストポインタ 247、バンク A リードアドレス選択部 248、バンク A リードアドレスレジスタ 249、バンク B リードアドレス選択部 250、バンク B リードアドレスレジスタ 251、バンク A エンpty検出カウンタ 252 およびバンク B エンpty検出カウンタ 253 を有する。

【0053】

RAM 使用領域フラグ 241 は、デュアルポート RAM 120 の各アドレスに未だ読み出されていないデータが記憶しているか否を示すフラグを記憶し、デュアルポート RAM 120 の使用状態を管理するための、デュアルポート RAM 120 の各アドレスに 1 ビットが対応した 16 ビットのレジスタである。

RAM 使用領域フラグ 241 は、ライトイネーブルデコーダ 151 よりいずれかのバンクの書き込みを示す信号 `ram__we__a` (アドレス制御部 240 内部では `we__a`。以下同じ)、`ram__we__b` (`we__b`) が入力された場合、または、リードイネーブルデコーダ 152 よりいずれかのバンクの読み出しを示す信号 `ram__re__a` (`re__a`)、`ram__re__b` (`re__b`) が入力された場合に、フラグ更新部 242 から印加される新たなフラグデータにより更新される。

【0054】

フラグ更新部 242 は、デュアルポート RAM 120 に対してデータの書き込みおよび読み出しが行なわれた場合、すなわち、いずれかのバンクの書き込みを示す信号 `ram__w`

10

20

30

40

50

e\_\_a (we\_\_a) , ram\_\_we\_\_b (we\_\_b) およびいずれかのバンクの読み出しを示す信号 ram\_\_re\_\_a (re\_\_a) , ram\_\_re\_\_b (re\_\_b) のいずれかが入力された場合に、RAM使用領域フラグ241の更新データを生成し、RAM使用領域フラグ241に印加する。

**【0055】**

書き込みアドレスデコーダ243は、RAM使用領域フラグ241に記憶されているデュアルポートRAM120の記憶領域の使用フラグに基づいて、次にデータを記憶するアドレスを生成し、バンクA書き込みアドレス記憶部244、バンクB書き込みアドレス記憶部245およびネクストポインタ247に出力するとともに、アドレス制御部240より出力してデュアルポートRAM120に印加する。

10

なお、バンクAまたはバンクBがエンプティの状態デュアルポートRAM120にデータを記憶した場合には、このアドレスwpは、ネクストポインタ247は介さずに直接バンクAリードアドレス選択部248またはバンクBリードアドレス選択部250に入力され、データの読み出しに用いられる。

**【0056】**

なお、書き込みアドレスデコーダ243は、この時、デュアルポートRAM120の空き領域のうち、アドレスの大きい方から順に記憶領域を選択し、そのアドレスを出力する。また、書き込みアドレスデコーダ243は、RAM使用領域フラグ241に記憶されているデュアルポートRAM120の使用フラグに基づいて、デュアルポートRAM120の全ての記憶領域に未だ読み出されていないデータが記憶されているか否か、すなわち、デュアルポートRAM120がフルであるか否かを検出し、フルである場合にはフル信号fullを出力する。

20

**【0057】**

バンクA書き込みアドレス記憶部244は、バンクAの最後にデータを書き込んだデュアルポートRAM120のアドレスを記憶するレジスタである。バンクA書き込みアドレス記憶部244には、バンクAへの書き込みを示す信号ram\_\_we\_\_a (we\_\_a) がアクティブになった時の、書き込みアドレスデコーダ243の出力アドレスが記憶される。

**【0058】**

バンクB書き込みアドレス記憶部245は、バンクBの最後にデータを書き込んだデュアルポートRAM120のアドレスを記憶するレジスタである。バンクB書き込みアドレス記憶部245には、バンクBへの書き込みを示す信号ram\_\_we\_\_b (we\_\_b) がアクティブになった時の、書き込みアドレスデコーダ243の出力アドレスが記憶される。

30

**【0059】**

セクタ246は、データが書き込まれるバンクに応じて、バンクA書き込みアドレス記憶部244またはバンクB書き込みアドレス記憶部245に記憶されているアドレスを選択し、ネクストポインタ247に印加する。

**【0060】**

ネクストポインタ247は、各バンクごとのデータの順序を記憶するレジスタである。ネクストポインタ247は、デュアルポートRAM120と同じ16ワードのアドレス空間を有し、各ワード4ビットのレジスタファイルである。

40

そして、ネクストポインタ247は、新たなデータがデュアルポートRAM120に書き込まれるごとに、セクタ246により選択され印加されるアドレスに、書き込みアドレスデコーダ243より出力されるアドレスを記憶する。

これにより、新たなデータがデュアルポートRAM120に書き込まれるごとに、ネクストポインタ247の、そのデータと同じバンクに対して書き込まれたそのデータの前のデータが記憶されているアドレスに、そのデータが記憶されたアドレスを記憶することになる。換言すれば、ネクストポインタ247の各アドレスには、そのアドレスに記憶されているデータと同じバンクのデータで、そのデータに続く次のデータが記憶されているアドレスが記憶されることになる。

**【0061】**

50

バンクAリードアドレス選択部248は、ネクストポインタ247の16ワードのデータよりバンクAのデータを順に選択し、バンクAリードアドレスレジスタ249に出力する。バンクAリードアドレス選択部248は、バンクAのデータが読み出されるごとに、自らが選択したアドレスのデータであり、後段のバンクAリードアドレスレジスタ249に記憶されているアドレスのネクストポインタ247のデータを順に選択する。

**【0062】**

バンクAリードアドレスレジスタ249は、バンクAリードアドレス選択部248により選択されたネクストポインタ247のデータ、すなわち、バンクAのデータとして記憶された次に読み出すデータのアドレスram\_re\_a(re\_a)を記憶するレジスタであり、記憶したアドレスはアドレス制御部240よりリードイネーブルデコーダ152に出力される。

10

**【0063】**

バンクBリードアドレス選択部250は、ネクストポインタ247の16ワードのデータよりバンクBのデータを順に選択し、バンクBリードアドレスレジスタ251に出力する。バンクBリードアドレス選択部250は、バンクBのデータが読み出されるごとに、自らが選択したアドレスのデータであり、後段のバンクBリードアドレスレジスタ251に記憶されているアドレスのネクストポインタ247のデータを順に選択する。

**【0064】**

バンクBリードアドレスレジスタ251は、バンクBリードアドレス選択部250により選択されたネクストポインタ247のデータ、すなわち、バンクBのデータとして記憶された次に読み出すデータのアドレスram\_re\_b(re\_b)を記憶するレジスタであり、記憶したアドレスはアドレス制御部240よりリードイネーブルデコーダ152に出力される。

20

**【0065】**

バンクAエンプティ検出カウンタ252は、バンクAの有効データ数をカウントするカウンタであり、バンクAへの書き込みを示す信号ram\_we\_a(we\_a)が入力されるごとにインクリメントされ、バンクAからの読み出しを示す信号ram\_re\_a(re\_a)が入力されるごとにデクリメントされる。そして、このカウンタ値が0の時、バンクAにはデータが記憶されていないものとして、エンプティ信号ram\_empty\_a(empty\_a)がアクティブにされる。

30

**【0066】**

バンクBエンプティ検出カウンタ253は、バンクBの有効データ数をカウントするカウンタであり、バンクBへの書き込みを示す信号ram\_we\_b(we\_b)が入力されるごとにインクリメントされ、バンクBからの読み出しを示す信号ram\_re\_b(re\_b)が入力されるごとにデクリメントされる。そして、このカウンタ値が0の時、バンクBにはデータが記憶されていないものとして、エンプティ信号ram\_empty\_b(empty\_b)がアクティブにされる。

**【0067】**

次に、このような構成のFIFOメモリ100の動作について、図3～図6を参照して説明する。

40

まず、図4および図5を参照して、FIFOメモリ100におけるアドレスの制御方法を中心として、その動作を詳細に説明する。

**【0068】**

まず、たとえばバンクA(第1の系統)のデータが記憶される時には、デュアルポートRAM120に対して入力データDATAinが印加され、バンクAのライトイネーブル信号we\_aがアクティブにされる。

FIFOメモリ100の制御部150のライトイネーブルデコーダ151がこのライトイネーブル信号we\_aを検出し、デュアルポートRAM120に対するライトイネーブル信号ram\_weをアクティブにするとともに、アドレス制御部240に対してバンクAにデータを書き込む旨の信号ram\_we\_a(we\_a)を入力する。

50

アドレス制御部 240 からは、既にかき込みアドレスデコーダ 243 において空き領域のアドレスが検出され、デュアルポート RAM 120 に印加されているので、デュアルポート RAM 120 においては、このライトイネーブルデコーダ 151 からのライトイネーブル信号 ram\_we により、書き込みアドレスデコーダ 243 が指示するアドレス wp にデータが記録される。

【0069】

そして、アドレス制御部 240 においては、ライトイネーブルデコーダ 151 より入力されるバンク A にデータをかき込む旨の信号 ram\_we\_a (we\_a) に基づいて、書き込みアドレス wp がバンク A 書き込みアドレス記憶部 244 に記憶される。

また、フラグ更新部 242 により、RAM 使用領域フラグ 241 に記憶されているフラグに対して、アドレス wp のフラグが使用されている状態とされた新たなフラグデータが生成され、これにより RAM 使用領域フラグ 241 の内容が更新される。

そしてまた、バンク A リードアドレス選択部 248 ではこのアドレス wp が選択されて、バンク A リードアドレスレジスタ 249 にバンク A の先頭データのアドレスとしてセットされる。

さらに、更新された RAM 使用領域フラグ 241 のフラグデータに基づいて、書き込みアドレスデコーダ 243 が、次にデータの書き込みを行なうアドレスを生成し、新たなアドレス wp として出力する。

【0070】

次に、たとえばバンク B (第 2 の系統) のデータが記憶されるとすると、デュアルポート RAM 120 に対して入力データ DATA\_in が印加され、バンク B のライトイネーブル信号 we\_b がアクティブにされる。このライトイネーブル信号 we\_b を、制御部 150 のライトイネーブルデコーダ 151 が検出し、デュアルポート RAM 120 に対するライトイネーブル信号 ram\_we をアクティブにする。これにより、既にアドレス制御部 240 より出力されデュアルポート RAM 120 に印加されているアドレス ram\_wp (wp) に、入力されたデータがかき込まれる。

【0071】

また、ライトイネーブルデコーダ 151 からアドレス制御部 240 に対してバンク B にデータをかき込む旨の信号 ram\_we\_b (we\_b) が入力され、これにより、書き込みアドレス wp がバンク B 書き込みアドレス記憶部 245 に記憶される。

また、フラグ更新部 242 により、RAM 使用領域フラグ 241 に記憶されているフラグに対して、アドレス wp のフラグが使用されている状態とされた新たなフラグデータが生成され、これにより RAM 使用領域フラグ 241 の内容が更新される。

そしてまた、バンク B リードアドレス選択部 250 ではこのアドレス wp が選択されて、バンク B リードアドレスレジスタ 251 にバンク B の先頭データのアドレスとしてセットされる。

さらに、更新された RAM 使用領域フラグ 241 のフラグデータに基づいて、書き込みアドレスデコーダ 243 が、次にデータの書き込みを行なうアドレスを生成し、新たなアドレス wp として出力する。

【0072】

次に、再びバンク A のデータが記憶されるとすると、デュアルポート RAM 120 に対して入力データ DATA\_in が印加され、バンク A のライトイネーブル信号 we\_a がアクティブにされる。このライトイネーブル信号 we\_a をライトイネーブルデコーダ 151 が検出し、デュアルポート RAM 120 に対するライトイネーブル信号 ram\_we をアクティブにすることにより、アドレス制御部 240 よりデュアルポート RAM 120 に印加されているアドレス ram\_wp (wp) に、入力されたデータがかき込まれる。

【0073】

そしてこの時、アドレス制御部 240 においては、入力されるバンク A にデータをかき込む旨の信号 ram\_we\_a (we\_a) に基づいて、セクタ 246 において、バンク A 書き込みアドレス記憶部 244 の出力である 1 回目にバンク A のデータを記録したアド

10

20

30

40

50

レスが選択され、これがネクストポインタ247に印加され、今回のデータ記録アドレス、すなわち、2回目のバンクAのデータを記録したアドレスが、この1回目のデータ記録アドレスに記憶される。

その後、1回目の時あるいはバンクBに対する書き込みの時と同様に、この記録アドレスがバンクA書き込みアドレス記憶部244に記録され、フラグ更新部242ではRAM使用領域フラグ241に記憶されているフラグの内容が更新され、また、書き込みアドレスデコーダ243では更新されたRAM使用領域フラグ241のフラグデータに基づいて新たな書き込みアドレスが生成される。

なお、既にデータが蓄積されている状態からの追加のデータの記憶の際には、バンクAリードアドレスレジスタ249への書き込みアドレスデコーダ243からのアドレスの書き込みは行なわれない。

10

#### 【0074】

さて、このようにデータを書き込んだ状態で、バンクAのデータの読み出しが要求された場合には、バンクAのリードイネーブル信号 $re\_a$ がアクティブにされる。

FIFOメモリ100の制御部150のリードイネーブルデコーダ152がこのリードイネーブル信号 $w\_e\_a$ を検出し、デュアルポートRAM120に対するリードイネーブル信号 $ram\_re$ をアクティブにするとともに、アドレス制御部240に対してバンクAのデータを読み出す旨の信号 $ram\_re\_a(re\_a)$ を入力する。

#### 【0075】

アドレス制御部240からは、既にバンクAリードアドレスレジスタ249およびバンクBリードアドレスレジスタ251を介して、各バンクの記憶データ先頭アドレスがセレクトア153に出力されている。

20

そして、セレクトア153においては、バンクBのリードイネーブル信号 $re\_b$ がネガティブであることから、バンクAリードアドレスレジスタ249の出力であるバンクAの先頭アドレスが選択されて、デュアルポートRAM120に印加される。

その結果、デュアルポートRAM120からは先に記憶したバンクAの先頭データが読み出され、出力レジスタ140を介してFIFOメモリ100より出力される。

#### 【0076】

また、アドレス制御部240においては、リードイネーブルデコーダ152より入力されるバンクAのデータを読み出す旨の信号 $ram\_re\_a(re\_a)$ に基づいて、バンクAリードアドレス選択部248が、ネクストポインタ247より、バンクAリードアドレスレジスタ249に記憶されていた今回データを読み出したアドレスのデータを選択し、バンクAの次のデータのアドレスとしてバンクAリードアドレスレジスタ249にセットする。その結果、アドレス制御部240からは、新たなバンクAの記憶データ先頭アドレスがセレクトア153に出力される。

30

さらに、アドレス制御部240においては、フラグ更新部242により、RAM使用領域フラグ241に記憶されているフラグに対して、アドレス $w\_p$ のフラグが未使用の状態とされた新たなフラグデータが生成され、これによりRAM使用領域フラグ241の内容が更新される。

#### 【0077】

40

このようにして、以下順次各バンクのデータの読み出しおよび書き込みが行なわれる。

#### 【0078】

最後に、FIFOメモリ100の全体の動作について図3および図6を参照して説明する。

図6は、FIFOメモリ100の全体の動作を示すタイムチャートであり、(A)FIFOメモリ100の動作クロック $CLK$ を示す図、(B)はFIFOメモリ100への入力データ $DAT\_in$ を示す図、(C)はデュアルポートRAM120に印加されているデータ $FIFO\_in$ を示す図、(D)はバンクAに対するライトイネーブル信号 $WE\_A$ 、(E)はバンクBに対するライトイネーブル信号 $WE\_B$ 、(F)は全体のエンプティ信号 $EMPTY$ 、(G)はフル信号 $FULL$ 、(H)はプレ・フル信号 $PFULL$ 、(I)

50



はプレ・プレ・フル信号 P P F U L L、( J ) はバンク B に対するリードイネーブル信号、( K ) はデュアルポート R A M 1 2 0 からの出力データ F I F O o u t である。

【 0 0 7 9 】

まず、図 6 ( B ) に示すようにデータを順次 F I F O メモリ 1 0 0 に入力し、データ D 0 ~ D 3 はバンク A に記憶し、データ D 4 ~ D 7 はバンク B に記憶するようにしたい場合、図 6 ( D ) および図 6 ( E ) に示すようにバンク A およびバンク B に対する各ライトイネーブル信号をアクティブにすれば、前述したように F I F O メモリ 1 0 0 内で信号処理が行なわれ、所望の形態でデータが記憶される。

そして、図 6 ( F ) に示すようにデータ D 0 を記憶した段階でエンプティ信号はネガティブになり、図 6 ( I ) に示すようにデータ D 5 までの 6 個のデータを記憶した段階でプレ・プレ・フル信号 P P F U L L がアクティブになり、図 6 ( H ) に示すようにデータ D 6 までの 7 個のデータを記憶した段階でプレ・フル信号 P F U L L がアクティブになり、さらに、図 6 ( G ) に示すようにデータ D 7 までの 8 個のデータを記憶した段階でフル信号 F U L L がアクティブになる。

【 0 0 8 0 】

そして、このような状態で、図 6 ( J ) に示すように、バンク B のリードイネーブル信号をアクティブにすることにより、図 6 ( K ) に示すように、データ D 4 以下のバンク B のデータが順次読み出される。 F

そして、データの読み出しとともに、図 6 ( G ) に示すフル信号 F U L L、図 6 ( H ) に示すプレ・フル信号 P F U L L および図 6 ( I ) に示すプレ・プレ・フル信号 P P F U L L が各々ネガティブになっていく。

F I F O メモリ 1 0 0 は、このように動作する。

【 0 0 8 1 】

このように、本実施の形態の F I F O メモリ 1 0 0 においては、1 つのデュアルポート R A M 1 2 0 を用いて、2 つの系統の F I F O を実現することができる。これにより、全く独立した F I F O を 2 系統備える場合に比べて、F I F O のマージンを全体として少なくすることができ、また、制御回路の一部を共通化することができ、その結果、回路規模を大幅に削減することができる。

また、その 2 つの系統における記憶容量の割り当ては、入力されるデータに基づいてダイナミックに決定すればよく予め固定されるものではない。したがって、全体として、よりフレキシブルなバッファを構成することができる。

【 0 0 8 2 】

そして、このような構成の F I F O メモリ 1 0 0 を、たとえば前述したような 3 次元コンピュータグラフィックスシステム 1 の 3 次元画像生成装置 3 に適用することにより、各々が複雑で高速な処理を行なう各構成部間のデータの転送を、少ない規模の回路で、効率よく行なうことができ、その結果、効率よく所望の画像の生成ができる。

【 0 0 8 3 】

なお、本発明は前述した実施の形態に限られるものではなく、さらに種々の改変が可能である。

たとえば、本実施の形態においては、2 種類 ( 2 系統 ) のデータを処理する F I F O を例示したが、これは 2 系統に限られるものではなく、任意の数の系統を処理できるようにしてよい。

【 0 0 8 4 】

また、実際にデータを記憶するメモリは、デュアルポート R A M に限られるものではなく、シングルポート R A M を用いてもよい。その場合には、たとえばシングルポート R A M を 2 つ具備し、1 つのシングルポート R A M に対して記憶と読み出しを同時に行わないようにデータの記憶および読み出しを制御することにより、記憶または読み出しを同時に行えないシングルポート R A M を用いて、また動作クロックを早めることなく、本発明と同様の動作を行なう F I F O メモリを構成することができる。

もちろん、メモリの種類は、シングルポート R A M 以外の任意のメモリを用いてよい。

10

20

30

40

50

## 【 0 0 8 5 】

また、本実施の形態においては、F I F Oメモリ1 0 0メモリ1 0 0の適用例として、3次元画像生成装置を例示したが、このF I F Oメモリ装置は通常のF I F Oメモリとして、任意好適な装置に適用可能である。

## 【 0 0 8 6 】

## 【 発明の効果 】

以上説明したように、本発明によれば、より小さい回路規模で複数系統のデータに対して適切にF I F O機能を提供できるデータ記憶装置とその方法を提供することができる。また、より小さい回路規模で各処理手段でのデータの転送が適切に行え、これにより所望の画像処理を効率よく行えるような画像処理装置を提供することがにできる。

10

## 【 図面の簡単な説明 】

【 図 1 】 図 1 は、本発明の一実施の形態であって、本発明のメモリ装置を適用する3次元コンピュータグラフィックスシステムの構成を示すブロック図である。

【 図 2 】 図 2 は、図 1 に示した3次元コンピュータグラフィックスシステムの画像メモリおよびその周辺回路を含むメモリ装置の構成を論理的に示す図である。

【 図 3 】 図 3 は、図 2 に示したメモリ装置におけるデータの流れを示すのに好適な、メモリ装置のF I F Oメモリの構成を模式的に示すブロック図である。

【 図 4 】 図 4 は、図 3 に示したF I F Oメモリの詳細な構成を示す回路図である。

【 図 5 】 図 5 は、図 4 に示したF I F Oメモリのアドレス制御部の構成を示す回路図である。

20

【 図 6 】 図 6 は、図 3 に示したF I F Oメモリの全体の動作を示すタイムチャートである。

【 図 7 】 図 7 は、従来の3次元コンピュータグラフィックスシステムの画像メモリおよびその周辺回路を含むメモリ装置の構成を論理的に示す図である。

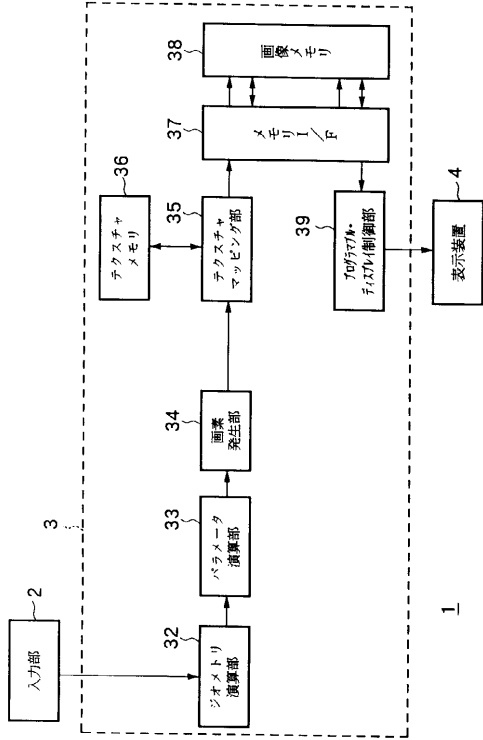
## 【 符号の説明 】

1 ... 3次元コンピュータグラフィックスシステム、2 ... 入力部、3 ... 3次元画像生成装置、4 ... 表示装置、3 2 ... ジオメトリ演算部、3 3 ... パラメータ演算部、3 4 ... 画素発生部、3 5 ... テクスチャマッピング部、3 6 ... テクスチャメモリ、3 7 ... メモリインターフェイス、3 8 ... 画像メモリ、3 9 ... プログラマブル・ディスプレイ制御部、5 0 ... メモリ装置、5 1 ... M T X P C、5 3 ... 信号処理部、5 4 ... 第1のR A M、5 5 ... 第2のR A M、1 0 0 ... F I F Oメモリ、1 2 0 ... デュアルポートR A M、1 4 0 ... 出力レジスタ、1 5 0 ... 制御部、1 5 1 ... ライトイネーブルデコーダ、1 5 2 ... リードイネーブルデコーダ、1 5 3 ... セレクタ、1 5 4 ... レジスタ、1 6 0 ... ライトポインタ部、1 8 0 ... リードポインタ部、2 0 0 ... フル信号生成部、2 2 0 ... エンプティ信号生成部、2 4 0 ... アドレス制御部、2 4 1 ... R A M使用領域フラグ、2 4 2 ... フラグ更新部、2 4 3 ... 書き込みアドレスデコーダ、2 4 4 ... バンクA書き込みアドレス記憶部、2 4 5 ... バンクB書き込みアドレス記憶部、2 4 6 ... セレクタ、2 4 7 ... ネクストポインタ、2 4 8 ... バンクAリードアドレス選択部、2 4 9 ... バンクAリードアドレスレジスタ、2 5 0 ... バンクBリードアドレス選択部、2 5 1 ... バンクBリードアドレスレジスタ、2 5 2 ... バンクAエンプティ検出カウンタ、2 5 3 ... バンクBエンプティ検出カウンタ

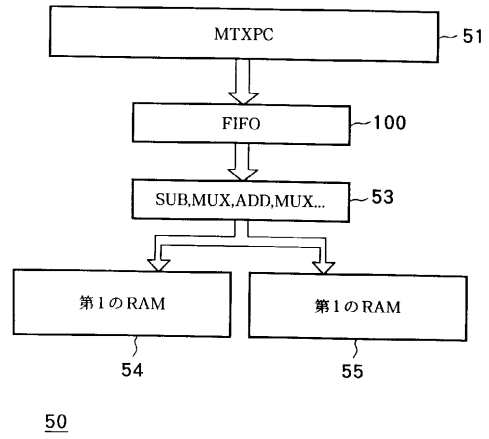
30

40

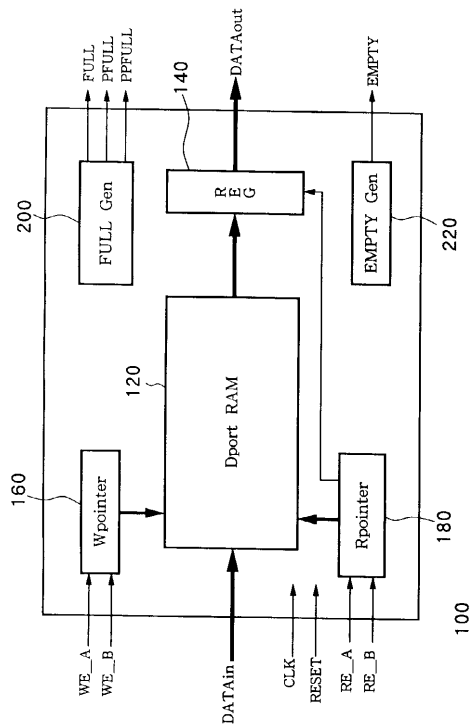
【図1】



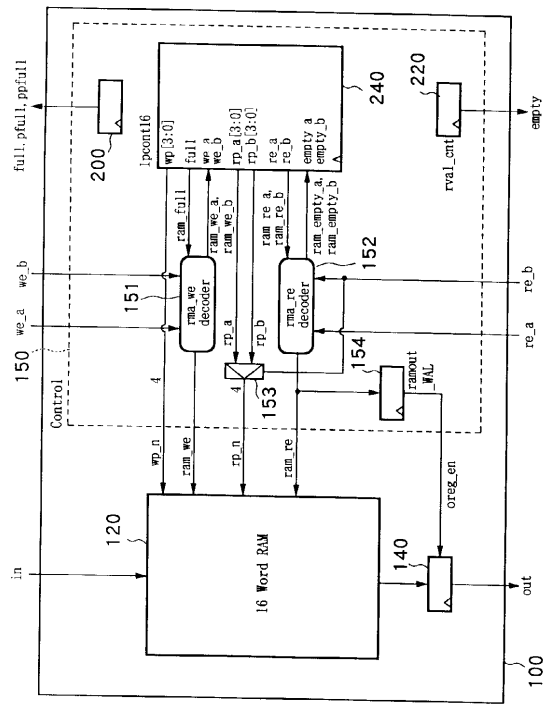
【図2】



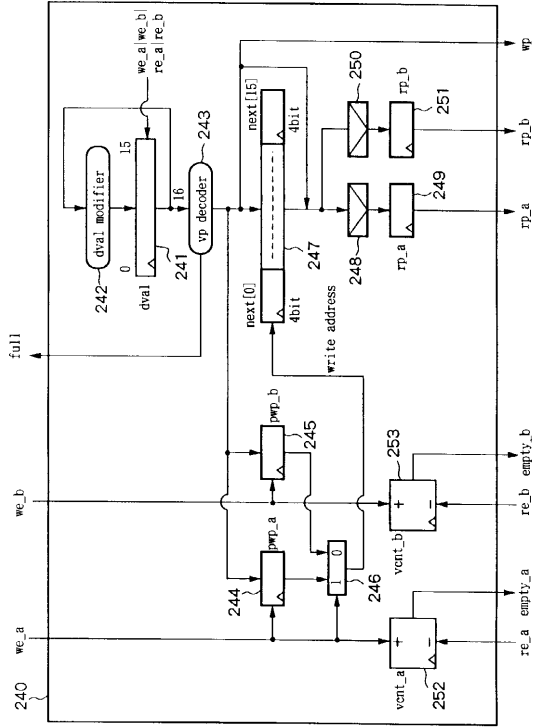
【図3】



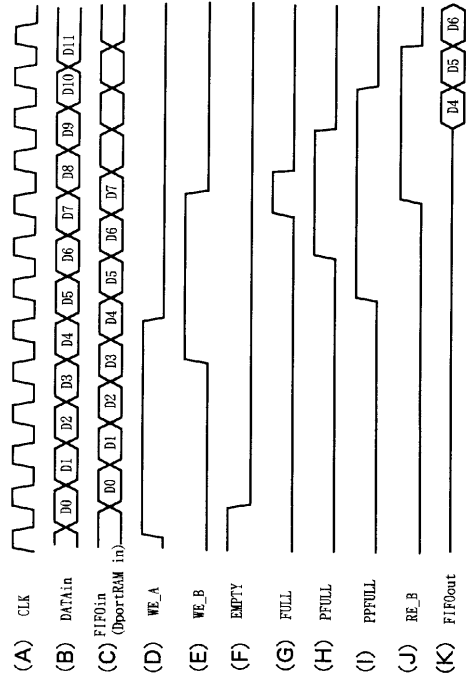
【図4】



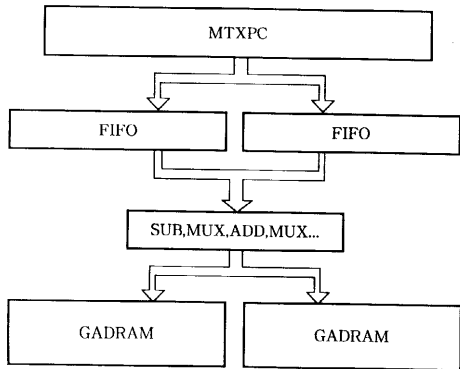
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(56)参考文献 特開平 1 1 - 1 6 2 1 5 7 ( J P , A )

特開平 1 1 - 2 8 9 4 3 8 ( J P , A )

特開平 0 9 - 2 9 8 6 5 1 ( J P , A )

枝 洋樹 外 1 名, “ 低価格WSの3次元グラフィックス性能の向上でパソコンの追撃を振り切る 2部 L S Iのサーベイ 市販L S Iの選択肢が広がる ワークステーションとパソコンで共用可能に ” , 日経エレクトロニクス, 日本, 日経B P社, 1 9 9 4年1 0月2 4日, 第6 2 0号, p . 8 3 - 9 2

(58)調査した分野(Int.Cl. , D B名)

G06T 11/00 - 17/50

A63F 13/00

G06T 1/60

G09G 5/00 - 5/40

CSDB(日本国特許庁)