

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6926261号  
(P6926261)

(45) 発行日 令和3年8月25日(2021.8.25)

(24) 登録日 令和3年8月6日(2021.8.6)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 D
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 2 M
	HO 1 L 29/78 6 5 2 H
請求項の数 12 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2020-38465 (P2020-38465)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	令和2年3月6日(2020.3.6)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(62) 分割の表示	特願2016-134056 (P2016-134056) の分割	(72) 発明者	大橋 輝之 東京都港区芝浦一丁目1番1号 株式会社 東芝内
原出願日	平成28年7月6日(2016.7.6)	(72) 発明者	清水 達雄 東京都港区芝浦一丁目1番1号 株式会社 東芝内
(65) 公開番号	特開2020-80439 (P2020-80439A)	審査官	杉山 芳弘
(43) 公開日	令和2年5月28日(2020.5.28)		
審査請求日	令和2年3月6日(2020.3.6)		
最終頁に続く			

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1部分領域と、第2部分領域と、前記第1部分領域及び前記第2部分領域の間に位置した中間部分領域と、を含む第1導電形の第1半導体領域と、

前記第2部分領域から前記第1部分領域に向かう方向と交差する第1方向において、前記第1部分領域から離れた第1電極と、

第2電極であって、

前記第1方向において前記第2部分領域から離れた第1導電領域と、

前記第1方向において前記中間部分領域から離れた第2導電領域と、

を含む前記第2電極と、

前記第1方向において前記中間部分領域と前記第2導電領域の一部との間に設けられ、前記第1方向と交差する第2方向において前記第1導電領域と前記第1電極との間に設けられ、前記第2電極と電氣的に接続された、前記第1導電形の第2半導体領域と、

前記第1方向において前記中間部分領域と前記第2導電領域の別の一部との間に設けられ、前記第2方向において前記第1導電領域と前記第2半導体領域の少なくとも一部との間に設けられ、前記第2電極と電氣的に接続され、第2導電形の第3半導体領域と、

第3部分領域及び第4部分領域を含む前記第2導電形の第4半導体領域であって、前記第3部分領域は、前記第1方向において前記第2部分領域と前記第1導電領域との間に設けられ、前記第4部分領域は、前記第1方向において前記中間部分領域と前記第2半導体領域との間、及び、前記第1方向において前記中間部分領域と前記第3半導体領域との間

に設けられ、前記第 4 部分領域は、前記第 2 方向において前記第 1 導電領域と前記第 1 電極との間に位置し、前記第 4 部分領域は前記第 3 部分領域と連続した、前記第 4 半導体領域と、

前記第 1 方向において前記第 1 部分領域と前記第 1 電極との間、前記第 2 方向において前記第 4 部分領域と前記第 1 電極との間、及び、前記第 2 方向において前記第 2 半導体領域と前記第 1 電極との間に設けられた第 1 絶縁膜と、

を備え、

前記第 1 半導体領域、前記第 2 半導体領域、前記第 3 半導体領域及び前記第 4 半導体領域は、炭化珪素を含み、

前記第 3 半導体領域における前記第 2 導電形のキャリア濃度は、前記第 3 部分領域における前記第 2 導電形のキャリア濃度よりも高く、前記第 4 部分領域における前記第 2 導電形のキャリア濃度よりも高く、

10

前記第 3 部分領域と前記中間部分領域との間の境界と、前記第 1 絶縁膜と、の間の前記第 2 方向に沿った第 1 距離は、前記第 1 導電領域と前記第 1 絶縁膜との間の前記第 2 方向に沿った第 3 距離よりも短い、半導体装置。

【請求項 2】

前記第 3 部分領域は、前記第 1 導電領域と接した、請求項 1 記載の半導体装置。

【請求項 3】

前記第 4 部分領域における前記第 2 導電形のキャリア濃度は、前記第 3 部分領域における前記第 2 導電形の前記キャリア濃度よりも低い、請求項 1 または 2 に記載の半導体装置

20

【請求項 4】

前記第 3 半導体領域における前記第 2 導電形のキャリア濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$  以上  $1 \times 10^{20} \text{ cm}^{-3}$  以下であり、

前記第 3 部分領域における前記第 2 導電形のキャリア濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$  以上  $1 \times 10^{19} \text{ cm}^{-3}$  以下であり、

前記第 4 部分領域における前記第 2 導電形のキャリア濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$  以上  $1 \times 10^{18} \text{ cm}^{-3}$  以下である、請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 1 距離は、前記第 2 半導体領域と前記第 3 半導体領域との間の境界と、前記第 1 絶縁膜と、の間の前記第 2 方向に沿った第 2 距離よりも長い、請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

30

【請求項 6】

前記第 3 半導体領域の前記第 2 方向に沿う長さは、前記第 3 半導体領域の前記第 1 方向に沿う長さよりも短い、請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記第 3 部分領域の少なくとも一部は、前記第 2 方向において前記第 4 部分領域と重なる、請求項 1 ~ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記第 1 方向において、前記第 2 半導体領域の一部は、前記第 3 半導体領域と、前記第 2 導電領域と、の間にある、請求項 1 ~ 7 のいずれか 1 つに記載の半導体装置。

40

【請求項 9】

前記第 3 半導体領域における欠陥の密度は、前記第 4 部分領域における欠陥の密度よりも高い、請求項 1 ~ 8 のいずれか 1 つに記載の半導体装置。

【請求項 10】

前記第 3 半導体領域のフォトルミネッセンスの、 $370 \text{ nm}$  以上  $400 \text{ nm}$  以下の波長の範囲の強度の最高値に対する、前記第 3 半導体領域の前記フォトルミネッセンスの、 $480 \text{ nm}$  以上  $500 \text{ nm}$  以下の波長の範囲の強度の最高値の第 1 比は、前記第 4 半導体領域のフォトルミネッセンスの、 $370 \text{ nm}$  以上  $400 \text{ nm}$  以下の波長の範囲の強度の最高値に対する、前記第 4 半導体領域のフォトルミネッセンスの、 $480 \text{ nm}$  以上  $500 \text{ nm}$

50

以下の波長の範囲の強度の最高値の第2比よりも高い、請求項1～9のいずれか1つに記載の半導体装置。

【請求項11】

第1導電形の第1半導体膜の上に設けられた第2導電形の第2半導体膜の上側部分の一部に第1導電形の第1不純物を導入して前記第1導電形の第3半導体膜を形成し、

前記第3半導体膜の少なくとも一部を覆う第1マスクを用いて前記第1マスクの開口部から露出する前記第2半導体膜の前記上側部分の他の一部に前記第2導電形の第2不純物を導入して、前記第2不純物を含む前記第2導電形の第4半導体膜を形成し、

前記第2半導体膜の前記一部、及び、前記第4半導体膜の一部を覆い、前記第4半導体膜の他の一部を覆わない第2マスクを用いて、前記第2マスクの開口部から露出する前記第4半導体膜の前記他の一部、及び、前記第2半導体膜の一部を除去してトレンチを形成し、

前記トレンチの底部に前記第2導電形の第3不純物を導入して、前記第1半導体膜のうちの前記底部の下に位置する部分から前記第2導電形の領域を形成し、

前記トレンチの内部に導電材料を導入して電極を形成し、

前記第2マスクは、前記第1マスクと、前記第1マスクの上に形成された膜と、を含み、前記第2マスクの前記開口部の幅は、前記第1マスクの前記開口部の幅よりも狭い、半導体装置の製造方法。

【請求項12】

前記第1半導体膜、前記第2半導体膜、前記第3半導体膜及び前記第4半導体膜は、炭化珪素を含み、

前記第4半導体膜の前記一部における前記第2導電形の第1不純物濃度は、前記トレンチの前記底部に前記第3不純物が導入され前記底部の下に位置する前記第2導電形の領域における前記第2導電形の第2不純物濃度よりも高く、

前記第2半導体膜のうちの前記第3不純物が導入されない部分における前記第2導電形の第3不純物濃度は、前記第2不純物濃度よりも低い、請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

炭化珪素(SiC)を用いた高耐圧の半導体装置がある。半導体装置においてオン抵抗を低減することが望まれている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-260253号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、オン抵抗を低減することができる半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

【0005】

本発明の実施形態によれば、半導体装置は、第1～第4半導体領域、第1、第2電極、及び、第1絶縁膜を含む。前記第1半導体領域は、第1部分領域と、第2部分領域と、前記第1部分領域及び前記第2部分領域の間に位置した中間部分領域と、を含み、第1導電形である。前記第1電極は、前記第2部分領域から前記第1部分領域に向かう方向と交差

10

20

30

40

50

する第1方向において、前記第1部分領域から離れている。前記第2電極は、前記第1方向において前記第2部分領域から離れた第1導電領域と、前記第1方向において前記中間部分領域から離れた第2導電領域と、を含む。前記第2半導体領域は、前記第1方向において前記中間部分領域と前記第2導電領域の一部との間に設けられ、前記第1方向と交差する第2方向において前記第1導電領域と前記第1電極との間に設けられ、前記第2電極と電氣的に接続され、前記第1導電形である。前記第3半導体領域は、前記第1方向において前記中間部分領域と前記第2導電領域の別の部分との間に設けられ、前記第2方向において前記第1導電領域と前記第2半導体領域の少なくとも一部との間に設けられ、前記第2電極と電氣的に接続され、第2導電形である。前記第4半導体領域は、第3部分領域及び第4部分領域を含み、前記第2導電形である。前記第3部分領域は、前記第1方向において前記第2部分領域と前記第1導電領域との間に設けられる。前記第3部分領域と前記第1電極との間に前記中間部分領域の一部が位置する。前記第4部分領域は、前記第1方向において前記中間部分領域と前記第2半導体領域との間、及び、前記第1方向において前記中間部分領域と前記第3半導体領域との間に設けられる。前記第4部分領域は、前記第2方向において前記第1導電領域と前記第1電極との間に位置し、前記第4部分領域は前記第3部分領域と連続している。前記第1絶縁膜は、前記第1方向において前記第1部分領域と前記第1電極との間、前記第2方向において前記第4部分領域と前記第1電極との間、及び、前記第2方向において前記第2半導体領域と前記第1電極との間に設けられる。

10

#### 【図面の簡単な説明】

20

#### 【0006】

【図1】第1の実施形態に係る半導体装置を例示する模式的断面図である。

【図2】第1の実施形態に係る半導体装置の特性を例示するグラフ図である。

【図3】第1参考例の半導体装置の特性を例示するグラフ図である。

【図4】半導体装置の特性を例示するグラフ図である。

【図5】図5(a)～図5(f)は、第1の実施形態に係る半導体装置の製造方法を例示する工程順模式的断面図である。

【図6】第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

【図7】第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

【図8】第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

30

【図9】第2の実施形態に係る半導体装置の製造方法を例示するフローチャート図である。

#### 【発明を実施するための形態】

#### 【0007】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

40

#### 【0008】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置を例示する模式的断面図である。

図1に示すように、本実施形態に係る半導体装置110は、第1半導体領域10、第2半導体領域20、第3半導体領域30、第4半導体領域40、第1電極71、第2電極72及び第1絶縁膜75を含む。半導体装置110は、例えばMOS(Metal-Oxide-Semiconductor)トランジスタである。

#### 【0009】

第1半導体領域10、第2半導体領域20、第3半導体領域30及び第4半導体領域40は、例えば、炭化珪素(SiC)を含む。これらの半導体領域は、不純物をさらに含ん

50

でも良い。

【0010】

第1半導体領域10は、第1部分領域p1と、第2部分領域p2と、中間部分領域piと、を含む。中間部分領域piは、第1部分領域p1及び第2部分領域p2の間に位置する。これらの部分領域どうしの境界は、不明確でも良い。第1半導体領域10は、第1導電形である。

【0011】

第1導電形は、例えば、n形である。このとき、後述する第2導電形は、p形である。実施形態において、第1導電形がp形であり、第2導電形がn形でも良い。以下に説明する例では、第1導電形がn形であり、第2導電形がp形である。

10

【0012】

例えば、第1半導体領域10は、n層である。

【0013】

第1電極71は、第1方向において、第1部分領域p1から離れている。

【0014】

第1方向をZ軸方向とする。Z軸方向に対して垂直な1つの方向をX軸方向とする。Z軸方向及びX軸方向に対して垂直な方向をY軸方向とする。

【0015】

第1方向（Z軸方向）は、第2部分領域p2から第1部分領域p1に向かう方向と交差する。

20

【0016】

第1電極71は、例えば、半導体装置110のゲート電極として機能する。

【0017】

第2電極72は、第1導電領域72a及び第2導電領域72bを含む。第1導電領域72aは、第1方向（Z軸方向）において、第2部分領域p2から離れている。第2導電領域72bは、第1方向において、中間部分領域piから離れている。これらの導電領域どうしの境界は、不明確でも良い。第2電極72は、例えば、半導体装置110のソース電極として機能する。

【0018】

第2電極72の第2導電領域72bは、例えば、部分72p及び部分72qを含んでも良い。

30

【0019】

この例では、複数の第1導電領域72aがX軸方向に並ぶ。2つの第1導電領域72aの間に、第1電極71が設けられる。第1導電領域72a及び第1電極71が、交互に並んでも良い。複数の第1導電領域72aがX軸方向に沿って並ぶ場合において、最近接の2つの第1導電領域72aに着目する。2つの第1導電領域72aの1つのX軸方向における中心と、2つの第1導電領域72aの別の1つのX軸方向における中心と、の間の距離は、セルピッチPcに対応する。複数の第1電極71がX軸方向に沿って並ぶ場合において、最近接の2つの第1電極71に着目する。2つの第1電極71の1つのX軸方向における中心と、2つの第1電極71の別の1つのX軸方向における中心と、の間の距離は、セルピッチPcに対応する。

40

【0020】

第2半導体領域20は、第1方向（Z軸方向）において、中間部分領域piと第2導電領域72bの一部（部分72p）との間に設けられる。第2半導体領域20は、第2方向において、第1導電領域72aと第1電極71との間に設けられる。第2方向は、例えば、X軸方向である。第2半導体領域20は、第2電極72と電氣的に接続される。第2半導体領域20は、第1導電形（この例では、n形）である。第2半導体領域20は、例えばn<sup>+</sup>層である。

【0021】

第3半導体領域30は、第1方向（Z軸方向）において、中間部分領域piと第2導電

50

領域の別の一部（部分 7 2 q）との間に設けられる。第 3 半導体領域 3 0 は、第 2 方向（X 軸方向）において、第 1 導電領域 7 2 a と、第 2 半導体領域 2 0 の少なくとも一部と、の間に設けられる。この例では、第 3 半導体領域 3 0 の全体が、第 2 方向（X 軸方向）において、第 1 導電領域 7 2 a と、第 2 半導体領域 2 0 と、の間に設けられている。第 3 半導体領域 3 0 は、第 2 電極 7 2 と電氣的に接続される。第 3 半導体領域 3 0 は、第 2 導電形（この例では、p 形）である。第 3 半導体領域 3 0 は、例えば、p<sup>+</sup> 層である。

【 0 0 2 2 】

第 4 半導体領域 4 0 は、第 3 部分領域 p 3 及び第 4 部分領域 p 4 を含む。第 3 部分領域 p 3 は、第 1 方向（Z 軸方向）において、第 2 部分領域 p 2 と第 1 導電領域 7 2 a との間に設けられる。第 2 方向（X 軸方向）において、第 3 部分領域 p 3 と第 1 電極 7 1 との間に、中間部分領域 p i の一部が位置する。

10

【 0 0 2 3 】

第 4 部分領域 p 4 は、第 1 方向（Z 軸方向）において中間部分領域 p i と第 2 半導体領域 2 0 との間、及び、第 1 方向において中間部分領域 p i と第 3 半導体領域 3 0 との間に設けられる。第 4 部分領域 p 4 は、第 2 方向（X 軸方向）において、第 1 導電領域 7 2 a と第 1 電極 7 1 との間に位置する。第 3 部分領域 p 3 の少なくとも一部は、第 2 方向において第 4 部分領域 p 4 と重なる。第 4 部分領域 p 4 は、第 3 部分領域 p 3 と連続している。第 3 部分領域 p 3 及び第 4 部分領域 p 4 の間の境界は不明確でも良い。第 4 半導体領域 4 0 は、第 2 導電形（この例では、p 形）である。

【 0 0 2 4 】

20

第 1 絶縁膜 7 5 は、第 1 方向（Z 軸方向）において第 1 部分領域 p 1 と第 1 電極 7 1 との間、第 2 方向（X 軸方向）において第 4 部分領域 p 4 と第 1 電極 7 1 との間、及び、第 2 方向（X 軸方向）において第 2 半導体領域 2 0 と第 1 電極 7 1 との間に設けられる。第 1 絶縁膜 7 5 は、第 2 方向において、中間部分領域 p i の一部と、第 1 電極 7 1 と、の間に設けられる。第 1 絶縁膜 7 5 は、例えば、ゲート絶縁膜として機能する。

【 0 0 2 5 】

第 1 絶縁膜 7 5 は、第 1 半導体領域 1 0 と第 1 電極 7 1 との間を絶縁する。第 1 絶縁膜 7 5 は、第 4 半導体領域 4 0（第 4 部分領域 p 4）と第 1 電極 7 1 との間を絶縁する。第 1 絶縁膜 7 5 は、第 2 半導体領域 2 0 と第 1 電極 7 1 との間を絶縁する。

【 0 0 2 6 】

30

この例では、半導体装置 1 1 0 は、第 2 絶縁膜 7 6 をさらに含む。第 2 絶縁膜 7 6 の少なくとも一部は、第 1 方向（Z 軸方向）において、第 2 電極 7 2 の一部と、第 1 電極 7 1 と、の間に位置する。第 2 絶縁膜 7 6 は、第 1 電極 7 1 と第 2 電極 7 2 との間を絶縁する。

【 0 0 2 7 】

この例では、第 2 電極 7 2 の一部は、第 1 方向において第 1 電極 7 1 と重なる部分（部分 7 2 g）を有する。この重なる部分 7 2 g と、第 1 電極 7 1 との間に、第 2 絶縁膜 7 6 の少なくとも一部が設けられている。

【 0 0 2 8 】

第 2 絶縁膜 7 6 の一部は、第 1 方向（Z 軸方向）において、第 2 導電領域 7 2 b と第 2 半導体領域 2 0 との間に位置している。

40

【 0 0 2 9 】

この例では、半導体装置 1 1 0 は、第 3 電極 7 3 をさらに含む。第 3 電極 7 3 は、第 1 半導体領域 1 0 と電氣的に接続される。第 1 方向（Z 軸方向）において、第 1 半導体領域 1 0 の第 2 部分領域 p 2 は、第 3 電極 7 3 と第 3 部分領域 p 3 との間に設けられる。Z 軸方向において、第 1 半導体領域 1 0 の中間部分領域 p i は、第 3 電極 7 3 と第 4 部分領域 p 4 との間に設けられる。Z 軸方向において、第 1 半導体領域 1 0 の第 1 部分領域 p 1 は、第 3 電極 7 3 と第 1 電極 7 1 との間に設けられる。第 3 電極 7 3 は、例えば、ドレイン電極として機能する。

【 0 0 3 0 】

50

この例では、第1半導体領域10と第3電極73との間に、半導体基板10S（例えばSiC基板）が設けられている。

【0031】

上述したように、第3半導体領域30（例えばp<sup>+</sup>層）は、第2電極72と電氣的に接続される。第3半導体領域30は、コンタクト領域である。後述するように、第3半導体領域30は、イオン注入などの方法により形成される。この場合、第3半導体領域30には、多くの欠陥が含まれる場合がある。このような第3半導体領域30に高い電界が印加されると、リーク電流が大きくなる。

【0032】

実施形態においては、第3半導体領域30は、X軸方向において第2半導体領域20と並ぶ。第3半導体領域30の高さ（Z軸方向における位置）は、第4半導体領域40の第3部分領域p3の底部Bp3（下端）の高さから離れている。このため、第3半導体領域30に印加される電界が低い。

10

【0033】

一方、コンタクト領域（p<sup>+</sup>層）を第2電極72の第1導電領域72aの直下に設ける第1参考例が考えられる。第1参考例においては、第1方向（Z軸方向）において、第2電極72の第1導電領域72aと、第4半導体領域40（p層）の第3部分領域p3と、の間に、コンタクト領域（p<sup>+</sup>層）が設けられる。このような第1参考例においては、コンタクト領域（p<sup>+</sup>層）と、第4半導体領域40の第3部分領域p3の底部Bp3と、の間の距離（Z軸方向に沿った長さ）が短い。

20

【0034】

これに対して、実施形態においては、第3半導体領域30（例えばp<sup>+</sup>層であり、コンタクト領域）は、第2半導体領域20と同じ高さに設けられる。このため、第3半導体領域30と、第4半導体領域40の第3部分領域p3の底部Bp3と、の間の距離が、第1参考例よりも長くできる。これにより、第3半導体領域30に印加される電界を第1参考例よりも低くできる。これにより、実施形態においては、第3半導体領域30に多くの欠陥が含まれる場合においても、リーク電流を抑制できる。

【0035】

図1の例において、第1電極71（ゲート電極）は、トレンチ状電極（トレンチに埋め込まれた電極）である。しかしながら、SiCにおいては内部電界が高いため、例えば、ゲート電極の底部においてゲート絶縁膜にかかる電界が過度に高くなる。このため、絶縁膜の特性が変動する。例えば、絶縁膜が劣化（破壊を含む）する。例えば寿命の低下が生じる場合がある。これに対して、第2電極72（ソース電極）もトレンチ状電極にし、第3部分領域p3を設けることで、ゲート電極の底部の絶縁膜における電界の上昇を抑制できると考えられる。このとき、第1参考例のように、第2電極72（ソース電極）の直下にコンタクト領域（p<sup>+</sup>層）を設けると、後述するように、リーク電流が大きくなる。このため、低いオン抵抗を得ることが困難である。

30

【0036】

実施形態においては、上述のようにリーク電流を抑制できる。このため、低いオン抵抗の設計が可能になる。例えば、トレンチ構成の複数のゲート電極を用いた場合において、セルピッチPcを小さくしても、低いリーク電流を維持できる。これにより、低いオン抵抗が得られる。

40

【0037】

以下、半導体装置の特性の例について説明する。

図2は、第1の実施形態に係る半導体装置の特性を例示するグラフ図である。

図2の横軸は、ドレイン電圧Vd（V）である。縦軸は、ドレイン電流Id（A）である。図2に示すように、実施形態に係る半導体装置110においては、アバランシェ降伏が生じるドレイン電圧Vd（約1600V）未満において、ドレイン電流Idは非常に小さい。すなわち、ソース・ドレインリークが実質的に生じない。

【0038】

50

図3は、第1参考例の半導体装置の特性を例示するグラフ図である。

図3は、第1参考例の半導体装置119の特性を例示している。第1参考例の半導体装置119においては、コンタクト領域( $p^+$ 層)は、ソース電極(第2電極72)の第1導電領域72aの直下にある。すなわち、コンタクト領域( $p^+$ 層)は、第1導電領域72aの一部と、第4半導体領域40の第3部分領域p3の一部と、の間に設けられる。図3においては、コンタクト領域( $p^+$ 層)の端のX軸方向における位置と、第3部分領域p3のX軸方向における位置と、の間の距離Wが異なる例についての特性が示されている。図3において、距離Wは、 $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.3\mu\text{m}$ または $0.4\mu\text{m}$ である。距離Wは、半導体装置119におけるセルピッチに関する。距離Wが長いと、セルピッチが大きくなる。

10

#### 【0039】

図3に示すように、第1参考例の半導体装置119においては、距離Wが短い場合に、低電圧領域において、ドレイン電流 $I_d$ が大きい。すなわち、ソース・ドレインリークが大きい。ソース・ドレインリークを低くするためには、距離Wを長くすることになる。このことは、オン抵抗を増大させる。

#### 【0040】

図4は、半導体装置の特性を例示するグラフ図である。

図4において、横軸は、セルピッチ $P_c$ ( $\mu\text{m}$ )である(図1参照)。縦軸はオン抵抗 $R_{onA}$ ( $\text{m}\cdot\text{cm}^2$ )である。図4には、実施形態に係る半導体装置110の特性と、第1参考例の半導体装置119の特性と、が示されている。第1参考例において、セルピッチ $P_c$ は、上述の距離Wに連動する。

20

#### 【0041】

図4に示すように、第1参考例の半導体装置119においては、セルピッチ $P_c$ を小さくすることで、低いオン抵抗 $R_{onA}$ が得られる。しかしながら、セルピッチ $P_c$ が小さい場合(距離Wが、 $0.1\mu\text{m}\sim 0.3\mu\text{m}$ の場合)は、リークが生じる。従って、第1参考例の構成においては、リークが小さい実用的な場合には、オン抵抗 $R_{onA}$ が大きい。

#### 【0042】

これに対して、実施形態に係る半導体装置110においては、図2に例示したように、リーク電流が小さい。セルピッチ $P_c$ が小さい場合も、リーク電流が実質的に生じない。そして、図4に示すように、リーク電流が実質的に生じない状態で、低いオン抵抗 $R_{onA}$ が得られる。

30

#### 【0043】

このように、実施形態によれば、オン抵抗を低減することができる半導体装置を提供できる。

#### 【0044】

半導体装置110においては、第3半導体領域30の少なくとも一部は、X軸方向において、第2半導体領域20と重なる。例えば、第3半導体領域30のZ軸方向の位置は、第2半導体領域20のZ軸方向の位置と同じである。例えば、第2半導体領域20の側面(X軸方向と交差する面)は、第3半導体領域30と接する。

40

#### 【0045】

例えば、Z軸方向において、第2半導体領域20よりも下に第3半導体領域30を設ける第2参考例が考えられる。第2参考例においては、第2半導体領域20の側面及び上面が、第2電極72と接する。このため、第2参考例においては、第2半導体領域20と第2電極72との間の抵抗(コンタクト抵抗)を低くすることができる。しかしながら、このような第2参考例においては、第3半導体領域30の高さは、実施形態に係る構成に比べて、下である。このため、リーク電流が大きくなりやすい。

#### 【0046】

一般的に、コンタクト抵抗を低くすることが重要視される。このため、もし、コンタクト領域( $p^+$ 層)を第1導電領域72aの直下ではない位置に設けることを思いついたと

50

しても、コンタクト領域（ $p^+$ 層）をX軸方向において第2半導体領域20と並べる構成は、思いつき難い。

【0047】

これに対して、実施形態においては、コンタクト領域（第3半導体領域30）をX軸方向において第2半導体領域20と並べる。第2半導体領域20と第2電極72との間の抵抗（コンタクト抵抗）が第2参考例に比べて高くなったとしても、第3半導体領域30を第1導電領域72aの底部から遠ざけることによって第3半導体領域30の電界を低く抑える効果大きい。実施形態の構成においては、第2半導体領域20と第2電極72との間の抵抗（コンタクト抵抗）の上昇は、実用的には問題とはなり難い。

【0048】

図1に例示したように、実施形態においては、第1導電領域72aの底部B72a（ソーストレンチの底部、下端）は、第2半導体領域20の底部B20（下端）よりも下にある。例えば、第4部分領域p4の底部Bp4（下端）は、第1導電領域72aの底部B72aよりも下にある。例えば、第1電極71の底部B71（ゲートトレンチの底部、下端）は、第4部分領域p4の底部Bp4よりも下にある。例えば、第3部分領域p3の底部Bp3は、第1電極71の底部B71よりも下にある。例えば、ゲート電極の下部の絶縁膜における電界の集中を抑制でき、高い耐圧が得られる。例えば、絶縁膜の破壊を抑制できる。

【0049】

例えば、第1導電領域72aの底部B72aのZ軸方向における位置は、第2半導体領域20の底部B20のZ軸方向における位置と、第4部分領域p4の底部Bp4のZ軸方向における位置と、の間にある。第4部分領域p4の底部Bp4のZ軸方向における位置は、第1導電領域72aの底部B72aのZ軸方向における位置と、第1電極71の底部B71のZ軸方向における位置と、の間にある。第1電極71の底部B71のZ軸方向における位置は、第4部分領域p4の底部Bp4のZ軸方向における位置と、第3部分領域p3の底部Bp3のZ軸方向における位置と、の間にある。

【0050】

実施形態において、第3半導体領域30のX軸方向に沿う長さ（幅）は、例えば、第1導電領域72aのX軸方向に沿う長さ（幅）の、0.04倍以上1.3倍以下である。第3半導体領域30のX軸方向に沿う長さ（幅）は、例えば、第2半導体領域20のX軸方向に沿う長さ（幅）の、0.04倍以上2倍以下である。

【0051】

第3半導体領域30のZ軸方向における長さは、例えば、第1電極71のZ軸方向における長さの、0.03倍以上2倍以下である。第3半導体領域30のZ軸方向における長さは、例えば、第2半導体領域20のZ軸方向における長さの、0.1倍以上10倍以下である。

【0052】

例えば、第3半導体領域30のX軸方向に沿う長さ（幅）は、第3半導体領域30のZ軸方向における長さよりも短くても良い。

【0053】

実施形態に係る半導体装置110において、n形不純物として、例えば、窒素（N）、燐（P）及び砒素（As）の少なくともいずれかが用いられる。実施形態において、p形不純物として、例えば、アルミニウム（Al）及びボロン（B）の少なくともいずれかが用いられる。

【0054】

例えば、第1半導体領域10及び第2半導体領域20の少なくともいずれかは、N、P及びAsの少なくともいずれかを含む。第3半導体領域30及び第4半導体領域40の少なくともいずれかは、Al及びBの少なくともいずれかを含む。

【0055】

例えば、第2半導体領域20における不純物（上述）の濃度は、第1半導体領域10に

10

20

30

40

50

における不純物の濃度よりも高い。第3半導体領域30における不純物(上述)の濃度は、第4半導体領域40における不純物の濃度よりも高い。

【0056】

例えば、第4半導体領域40において、第4部分領域p4(上側部分)におけるp形の不純物濃度(キャリア濃度)は、第3部分領域p3(下側部分)におけるp形の不純物濃度(キャリア濃度)よりも低い。第4部分領域p4におけるp形の不純物濃度(キャリア濃度)を低くすることで、例えば、しきい値電圧を適正に調整し易くなる。第3部分領域p3におけるp形の不純物濃度(キャリア濃度)を高くすることで、例えば、第1電極71の底部において、第1絶縁膜75(ゲート絶縁膜)に加わる電界を低くすることができる。第3部分領域p3におけるp形の不純物濃度(キャリア濃度)を高くすることで、例えば、第3半導体領域30に加わる電界を低くすることができる。

10

【0057】

第1半導体領域10におけるn形不純物の濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。第2半導体領域20におけるn形不純物の濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。第3半導体領域30におけるp形不純物の濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。第4半導体領域40の第3部分領域p3におけるp形不純物の濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。第4半導体領域40の第4部分領域p4におけるp形不純物の濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。例えば、第3部分領域p3におけるp形不純物の濃度が $7 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である場合に、第4部分領域p4におけるp形不純物の濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $7 \times 10^{17} \text{ cm}^{-3}$ 未満である。不純物濃度は、例えば、SIMS(Secondary Ion Mass Spectrometry)などにより検出される。

20

【0058】

例えば、第2半導体領域20におけるキャリア濃度は、第1半導体領域10におけるキャリア濃度よりも高い。第3半導体領域30におけるキャリア濃度は、第4半導体領域40におけるキャリア濃度よりも高い。

【0059】

第1半導体領域10におけるキャリア濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。第2半導体領域20におけるキャリア濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。第3半導体領域30におけるキャリア濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。第4半導体領域40の第3部分領域p3におけるキャリア濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。第4半導体領域40の第4部分領域p4におけるキャリア濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。例えば、第3部分領域p3におけるキャリア濃度が $7 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である場合に、第4部分領域p4におけるキャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $7 \times 10^{17} \text{ cm}^{-3}$ 未満である。キャリア濃度は、例えば、SCM(scanning Capacitance Microscope)などにより検出される。

30

40

【0060】

実施形態において、第1電極71は、例えば、ポリシリコンを含む。第1電極71は、例えば、TiN、Al、Ru、W及びTaSiNの少なくともいずれかを含んでも良い。

【0061】

第2電極72及び第3電極73の少なくともいずれかは、Al及びNiの少なくともいずれかを含んでも良い。これらの電極は、例えば、Al膜と、Ni膜と、を含む積層膜を含んでも良い。

【0062】

第1絶縁膜75及び第2絶縁膜76の少なくともいずれかは、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化ランタン及び酸化タンタルの少

50

なくともいずれかを含む。

【0063】

例えば、第2電極72は、例えば、金属シリサイド及び金属カーバイドの少なくともいずれかを含んでも良い。第2絶縁膜76は、第2電極72に含まれる金属を含む金属シリサイドを含んでも良い。第2絶縁膜76は、第2電極72に含まれる金属を含む金属カーバイドを含んでも良い。第2電極72と第2絶縁膜76との間に、金属シリサイド及び金属カーバイドの少なくともいずれかを含む中間領域が設けられても良い。中間領域の金属シリサイド及び金属カーバイドの少なくともいずれかは、第2電極72に含まれる金属元素を含む。

【0064】

図1に示すように、実施形態において、例えば、第3半導体領域30は、第1導電領域72aと接する。第2半導体領域20は、第2導電領域72bと接する。

【0065】

以下、実施形態に係る半導体装置110の製造方法の例について説明する。

図5(a)~図5(f)は、第1の実施形態に係る半導体装置の製造方法を例示する工程順模式的断面図である。

【0066】

図5(a)に示すように、半導体基板10Sの上に、第1導電形(例えばn形)の第1半導体膜F1を形成する。例えば、エピタキシャル成長により、第1半導体膜F1が得られる。第1半導体膜F1の上に第2導電形(例えばp形)の第2半導体膜F2を形成する。例えば、第1半導体膜F1の上側部分に第2導電形の不純物を注入することで、第2半導体膜F2が得られる。第2半導体膜F2の上側部分の一部に、第1導電形の不純物(第1不純物I1、n形不純物)を注入する。これにより、第1導電形の第3半導体膜F3が得られる。

【0067】

第1半導体膜F1は、第1半導体領域10となる。第2半導体膜F2は、第4半導体領域40の一部となる。第3半導体膜F3は、第2半導体領域20となる。

【0068】

この後、図示しない領域に、トレンチを形成し、トレンチの内部に、第1絶縁膜75及び第1電極71を形成する。この後、第2絶縁膜76を形成する。

【0069】

図5(b)に示すように、第3半導体膜F3(第2半導体領域20)の上に、第1マスクM1を形成する。第1マスクM1は、第3半導体膜F3(第2半導体領域20)の少なくとも一部を覆う。第1マスクM1の開口部から、第2半導体膜F2の上側部分の他の一部が露出している。第1マスクM1をマスクとして用いて、露出している第2半導体膜F2の上側部分の他の一部に、第2導電形(p形)の第2不純物I2を注入する。これにより、第4半導体膜F4が形成される。第4半導体膜F4は、第2不純物I2を含み、第2導電形である。

【0070】

図5(c)に示すように、第2マスクM2を形成する。第2マスクM2は、第2半導体膜F2の上述の一部(第1マスクM1に覆われた部分)、及び、第4半導体膜F4(第2不純物I2が注入された部分)の一部を覆う。第2マスクM2は、第4半導体膜F4の他の一部を覆わない。第2マスクM2の開口部から、第4半導体膜F4の他の一部が露出する。第2マスクM2は、例えば、第1マスクM1を伸ばすことにより形成される。例えば、第1マスクM1の上に、所定の厚さの膜を形成することで、第2マスクM2が形成される。第2マスクM2の開口部の幅は、第1マスクM1の開口部の幅よりも狭い。第2マスクM2は、第2半導体膜F2の上、及び、第2不純物I2が注入された領域の一部の上に設けられる。第2不純物I2が注入された領域の別の一部は、第2マスクM2に覆われていない。

【0071】

図5(d)に示すように、第2マスクM2をマスクとして用いて、トレンチT1(ソーストレンチ)を形成する。すなわち、第2マスクM2の開口部から露出する第4半導体膜F4の上述の他の一部、及び、第2半導体膜F2の一部を除去する。これにより、トレンチT1が形成される。例えば、RIE(Reactive Ion Etching)などが実施される。トレンチT1は、第2不純物I2が注入された領域の一部を貫通し、第2半導体膜F2の一部に到達する。トレンチT1の底部は、第2半導体膜F2の上端と下端との間にある。第2不純物I2が注入された領域の残った部分が、第3半導体領域30となる。

【0072】

図5(e)に示すように、トレンチT1の底部に第2導電形(p形)の第3不純物I3を導入する。第1半導体膜F1のうちの、トレンチT1の底部の下に位置する部分から、第2導電形の領域が形成される。この第2導電形の領域は、第4半導体領域40の第3部分領域p3となる。第2半導体膜F2が、第4半導体領域40の第4部分領域p4となる。例えば、第2マスクM2をマスクとして用いて、p形の第3不純物I3が注入される。第3不純物I3は、第1半導体膜F1の一部に注入される。

10

【0073】

トレンチT1の底部への第3不純物の導入(注入)は、トレンチT1の側壁に沿った注入である。すなわち、注入方向をトレンチの側壁から傾斜させた傾斜注入ではなく、垂直注入が行われる。例えば、第3不純物I3の注入の方向と、トレンチT1の側壁との間の角度(絶対値)は、5度以下である。

【0074】

20

図5(d)に示すように、第2マスクM2を除去する。この後、トレンチT1の内部に導電材料を埋め込む。これにより、第2電極72が形成される。

【0075】

このような方法で製造される半導体装置110においては、第3不純物I3は、垂直に注入される。すなわち、斜め注入が行われない。このため、不純物が注入される領域が高い精度で制御できる。例えば、第3半導体領域30は、トレンチT1により形成される。さらに、このトレンチT1により、第4半導体領域40の第3部分領域p3が形成される。第3半導体領域30、第3部分領域p3及び第1導電領域72aは、トレンチT1に基づいて形成される。これらの部分は、セルフアラインにより形成される。このため、第3半導体領域30と第3部分領域p3との間の相対的な位置関係の精度が高い。これにより、特性のばらつきが抑制できる。

30

【0076】

例えば、斜め注入により不純物を注入する場合には、複数の方向から第3不純物I3が注入される。このため、工程数が多い。これに対して、上記の方法によれば、垂直注入が実施されるため、工程が簡単になる。

【0077】

このような製造方法により、オン抵抗を低減することができる半導体装置を、高い精度で、簡単に製造できる。

【0078】

上記の製造方法により半導体装置110が製造される場合には、第1導電領域72aの側面の実質的な延長上に、第3部分領域p3の側面が位置し易くなる。図1に示すように、第1導電領域72aは、側面72asを有する。側面72asは、第2方向(X軸方向)と交差する。第3部分領域p3と中間部分領域piとの間の境界b1は、この側面72asを含む平面72PLに沿っている。この例では、境界b1は、この側面72asの延長上にある。例えば、境界b1は、平面72PL上に位置している。注入された第3不純物I3(図5(e)参照)が、拡散する場合があっても良い。この場合は、後述するように、境界b1が平面72PLから離れる場合がある。

40

【0079】

実施形態において、第3部分領域p3と中間部分領域piとの間の境界b1は、以下のように定義しても良い。例えば、第3部分領域p3は、第2導電形(例えばp形)の不純

50

物を含んでいる。第3部分領域 p 3 の第2導電形の不純物の濃度の最高値の 1 / 2 の値を示す位置を、境界 b 1 とする。

【0080】

上記のように、第3半導体領域 3 0 は、イオン注入により形成される。例えば、第3半導体領域 3 0 における欠陥の密度は、例えば、第4半導体領域 4 0 の第4部分領域 p 4 における欠陥の密度よりも高い。第3半導体領域 3 0 における欠陥の密度は、例えば、第1半導体領域 1 0 における欠陥の密度よりも高い。

【0081】

例えば、第3半導体領域 3 0 のフォトルミネッセンスのスペクトルにおいて、波長が 480 nm 以上 500 nm 以下の範囲におけるフォトルミネッセンスの強度の最大値は、波長が 370 nm 以上 400 nm 以下の範囲におけるフォトルミネッセンスの強度の最大値よりも高い。

10

【0082】

一方、第4半導体領域 4 0 のフォトルミネッセンスのスペクトルにおいて、波長が 480 nm 以上 500 nm 以下の範囲におけるフォトルミネッセンスの強度の最大値は、波長が 370 nm 以上 400 nm 以下の範囲におけるフォトルミネッセンスの強度の最大値よりも低い。

【0083】

例えば、第3半導体領域 3 0 のフォトルミネッセンスの、370 nm 以上 400 nm 以下の波長の範囲の強度の最高値に対する、第3半導体領域 3 0 のフォトルミネッセンスの、480 nm 以上 500 nm 以下の波長の範囲の強度の最高値の比（第1比）は、高い。

20

【0084】

例えば、第4半導体領域 4 0 のフォトルミネッセンスの、370 nm 以上 400 nm 以下の波長の範囲の強度の最高値に対する、第4半導体領域 4 0 のフォトルミネッセンスの、480 nm 以上 500 nm 以下の波長の範囲の強度の最高値の比（第2比）は、低い。例えば、第1比は、第2比よりも高い。

【0085】

このようなフォトルミネッセンスのスペクトルの違いは、第3半導体領域 3 0 における欠陥の密度が高いことに起因すると考えられる。実施形態においては、このようなスペクトルを有する第3半導体領域 3 0 を設ける際に、第3半導体領域 3 0 を第2方向（X軸方向）において第2半導体領域 2 0 と重なる位置に設ける。これによりリーク電流が抑制できる低いオン抵抗が得られる。

30

【0086】

図6は、第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

図6に示すように、本実施形態に係る別の半導体装置 1 1 1 においても、第1～第4半導体領域 1 0、2 0、3 0 及び 4 0、第1電極 7 1、第2電極 7 2 及び第1絶縁膜 7 5 が設けられる。半導体装置 1 1 1 においても、第3部分領域 p 3 と中間部分領域 p i との間の境界 b 1 は、第2電極 7 2 の第1導電領域 7 2 a の側面 7 2 a s（第2方向と交差する面）を含む平面 7 2 P L に沿っている。半導体装置 1 1 1 においては、境界 b 1 は、平面 7 2 P L から離れている。これ以外は、半導体装置 1 1 0 と同様である。

40

【0087】

例えば、注入された第3不純物 I 3（図5（e）参照）が拡散すると、半導体装置 1 1 1 における上記の構成が形成される。

【0088】

半導体装置 1 1 1 においても、斜め注入ではなく、第3不純物 I 3 の垂直注入が行われる。このため、境界 b 1 の位置は、平面 7 2 P L に近い。

【0089】

例えば、第3部分領域 p 3 と中間部分領域 p i との間の境界 b 1 と、第1絶縁膜 7 5 と、の間の第2方向（X軸方向）に沿った距離を第1距離 d 1 とする。第2半導体領域 2 0 と第3半導体領域 3 0 との間の境界 b 2 と、第1絶縁膜 7 5 と、の間の第2方向（X軸方

50

向)に沿った距離を第2距離 $d_2$ とする。例えば、第1距離 $d_1$ は、第2距離 $d_2$ よりも長い。

【0090】

例えば、第1導電領域72aと第1絶縁膜75との間の第2方向に沿った距離を第3距離 $d_3$ とする。第1距離 $d_1$ (第3部分領域 $p_3$ と中間部分領域 $p_i$ との間の境界 $b_1$ と、第1絶縁膜75と、の間の第2方向に沿った距離)は、第3距離 $d_3$ よりも短い。

【0091】

実施形態において、第2半導体領域20と第3半導体領域30との間の境界 $b_2$ は、以下のように定義しても良い。例えば、第3半導体領域30は、第2導電形(例えばp形)の不純物を含んでいる。第3半導体領域30の第2導電形の不純物の濃度の最高値の $1/2$ の値を示す位置を、境界 $b_2$ とする。

10

【0092】

半導体装置111においても、リーク電流が抑制できる。半導体装置111においても、低いオン抵抗が得られる。

【0093】

図7は、第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

図7に示すように、本実施形態に係る別の半導体装置112においては、第2方向(X軸方向)において、第3半導体領域30の一部は、第2半導体領域20の一部と、第1導電領域72aと、の間に設けられている。これ以外は、半導体装置110と同様である。

【0094】

20

半導体装置112においては、第1方向(Z軸方向)において、第2半導体領域20の一部は、第3半導体領域30と、第2電極72の第2導電領域72bと、の間にある。半導体装置112においては、第2半導体領域20と第2導電領域72bとが接触する領域の面積が広い。第2半導体領域20の側面の一部は、第1導電領域72aと接する。低いコンタクト抵抗が得られる。

【0095】

半導体装置112においても、リーク電流が抑制できる。半導体装置112においても、低いオン抵抗が得られる。

【0096】

図8は、第1の実施形態に係る別の半導体装置を例示する模式的断面図である。

30

図8に示すように、本実施形態に係る別の半導体装置113は、第1~第4半導体領域10、20、30及び40に加えて、第5半導体領域50をさらに含む。これ以外は、半導体装置110と同様である。

【0097】

第5半導体領域50は、第2導電形(この例ではp形)である。第1半導体領域10は、第1方向(Z軸方向)において、第5半導体領域50と第4半導体領域40との間、及び、第5半導体領域50と第1電極71との間に設けられる。

【0098】

半導体装置113は、例えば、IGBT(Insulated Gate Bipolar Transistor)である。半導体装置113においても、リーク電流が抑制できる。半導体装置113においても、オン抵抗を低減することができる。

40

【0099】

半導体装置113において、半導体装置111と同様に、境界 $b_1$ が平面72PLから離れても良い。

【0100】

半導体装置113において、半導体装置112と同様に、第2半導体領域20の一部は、第3半導体領域30と、第2電極72の第2導電領域72bと、の間に設けられても良い。

【0101】

(第2の実施形態)

50

本実施形態は、半導体装置の製造方法に係る。

図9は、第2の実施形態に係る半導体装置の製造方法を例示するフローチャート図である。

図9に示すように、本実施形態に係る半導体装置の製造方法においては、第1導電形の第1半導体膜F1の上に設けられた第2導電形の第2半導体膜F2の上側部分の一部に第1導電形の第1不純物I1を導入して、第1導電形の第3半導体膜F3を形成する(ステップS110)。例えば、図5(a)に例示した処理を行う。

【0102】

第3半導体膜F3の少なくとも一部を覆う第1マスクM1を用いて、第1マスクM1の開口部から露出する第2半導体膜F2の上側部分の他の一部に、第2導電形の第2不純物I2を導入して、第2不純物を含む第2導電形の第4半導体膜F4を形成する(ステップS120)。例えば、図5(b)に例示した処理を行う。

【0103】

第2半導体膜F2の上述の一部、及び、第4半導体膜F4の一部を覆い、第4半導体膜F4の他の一部を覆わない第2マスクM2を用いて、第2マスクM2の開口部から露出する第4半導体膜F4の上述の他の一部、及び、第2半導体膜F2の一部を除去してトレンチT1を形成する(ステップS130)。例えば、図5(c)及び図5(d)に例示した処理を行う。

【0104】

トレンチT1の底部に第2導電形の第3不純物I3を導入して、第1半導体膜F1のうちの底部の下に位置する部分から第2導電形の領域を形成する(ステップS140)。例えば、図5(e)に例示した処理を行う。例えば、トレンチT1の底部への第3不純物I3の導入は、トレンチT1の側壁に沿った注入である。

【0105】

トレンチT1の内部に導電材料を導入して電極(第2電極72)を形成する(ステップS150)。例えば、図5(f)に例示した処理を行う。

【0106】

実施形態に係る製造方法によれば、オン抵抗を低減することができる半導体装置を、高い精度で効率的に製造できる。

【0107】

実施形態によれば、オン抵抗を低減することができる半導体装置及びその製造方法が提供できる。

【0108】

なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であれば良い。

【0109】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、半導体装置に含まれる半導体領域、電極及び絶縁膜などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

【0110】

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0111】

その他、本発明の実施の形態として上述した半導体装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての半導体装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0112】

10

20

30

40

50

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0113】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

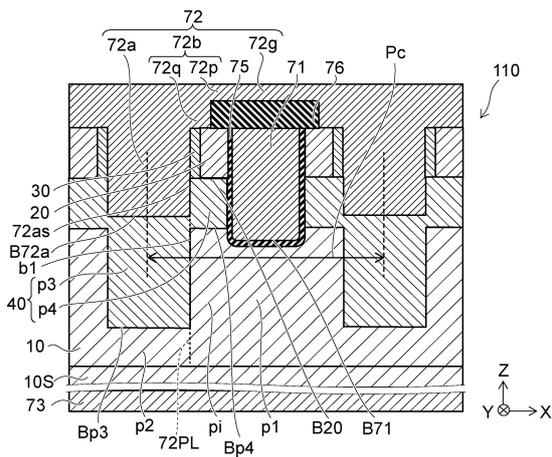
【符号の説明】

【0114】

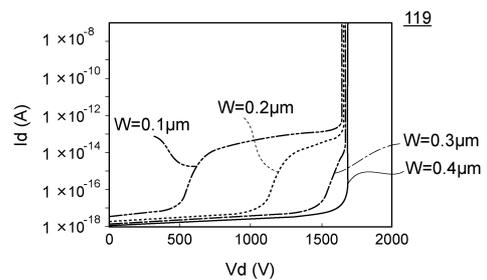
10...第1半導体領域、10S...半導体基板、20...第2半導体領域、30...第3半導体領域、40...第4半導体領域、50...第5半導体領域、71...第1電極、72...第2電極、72PL...平面、72a...第1導電領域、72as...側面、72b...第2導電領域、72g...部分、72p...部分、72q...部分、73...第3電極、75...第1絶縁膜、76...第2絶縁膜、110~113、119...半導体装置、B20、B71、B72a、Bp3、Bp4...底部、F1~F4...第1~第4半導体膜、I1~I3...第1~第3不純物、Id...ドレイン電流、M1、M2...第1、第2マスク、Pc...セルピッチ、RonA...オン抵抗、T1...トレンチ、Vd...ドレイン電圧、W...距離、b1、b2...境界、d1~d3...第1~第3距離、p1~p4...第1~第4部分領域、pi...中間部分領域

20

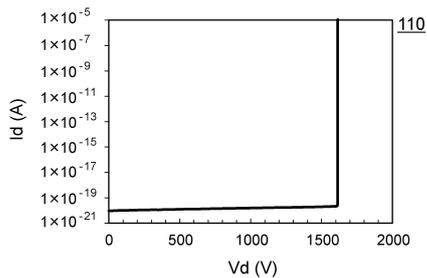
【図1】



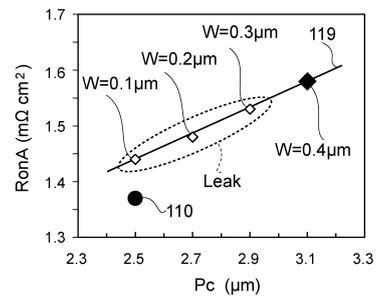
【図3】



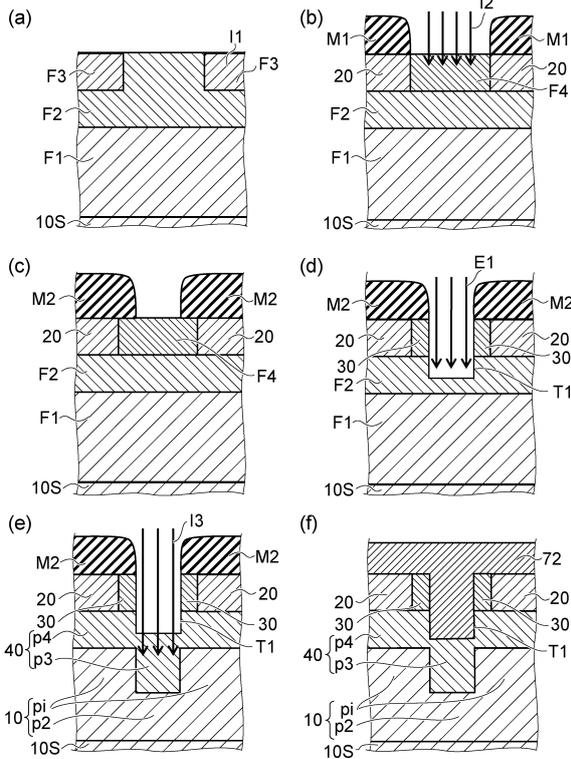
【図2】



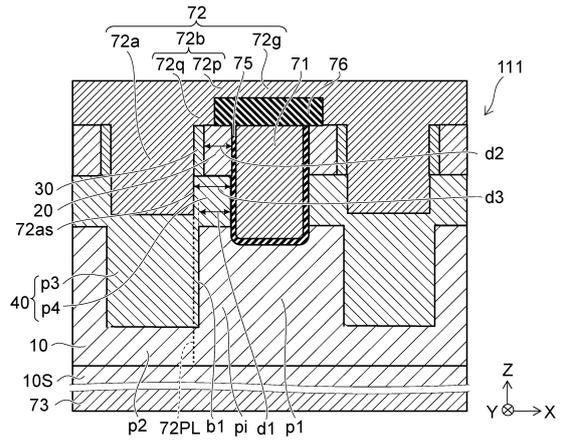
【図4】



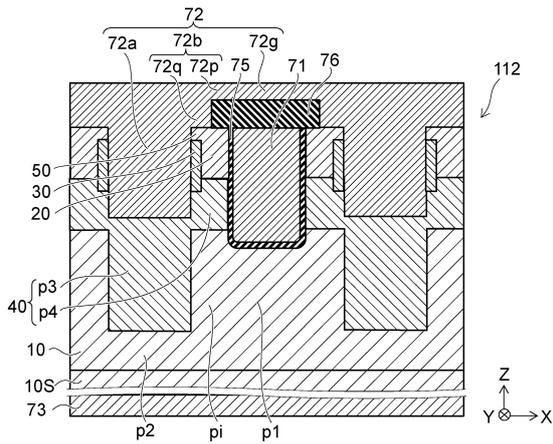
【図5】



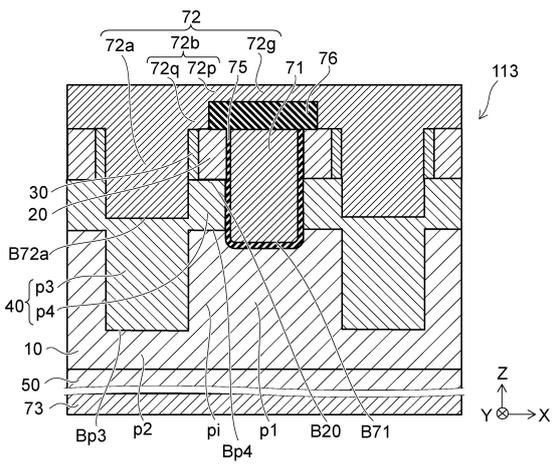
【図6】



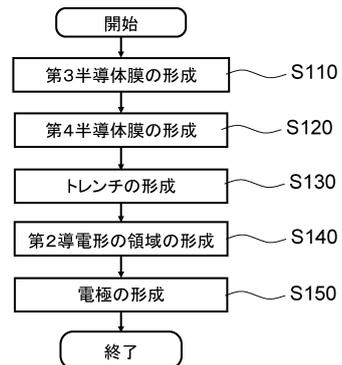
【図7】



【図8】



【図9】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 8 G  
H 0 1 L 29/78 6 5 8 F

(56)参考文献 特開2015-159271(JP,A)  
特開2009-260253(JP,A)  
特開2015-041719(JP,A)  
特開2013-084905(JP,A)  
特開2009-027152(JP,A)  
特開2015-159316(JP,A)  
特開2001-339063(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 1 2  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 3 3 6