

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5232367号  
(P5232367)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年3月29日 (2013. 3. 29)

(51) Int. Cl. F I  
 H O 1 L 25/07 (2006. 01) H O 1 L 25/04 C  
 H O 1 L 25/18 (2006. 01)

請求項の数 18 (全 39 頁)

(21) 出願番号	特願2006-191830 (P2006-191830)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成18年7月12日 (2006. 7. 12)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(65) 公開番号	特開2008-21796 (P2008-21796A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成20年1月31日 (2008. 1. 31)	(72) 発明者	武藤 晃 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
審査請求日	平成21年6月4日 (2009. 6. 4)	(72) 発明者	清水 一男 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
		(72) 発明者	飯島 哲郎 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

I G B T が形成され、前記 I G B T のエミッタ電極、前記 I G B T のゲート電極、および複数のボンディングパッドが配置された主面と、前記主面とは反対側に位置し、前記 I G B T のコレクタ電極が形成された裏面と、を有する第 1 半導体チップと、

ダイオードが形成され、前記ダイオードのアノード電極が配置された主面と、前記主面とは反対側に位置し、前記ダイオードのカソード電極が形成された裏面と、を有する第 2 半導体チップと、

第 1 辺と前記第 1 辺と対向する第 2 辺とを有し、前記第 1 半導体チップおよび前記第 2 半導体チップが搭載され、前記第 1 半導体チップのコレクタ電極と前記第 2 半導体チップ

10

のカソード電極とが電氣的に接続されたダイパッドと、  
前記第 1 半導体チップの前記エミッタ電極と電氣的に接続された外部接続用エミッタ電極と、

前記第 1 半導体チップの前記複数のボンディングパッドとそれぞれ電氣的に接続された複数の信号電極と、

前記ダイパッドと一体的に形成され、電氣的に接続された外部接続用コレクタ電極と、

前記第 1 半導体チップおよび前記第 2 半導体チップの前記主面上に配置され、前記第 1 半導体チップの前記エミッタ電極、前記第 2 半導体チップの前記アノード電極、および前記外部接続用エミッタ電極が電氣的に接続された板状電極と、

前記第 1 半導体チップの前記複数のボンディングパッドと前記複数の信号電極とをそれ

20

ぞれ電氣的に接続する複数のワイヤと、

前記第1半導体チップおよび前記第2半導体チップ、前記ダイパッドの一部、前記外部接続用エミッタ電極の一部、前記複数の信号電極の一部、前記外部接続用コレクタ電極の一部、前記板状電極の一部、および前記複数のワイヤを封止する封止体と、を有し、

平面視において、前記第1半導体チップは前記第2半導体チップよりも前記ダイパッドの前記第1辺に近くなるように前記ダイパッド上に搭載され、前記第2半導体チップは前記第1半導体チップよりも前記ダイパッドの前記第2辺に近くなるように前記ダイパッド上に搭載され、

平面視において、前記外部接続用エミッタ電極および前記複数の信号電極は、前記第2半導体チップよりも前記第1半導体チップに近くなるように前記ダイパッドの前記第1辺側に配置され、前記外部接続用コレクタ電極は、前記第1半導体チップよりも前記第2半導体チップに近くなるように前記ダイパッドの前記第2辺側に配置され、

平面視において、前記板状電極は、前記第1半導体チップおよび前記第2半導体チップを跨るよう前記第1半導体チップおよび前記第2半導体チップの前記主面上に配置され、かつ、前記外部接続用エミッタ電極と電氣的に接続され、

平面視において、前記複数のボンディングパッドは、前記第2半導体チップよりも前記ダイパッドの前記第1辺に近くなるように、かつ前記板状電極と重ならないように前記第1半導体チップの前記主面上に配置されていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記第1半導体チップと前記第2半導体チップが並んでいる方向とは直交する方向において、前記板状電極の幅は、前記第1半導体チップの幅よりも小さいことを特徴とする半導体装置。

【請求項3】

請求項2に記載の半導体装置であって、

前記第1半導体チップの前記主面には、前記エミッタ電極および前記複数のボンディングパッドの周囲を覆うように形成され、前記コレクタ電極と同電位となる第1領域が形成されており、

平面視において、前記板状電極は前記第1領域と重ならないように配置されていることを特徴とする半導体装置。

【請求項4】

請求項1に記載の半導体装置であって、

前記複数のボンディングパッドは、前記板状電極と平面視において重なる位置には配置されていないことを特徴とする半導体装置。

【請求項5】

請求項1に記載の半導体装置であって、

前記第1半導体チップあるいは前記第2半導体チップに接触している前記板状電極の接触領域の位置よりも、前記第1半導体チップと前記第2半導体チップの間にある前記板状電極のチップ間領域の位置の方が前記ダイパッドから離れていることを特徴とする半導体装置。

【請求項6】

請求項1に記載の半導体装置であって、

前記板状電極は前記第1半導体チップと前記第2半導体チップの間に位置している部分が上方に突起していることを特徴とする半導体装置。

【請求項7】

請求項1に記載の半導体装置であって、

前記外部接続用エミッタ電極の中心線と前記外部接続用コレクタ電極の中心線とは、一直線上に配置されていないことを特徴とする半導体装置。

【請求項8】

請求項1に記載の半導体装置であって、

10

20

30

40

50

前記外部接続用エミッタ電極と前記外部接続用コレクタ電極には、それぞれねじ止め用開口部が形成されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置であって、

前記複数の信号電極には、前記 IGBT を流れる電流を検知する電流検知用電極と前記 IGBT の温度を検知する温度検知用電極が含まれることを特徴とする半導体装置。

【請求項 10】

請求項 1 に記載の半導体装置であって、

前記複数の信号電極には、前記 IGBT のゲートを制御する外部接続用ゲート電極が含まれることを特徴とする半導体装置。

10

【請求項 11】

請求項 1 に記載の半導体装置であって、

前記ダイパッドの一部は、前記封止体から露出していることを特徴とする半導体装置。

【請求項 12】

請求項 1 に記載の半導体装置であって、

前記板状電極と前記外部接続用エミッタ電極とは、別々の構造体より構成されていることを特徴とする半導体装置。

【請求項 13】

請求項 8 に記載の半導体装置であって、

前記外部接続用エミッタ電極および前記外部接続用コレクタ電極のいずれか、もしくは両方において、前記封止体と前記ねじ止め用開口部との間に U 字部が形成されていることを特徴とする半導体装置。

20

【請求項 14】

請求項 12 に記載の半導体装置であって、

前記板状電極と前記外部接続用エミッタ電極との接合部において、前記板状電極に凸形状の突起が設けられていることを特徴とする半導体装置。

【請求項 15】

請求項 14 に記載の半導体装置であって、

前記突起により生じた前記板状電極と前記外部接続用エミッタ電極の間には半田が充填されていることを特徴とする半導体装置。

30

【請求項 16】

請求項 1 に記載の半導体装置であって、

前記板状電極と前記第 1 半導体チップの前記エミッタ電極との接合部、および前記板状電極と前記第 2 半導体チップの前記アノード電極との接合部において、前記板状電極に凸形状の突起が設けられていることを特徴とする半導体装置。

【請求項 17】

請求項 16 に記載の半導体装置であって、

前記突起により生じた前記板状電極と前記エミッタ電極の間、および前記板状電極と前記アノード電極の間には、半田が充填されていることを特徴とする半導体装置。

40

【請求項 18】

請求項 1 に記載の半導体装置であって、

前記板状電極の一部は、前記封止体から露出していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、例えば、車載用のモータ制御に使用される半導体装置およびその製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開 2005 - 243685 号公報（特許文献 1）には、1 つの IGBT（Insulated

50

Gate Bipolar Transistor) を 1 パッケージに形成した半導体装置が開示されている。

【 0 0 0 3 】

特開 2 0 0 4 - 4 7 8 5 0 号公報 ( 特許文献 2 ) には、 2 つの I G B T と 2 つのダイオードとを 1 パッケージに形成し、 I G B T とダイオードの接続にワイヤを用いない構造が開示されている。

【 0 0 0 4 】

特開 2 0 0 5 - 1 6 7 0 7 5 号公報 ( 特許文献 3 ) 、 特開 2 0 0 5 - 2 7 7 1 5 0 号公報 ( 特許文献 4 ) および特開 2 0 0 5 - 2 8 6 1 8 7 号公報 ( 特許文献 5 ) には、 1 つの I G B T と 1 つのダイオードとを 1 パッケージに形成し、 I G B T とダイオードの接続にクリップを用いる構造が開示されている。そして、 I G B T 用の検知回路が設けられており、この検知回路の端子と I G B T を形成した半導体チップのボンディングパッドとはワイヤを介して接続されている。このとき、ボンディングパッドの直上には、クリップが形成されている。すなわち、ワイヤで接続するボンディングパッド上にクリップが形成されている。ここで、クリップとボンディングパッドとは平面的に重なる領域に配置されているが、クリップと半導体チップの間にスペーサを挟むことにより、ボンディングパッドに接続するワイヤとクリップとが接触しないように構成されている。

10

【特許文献 1】特開 2 0 0 5 - 2 4 3 6 8 5 号公報

【特許文献 2】特開 2 0 0 4 - 4 7 8 5 0 号公報

【特許文献 3】特開 2 0 0 5 - 1 6 7 0 7 5 号公報

【特許文献 4】特開 2 0 0 5 - 2 7 7 1 5 0 号公報

20

【特許文献 5】特開 2 0 0 5 - 2 8 6 1 8 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

例えば、 3 相モータの各相には、 2 つの I G B T と 2 つのダイオード ( フリーホイールダイオード ) が接続される。すなわち、 3 相モータには、 6 つの I G B T と 6 つのダイオードが接続される。ここで、特許文献 1 に記載されているような、 1 つの I G B T を 1 パッケージ化した半導体装置を使用する場合、 3 相モータには、 1 つの I G B T をパッケージ化した半導体装置と 1 つのダイオードをパッケージ化した半導体装置がそれぞれ 6 つずつ必要となる。このため、 I G B T およびダイオードの実装面積が大きくなる問題点や、 I G B T やダイオードなどの半導体装置を実装基板上に実装する実装工程数が増加する問題点がある。

30

【 0 0 0 6 】

そこで、 3 相モータの各相に対応して、 2 つの I G B T と 2 つのダイオードとを 1 パッケージ化した半導体装置がある。この半導体装置によれば、 I G B T およびダイオードの実装面積を縮小することができ、かつ、 I G B T やダイオードなどの半導体装置を実装基板に実装する工程数を削減することができる。

【 0 0 0 7 】

しかし、 2 つの I G B T と 2 つのダイオードを 1 パッケージ化した半導体装置では、実装基板に実装する際の配線自由度が低下する。つまり、製品によって実装基板のレイアウト構成を変えることがよくあるが、各相に対応して 2 つの I G B T と 2 つのダイオードを 1 パッケージ化していると、配線のレイアウト変更に対して効率よく半導体装置を配置することができない問題点がある。すなわち、実装の自由度が低下する問題点がある。さらに、 2 つの I G B T と 2 つのダイオードを集積化しているため、発熱量が多くなる問題点がある。特に、 I G B T とダイオードとを金線などのワイヤで接続しているため、放熱効率が低下する問題点やオン抵抗が増大する問題点がある。また、 2 つの I G B T と 2 つのダイオードとを 1 パッケージ化しているため、汎用性が乏しいという問題点もある。

40

【 0 0 0 8 】

そこで、特許文献 2 に記載されているように、 2 つの I G B T と 2 つのダイオードとを 1 パッケージに形成し、 I G B T とダイオードの接続にワイヤを用いない構造がある。こ

50

の構造によれば、ワイヤの切断を防止でき信頼性の向上および放熱効率の向上を図ることができる。しかし、実装自由度が低下する問題や汎用性が低下する問題点は依然として存在することになる。

【0009】

ところで、例えば、ハイブリッド車に搭載されるような車載用途の3相モータでは、過酷な条件下でも高信頼性が要求されることから、IGBTに電流検知回路や温度検知回路を設けることにより、過電流や異常な温度上昇を検知してIGBTを保護することが行なわれている。しかし、特許文献2に記載された技術には、これらの検知回路が記載されていないため、IGBTの信頼性を向上することができない問題点がある。つまり、高信頼性が要求される車載用途などに使用することは難しい。また、特許文献2に記載された技術では、外部接続用エミッタ電極および外部接続用コレクタ電極が形成されている一対の辺と交差する辺にゲート電極を制御する制御電極が形成されている。これは、外部接続用エミッタ電極および外部接続用コレクタ電極の幅が大きいいため、これらと同じ辺に制御電極を配置することができないからである。

10

【0010】

このため、特許文献2に記載された技術では、互いに交差する辺にゲート電極を制御する制御電極と外部接続用エミッタ電極（または外部接続用コレクタ電極）が形成されている。つまり、半導体装置の互いに交差する辺から配線が引き出されることになる。このような構成をしていると、半導体装置の製造工程において、加工が困難になるとともに実装面積が増大する問題点がある。すなわち、半導体装置の製造工程では、多連構造をしたリードフレームを加工する工程が存在するが、互いに交差する辺に電極（配線）を形成すると、リードフレームの繰り返しパターン（1つの半導体装置を形成するパターン）を密に形成することができず、効率的にリードフレームを形成することができない。すなわち、互いに交差する辺に電極パターン（配線パターン）を形成するため、電極パターンを形成する分だけ互いに隣接する繰り返しパターンを離さなければならず、密着して繰り返しパターンを形成しづらくなる。したがって、リードフレームの利用効率が低下して製造コストが上昇する問題点がある。

20

【0011】

ここで、特許文献3～5に記載された技術によれば、1つのIGBTと1つのダイオードとを1パッケージ化しているため、実装自由度の低下や汎用性の低下を抑制できる。さらに、IGBTに電流検知回路や温度検知回路を設けているので、IGBTの信頼性向上を図ることができる。

30

【0012】

特許文献3～5に記載された技術によれば、ワイヤで接続するボンディングパッド上にクリップが形成されている。すなわち、クリップとボンディングパッドとは平面的に重なる領域に配置されているが、クリップと半導体チップの間にスペーサを挟むことにより、ボンディングパッドに接続するワイヤとクリップとが接触しないように構成されている。このような構成を製造する場合、ボンディングパッドに接続するワイヤを形成した後、スペーサを設けてクリップを形成する必要がある。

【0013】

しかし、先にワイヤを形成した後にクリップを形成する方法では、以下に示す不都合が生じる。すなわち、クリップは半田を用いて接続されるが、この場合、半田をリフローする必要があり、熱処理が加わることになる。このとき、すでに形成されているワイヤにも熱負荷が加わりワイヤの接合部に合金層が形成され、接合強度が弱くなる問題点がある。したがって、ワイヤとボンディングパッドとの接合が切れて半導体装置の信頼性が低下する問題点がある。さらに、クリップとワイヤとは平面的に重なる領域に形成されているため、例えばスペーサの高さのばらつきなどを考慮すると、クリップとワイヤが接触してしまいショート不良が発生する可能性が大きくなる問題点がある。

40

【0014】

本発明の目的は、実装自由度を比較的向上して汎用性を高めることができるとともに、

50

放熱特性および低オン抵抗を実現する半導体装置を提供することにある。さらに、信頼性の向上を図ることができるとともに、製造工程における加工が容易で製造コストも低減できる半導体装置を提供することにある。また、実装面積を縮小できる半導体装置を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

本発明による半導体装置は、IGBTを形成した第1半導体チップとダイオードを形成した第2半導体チップを含む半導体装置であって、(a)前記第1半導体チップおよび前記第2半導体チップが搭載されたダイパッドと、(b)前記ダイパッドと一体的に形成された外部接続用コレクタ電極とを備える。そして、(c)前記IGBTの主面に配置されたエミッタ電極と前記ダイオードの主面に配置されたアノード電極を接続する板状電極と、(d)前記板状電極と接続する外部接続用エミッタ電極と、(e)前記IGBTのゲート電極に接続する外部接続用ゲート電極とを備える。さらに、(f)前記IGBTの状態を検知するために設けられた複数の検知用電極と、(g)前記IGBTを形成した前記第1半導体チップにある複数のボンディングパッドの一部と前記検知用電極、前記複数のボンディングパッドの一部と前記外部接続用ゲート電極とを接続する複数のワイヤとを備える。ここで、前記板状電極と平面的に重ならない領域に前記第1半導体チップの前記複数のボンディングパッドが形成されていることを特徴とする。

【0018】

また、本発明による半導体装置の製造方法は、(a)リードフレームのダイパッド上の第1領域および第2領域にそれぞれ第1半田を形成する工程と、(b)前記第1半田を形成した前記ダイパッド上の前記第1領域に、エミッタ電極を上にしてIGBTを形成した第1半導体チップを搭載する工程とを備える。そして、(c)前記第1半田を形成した前記ダイパッド上の前記第2領域に、アノード電極を上にしてダイオードを形成した第2半導体チップを搭載する工程と、(d)前記(c)工程後、前記第1半導体チップおよび前記第2半導体チップ上に第2半田を形成する工程とを備える。さらに、(e)前記第1半導体チップ上と前記第2半導体チップ上に跨るように板状電極を搭載して、前記第1半導体チップの前記エミッタ電極と前記第2半導体チップの前記アノード電極とを前記第2半田を介して接続する工程とを備える。その後、(f)前記(e)工程後、熱処理を行い、前記第1半田を溶融して固着することにより、前記ダイパッドと前記第1半導体チップおよび前記第2半導体チップを接続し、前記第2半田を溶融して固着することにより、前記第1半導体チップおよび前記第2半導体チップと前記板状電極を接続する工程とを備える。そして、(g)前記(f)工程後、前記第1半導体チップの前記板状電極と平面的に重ならない領域に形成されている複数のボンディングパッドと複数のリードとを複数のワイヤを用いて接続する工程とを備えることを特徴とする。

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0020】

1つのIGBTを形成した第1半導体チップと1つのダイオードを形成した第2半導体チップとを1パッケージ化したので、実装自由度を比較的向上して汎用性を高めることができる。さらに、IGBTとダイオードとをワイヤではなく板状電極(クリップ)で接続するように構成したので、放熱効率の向上および低オン抵抗化を図ることができる。そし

10

20

30

40

50

て、IGBTやダイオードに電流検知回路や温度検知回路を設けることにより、過電流や異常な温度上昇を検知してIGBTやダイオードの信頼性を向上することができる。さらに、外部接続用ゲート電極、電流検知用電極および温度検知用電極を外部接続用エミッタ電極と同一の第1辺あるいは第1辺に対向する第2辺に形成するように構成したので、製造工程における加工が容易で製造コストも低減できる。さらに、クリップと平面的に重ならない領域に第1半導体チップの複数のボンディングパッドが形成されているので、ボンディングパッドに接続するワイヤと、クリップとの接触を防止できる。そして、クリップをワイヤよりも先に形成することができるため、ワイヤに熱負荷がかかることを防止でき、ワイヤの接合強度の低下を防止することができる。また、第1半導体チップあるいは第2半導体チップに接触しているクリップの第1領域の位置よりも、第1半導体チップと第2半導体チップの間にあるクリップの第2領域の位置がダイパッドから離れているので、半田が第1半導体チップあるいは第2半導体チップの側面に回りこむことによるショート不良を低減することができる。

10

【発明を実施するための最良の形態】

【0021】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0022】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

20

【0023】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0024】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

【0025】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0026】

（実施の形態1）

本実施の形態1における半導体装置は、例えば、ハイブリッド車などに使用される3相モータの駆動回路に使用されるものである。図1は、本実施の形態1における3相モータの回路図を示す図である。図1において、3相モータ回路は、3相モータ1、パワー半導体装置2、制御回路3を有している。3相モータ1は、位相の異なる3相の電圧により駆動するように構成されている。パワー半導体装置2には、3相に対応してIGBT4とダイオード5が設けられている。すなわち、各単相において、電源電位（Vcc）と3相モータの入力電位との間にIGBT4とダイオード5が逆並列に接続されており、3相モータの入力電位と接地電位（GND）との間にもIGBT4とダイオード5が逆並列に接続されている。すなわち、単相ごとに2つのIGBT4と2つのダイオード5が設けられており、3相で6つのIGBT4と6つのダイオード5が設けられている。そして、個々のIGBT4のゲート電極には、制御回路3が接続されており、この制御回路3によって、IGBT4が制御されるようになっている。このように構成された3相モータの駆動回路において、制御回路3でパワー半導体装置2を構成するIGBT4を流れる電流を制御す

40

50

ることにより、3相モータ1を回転させるようになっている。

【0027】

本実施の形態1における半導体装置は、図1のパワー半導体装置2に関するものであり、パワー半導体装置2を構成する1つのIGBT4と1つのダイオード5とを1パッケージ化したものである。すなわち、本実施の形態1における半導体装置を6つ使用することにより、3相モータ1を駆動するパワー半導体装置2が構成される。

【0028】

図2は、本実施の形態1における半導体装置10を外部表面側から見た斜視図である。図2において、半導体装置10の中心部には平面形状が略矩形形状の樹脂11が形成されており、この樹脂11の上部の第2辺側には、外部接続用コレクタ電極12および信号電極14の一部が設けられている。そして、外部接続用コレクタ電極12が形成されている樹脂11の第2辺と対向する第1辺側には、外部接続用エミッタ電極13および信号電極14の一部が形成されている。図3は、半導体装置を外部裏面側から見た斜視図である。図3に示すように、樹脂11の裏面側には、ダイパッド11aが露出していることがわかる。このようにダイパッド11aが樹脂11の裏面から露出しているのは、半導体装置10の動作時において放熱効率を向上させるためである。

10

【0029】

次に、半導体装置10の内部構造について説明する。図4は、半導体装置10の内部を示す平面図である。また、図5は、図4のA-A線で切断した断面を示す断面図である。なお、図4において、半導体装置10の上面を覆っている樹脂11の図示は省略しており、内部の構造が図示されている。

20

【0030】

図4および図5において、樹脂11の内部には、ダイパッド11aが設けられており、このダイパッド11aに外部接続用コレクタ電極12が一体的に形成されている。この外部接続用コレクタ電極12は樹脂11から露出しており、ねじ止め用開口部12aが設けられている。

【0031】

ダイパッド11a上には、半田17を介してIGBTを形成した半導体チップ(第1半導体チップ)15が形成されており、このIGBTを形成した半導体チップ15に隣接するように半田17を介してダイオードを形成した半導体チップ(第2半導体チップ)16が形成されている。IGBTを形成した半導体チップ15は、裏面側にコレクタ電極が形成されており、このコレクタ電極が半田17を介してダイパッド11aに接続されている。つまり、半導体チップ15の裏面に形成されているコレクタ電極は、ダイパッド11aを介して、ダイパッド11aと一体的に形成されている外部接続用コレクタ電極12と電気的に接続されている。一方、ダイオードを形成した半導体チップ16は、裏面側にカソードが形成されており、このカソードがダイパッド11aを介して外部接続用コレクタ電極12と電気的に接続されている。このことから、IGBTのコレクタ電極とダイオードのカソードとは電気的に接続されていることになる。

30

【0032】

一方、IGBTを形成した半導体チップ15の上面(主面)側には、エミッタ電極および複数のボンディングパッドが形成されている。これに対し、ダイオードを形成した半導体チップ16の上面(主面)側には、アノード電極が形成されている。そして、IGBTを形成した半導体チップ15の上面側に形成されているエミッタ電極と、ダイオードを形成した半導体チップ16の上面側に形成されているアノード電極とは、半田18を介した平板状のクリップ20によって接続されている。したがって、IGBTのエミッタ電極とダイオードのアノード電極とはクリップ20によって電気的に接続されている。クリップ20は、板状電極とも呼ばれる。以下では、板状電極としてクリップ20という言葉を用いる。また、IGBTを形成した半導体チップ15の主面とは、IGBTを形成した半導体チップ15の上面を意味する。すなわち、IGBTを形成した半導体チップ15の主面とは、半導体チップ15のダイパッド11aと接触する面とは反対側の面を示している。

40

50



同様に、ダイオードを形成した半導体チップ16の主面とは、ダイオードを形成した半導体チップ16の上面を意味する。すなわち、ダイオードを形成した半導体チップ16の主面とは、半導体チップ16のダイパッド11aと接触する面とは反対側の面を示している。

#### 【0033】

クリップ20は、例えば、銅を主成分とする平板状の部材から構成されている。ここで、本発明の1つの特徴は、IGBTを形成した半導体チップ15のエミッタ電極と、ダイオードを形成した半導体チップ16のアノード電極とをクリップ20で接続している点にある。従来、IGBTを形成した半導体チップ15のエミッタ電極と、ダイオードを形成した半導体チップ16のアノード電極とは、アルミニウムを主成分とするワイヤで接続されていた。しかし、エミッタ電極には大電流が流れるが、アルミニウムを主成分とするワイヤでは、アルミニウムによる抵抗の増加および細線による抵抗の増加などにより、オン抵抗が大きくなる問題点が生じる。さらに、ワイヤが細線であるため、熱容量が少なく放熱特性が劣化する問題点が生じる。そこで、本実施の形態1によれば、IGBTを形成した半導体チップ15のエミッタ電極と、ダイオードを形成した半導体チップ16のアノード電極とを銅を主成分とする平板状のクリップ20で接続するようにしている。銅の抵抗は、アルミニウムの抵抗よりも小さいので、銅を主成分とするクリップ20で接続することにより、オン抵抗を低減することができる。また、クリップ20は幅広の平板状の形状をしているため、ワイヤに比べて断面積が大きくなる。このため、クリップ20を用いることにより、オン抵抗をさらに低減することができる。さらに、クリップ20が平板状の形状をしているため、クリップ20自体がもつ熱容量をワイヤ自体の熱容量よりも大きくすることができ、かつ、半導体チップ15、16とクリップ20の接触面積をワイヤによる接続に比べて大きくすることができるので、放熱効率を向上させることができる。

#### 【0034】

このクリップ20は、半田27を介して外部接続用エミッタ電極13に接続されている。外部接続用エミッタ電極13は、外部接続用コレクタ電極12が形成されているダイパッド11aの第2辺側と対向する第1辺側に形成されており、ダイパッド11aとは電氣的に接続されていない。すなわち、外部接続用エミッタ電極13がダイパッド11aと接続すると、外部接続用コレクタ電極12と外部接続用エミッタ電極13が直接接続してしまうことになるので、ショートしないようになっている。つまり、外部接続用エミッタ電極13は、IGBTを形成した半導体チップ15のエミッタ電極にクリップ20を介して接続されている。この外部接続用エミッタ電極13にも外部接続用コレクタ電極12と同様に、ねじ止め用開口部13aが形成されている。

#### 【0035】

外部接続用エミッタ電極13が形成されているダイパッド11aの第1辺側および第1辺に対向する第2辺側には、図2および図3に示す信号電極14が形成されている。図4では、この信号電極を具体的に示している。図4に示すように、ダイパッド11aの第1辺側には、外部接続用エミッタ電極13の他に、温度検知用電極21、温度検知用電極22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25が形成されている。これらの電極は、IGBTを形成した半導体チップ15の上面に形成されているボンディングパッドと、ワイヤ28を用いてそれぞれ接続されている。したがって、IGBTを形成した半導体チップ15は、ダイオードを形成した半導体チップ16よりもダイパッド11aの第1辺に近い側に配置されている。このように配置することにより、半導体チップ15に形成されているボンディングパッドと、温度検知用電極21、22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25とを近づけて配置することができるので、ボンディングパッドとこれらの電極とをワイヤ28で接続しやすくなる利点がある。また、ダイパッド11aの第1辺と対向する第2辺側には、外部接続用コレクタ電極12と接続するケルビン検知用電極26が形成されている。ここで、本発明の1つの特徴は、温度検知用電極21、22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25のそれぞれにワイヤ28を用いて接続

10

20

30

40

50

されている半導体チップ15のボンディングパッド上にクリップ20が形成されていない点にある。つまり、クリップ20と平面的に重ならない領域に半導体チップ15のボンディングパッドが形成されている点に特徴がある。言い換えれば、クリップ20の直下に複数のワイヤ28が配置されていないことを特徴とする。

【0036】

例えば、特許文献3～5に記載されている技術では、ボンディングパッドの直上にクリップが形成されている構成が開示されている。この場合、ボンディングパッドに接続するワイヤとクリップとの接触を避けるため、クリップの下にスペーサを設けてボンディングパッドに接続するワイヤとクリップとの間の距離を広げる必要がある。しかし、クリップの下にスペーサを設けると、スペーサを設けただけ半導体装置の厚さが厚くなり小型化を

10

【0037】

これに対し、本実施の形態1における半導体装置10では、ワイヤ28で接続するボンディングパッドの直上には、クリップ20が形成されないようにしている。このため、ボンディングパッドに接続するワイヤ28とクリップ20が接触することを防止できる。すなわち、半導体装置10の信頼性を向上させることができる。さらに、クリップ20の下にスペーサを設ける必要がないので、半導体装置10の厚さを薄くすることができる。このため、半導体装置10の小型化を推進することができる。

【0038】

次に、本発明の特徴の1つについて説明する。図5は、図4のA-A線で切断した断面を示す断面図である。図5に示すように、ダイパッド11a上には、それぞれ半田17を介してIGBTを形成した半導体チップ15とダイオードを形成した半導体チップ16が隣接して配置されている。そして、半導体チップ15および半導体チップ16上に、半田18を介してクリップ20が搭載されている。ここで、クリップ20の形状は、半導体チップ15および半導体チップ16に接触しているクリップ20の領域よりも、半導体チップ15と半導体チップ16の間にあるクリップ20の領域が上方に突出した構造(凸形状)になっている。つまり、半導体チップ15あるいは半導体チップ16に接触しているクリップ20の領域(接触領域)の位置よりも、半導体チップ15と半導体チップ16の間にあるクリップ20の領域(チップ間領域)の位置がダイパッド11aから離れている点

20

30

【0039】

図6は、クリップ20の形状を平坦にした場合の問題点を示す図である。図6に示すように、クリップ20において、半導体チップ15と半導体チップ16の間にある領域を、半導体チップ15あるいは半導体チップ16と接触する領域と同一の高さに形成している。このとき、半導体チップ15とクリップ20とは半田18を用いて接続されるが、この半田18の量が多い場合、図6に示すクリップ20の形状では、あふれた半田18が半導体チップ15の側面を伝わり半田18と半田17が接続される。このため、ショート不良が発生する問題点がある。

【0040】

そこで、本実施の形態1では、図7に示すように、半導体チップ15および半導体チップ16に接触しているクリップ20の領域よりも、半導体チップ15と半導体チップ16の間にあるクリップ20の領域が上方に突出した構造(凸形状)になるようにしている。これにより、余分な半田18がクリップ20の凸形状に吸収される。したがって、余分な半田18が半導体チップ15の側面を伝わって半導体チップ15の下部に形成されている半田17と接続してしまうことを防止できる。

40

【0041】

次に、図4および図5に示すように、本実施の形態1における半導体装置10では、クリップ20と外部接続用エミッタ電極13とを接続している。このとき、クリップ20と外部接続用エミッタ電極13とは、別々の構造体で形成されており、別々の構造体で形成

50

されているクリップ 20 と外部接続用エミッタ電極 13 が半田 27 を介して接続されている。本発明の特徴の 1 つは、クリップ 20 と外部接続用エミッタ電極 13 とを一体的に形成するのではなく、別々の構造体で形成している点にある。

#### 【0042】

図 8 および図 9 はクリップ 20 と外部接続用エミッタ電極 13 とを一体的に形成した場合の問題点を示す図である。図 8 に示すように、半導体チップ 15 と半導体チップ 16 上に半田 18 を介して形成したクリップ 20 が傾いているとする。このとき、例えば、クリップ 20 の右側（外部接続用エミッタ電極 13 に相当する領域）は水平に配置された場合よりも大きさ  $h$  だけ上方にずれることになる。クリップ 20 を搭載した後、図 9 に示すように、下金型 29 と上金型 30 を用いてダイパッド 11a を樹脂封止する。樹脂封止の際、下金型 29 上にダイパッド 11a を配置し、上方から上金型 30 を移動して下金型 29 に密着させる。このとき、クリップ 20 と外部接続用エミッタ電極 13 が一体的に形成されていると、一体的に形成されている外部接続用エミッタ電極 13 が上方にずれているため、上金型 30 を移動させる際、外部接続用エミッタ電極 13 にぶつかり、半田 18 とクリップ 20 の接合部を破壊してしまう。

10

#### 【0043】

そこで、本実施の形態 1 における半導体装置 10 では、図 10 に示すように、クリップ 20 と外部接続用エミッタ電極 13 とを別々の構造体で形成し、別々の構造体で形成したクリップ 20 と外部接続用エミッタ電極 13 とを半田 27 を用いて接続している。このように構成することにより、クリップ 20 が斜めに傾いた状態で形成されても、外部接続用エミッタ電極 13 は傾くことはないので、上金型 30 を移動させる際に、半田 18 とクリップ 20 の接合部を破壊してしまうことを防止できる。

20

#### 【0044】

次に、本実施の形態 1 における半導体装置 10 は、図 11 に示すように、外部接続用コレクタ電極 12 の中心線と外部接続用エミッタ電極 13 の中心線が一直線上に配置されていない点に特徴がある。すなわち、図 11 に示すように、外部接続用コレクタ電極 12 の中心線と外部接続用エミッタ電極 13 の中心線は  $a$  だけずれており、左右対称にはなっていない。このように構成することにより、半導体装置 10 を実装基板に実装する際に利点がある。図 11 に示すように、半導体装置 10 には、外部接続用コレクタ電極 12 と外部接続用エミッタ電極 13 が形成されており、それぞれに設けられたねじ止め用開口部 12a、13a にねじを挿入することにより、半導体装置 10 を実装基板（筐体）に実装する。このとき、外部接続用コレクタ電極 12 の中心線と外部接続用エミッタ電極 13 の中心線が一直線上になるように配置されていると、左右対称になっているため、本来実装すべき向きと逆方向に実装する危険性がある。

30

#### 【0045】

そこで、本実施の形態 1 における半導体装置 10 では、図 11 に示すように、外部接続用コレクタ電極 12 の中心線と外部接続用エミッタ電極 13 の中心線をずらすことにより、左右非対称にしている。このように左右非対称になっていれば、本来実装すべき向きと逆方向に実装してしまうことを防止できる。例えば、左右非対称に外部接続用コレクタ電極 12 と外部接続用エミッタ電極とを形成するには、外部接続用コレクタ電極 12 の中心線をダイパッド 11a の中心線に一致するように配置し、外部接続用エミッタ電極 13 の中心線をダイパッド 11a の中心線からずらすように配置することで実現できる。外部接続用エミッタ電極 13 の中心線をダイパッド 11a の中心線からずらすように配置するには、図 11 に示すように、外部接続用エミッタ電極 13 の上側に 2 本の温度検知用電極 21、22 を等間隔で配置し、外部接続用エミッタ電極 13 の下側に外部接続用ゲート電極 23、ケルビン検知用電極 24 および電流検知用電極 25 の 3 本の電極を等間隔で配置すればよい。すなわち、外部接続用エミッタ電極 13 の上下側に数の異なる電極を等間隔で配置することにより、外部接続用エミッタ電極 13 の中心線をダイパッド 11a の中心線からずらすことが可能となる。

40

#### 【0046】

50

次に、ダイパッド11a上に搭載する半導体チップ15の構成について説明する。半導体チップ15にはIGBTが形成されている。図12は、半導体チップ15の上面側の構成を示す平面図である。図12に示すように、半導体チップ15の上面には、エミッタ電極40とボンディングパッド41~45が形成されている。エミッタ電極40は、図4に示すクリップ20に接続され、このクリップ20を介して外部接続用エミッタ電極13に接続されている。一方、ボンディングパッド41は温度検知用電極21にワイヤ28を用いて接続され、ボンディングパッド42は温度検知用電極22にワイヤ28を用いて接続されている。同様に、ボンディングパッド43は、外部接続用ゲート電極23にワイヤ28を用いて接続され、ボンディングパッド44は、ケルビン検知用電極24にワイヤ28を用いて接続されている。さらに、ボンディングパッド45は、電流検知用電極25にワイヤ28を用いて接続されている。

10

## 【0047】

図13は、半導体チップ15の裏面側の構成を示す平面図である。図13に示すように、半導体チップ15の裏面には、コレクタ電極46が形成されている。このコレクタ電極46は図4に示すダイパッド11aに接続されており、このダイパッド11aに一体的に形成された外部接続用コレクタ電極12に接続されている。

## 【0048】

次に、半導体チップ15に形成されている素子の回路構成を示す。図14は、半導体チップ15に形成されている回路の一例を示す回路図である。図14に示すように、半導体チップ15には、IGBT50、検知用IGBT51および温度検知用ダイオード52が形成されている。IGBT50はメインのIGBTであり、図1に示す3相モータ1の駆動に使用される。このIGBT50には、エミッタ電極40、コレクタ電極46およびゲート電極43aが形成されている。ゲート電極43aは内部配線により半導体チップ15の上面に形成されたボンディングパッド43に接続されている。ボンディングパッド43は、外部接続用ゲート電極23に接続されているので、IGBT50のゲート電極43aは、外部接続用ゲート電極23に接続されていることになる。外部接続用ゲート電極23は、図1に示す制御回路3に接続されており、制御回路3からの信号が外部接続用ゲート電極23を介してIGBT50のゲート電極43aに印加されることにより、制御回路3からIGBT50を制御することができるようになっている。

20

## 【0049】

検知用IGBT51は、IGBT50のコレクタ-エミッタ間を流れる電流を検知するために設けられているものである。すなわち、インバータ回路としてIGBT50を保護するためにIGBT50のコレクタ-エミッタ間を流れる電流を検知するために設けられている。この検知用IGBT51は、IGBT50と同様のコレクタ電極46およびゲート電極43に接続されており、センスエミッタ電極45aを有している。センスエミッタ電極45aは、内部配線により半導体チップ15の上面に形成されたボンディングパッド45に接続されている。ボンディングパッド45は、電流検知用電極25に接続されているので、結局、検知用IGBT51のセンスエミッタ電極45aは電流検知用電極25に接続されていることになる。そして、この電流検知用電極25は半導体装置10の外部に設けられる電流検知回路に接続される。この電流検知回路は、検知用IGBT51のセンスエミッタ電極45aの出力に基づいて、IGBT50のコレクタ-エミッタ間電流を検知し、過電流が流れたときIGBT50のゲート電極に印加されるゲート信号を遮断し、IGBT50を保護するようになっている。

30

40

## 【0050】

温度検知用ダイオード52は、IGBT50の温度を検知するために設けられている。すなわち、IGBT50の温度によって温度検知用ダイオード52の電圧が変化することによりIGBT50の温度を検知するようになっている。この温度検知用ダイオードは、ポリシリコンに異なる導電型の不純物を導入することによりpn接合が形成されており、カソード41aおよびアノード電極42aを有している。カソード41aは内部配線により半導体チップ15の上面に形成されたボンディングパッド41に接続されている。同様

50

に、アノード電極 4 2 a は内部配線により半導体チップ 1 5 の上面に形成されたボンディングパッド 4 2 に接続されている。したがって、温度検知用ダイオード 5 2 のカソード 4 1 a はボンディングパッド 4 1 を介して温度検知用電極 2 1 に接続され、温度検知用ダイオード 5 2 のアノード電極 4 2 a はボンディングパッド 4 2 を介して温度検知用電極 2 2 に接続されている。温度検知用電極 2 1、2 2 は、半導体装置 1 0 の外部に設けられる温度検知回路に接続される。この温度検知回路は、温度検知用ダイオード 5 2 のカソード 4 1 a およびアノード電極 4 2 a に接続されている温度検知用電極 2 1、2 2 間の出力に基づいて間接的に I G B T 5 0 の温度を検知し、検知した温度がある一定温度以上になったとき、I G B T 5 0 のゲート電極に印加されるゲート信号を遮断し、I G B T 5 0 を保護するようになっている。

10

## 【0051】

次に、I G B T 5 0 のエミッタ電極 4 0 からは別の端子であるコモンエミッタ電極 4 4 a が出ている。このコモンエミッタ電極 4 4 a は、内部配線により半導体チップ 1 5 の上面に形成されているボンディングパッド 4 4 に接続されている。ボンディングパッド 4 4 は、ケルビン検知用電極 2 4 に接続されているので、結局、コモンエミッタ電極 4 4 a はケルビン検知用電極 2 4 に接続されていることになる。ケルビン検知用電極 2 4 は、半導体装置 1 0 の外部に設けられるケルビン検知回路に接続される。このケルビン検知回路は、配線などによって I G B T 5 0 の電位が不安定にならないようにするため、配線抵抗をキャンセルする目的で設けられている。すなわち、エミッタ電極 4 0 と同電位のコモンエミッタ電極 4 4 a からの出力に基づいて、エミッタ電極 4 0 自体の配線抵抗をキャンセルするようになっている。

20

## 【0052】

同様に、図 4 に示すように、I G B T 5 0 のコレクタ電極 4 6 から分岐するケルビン検知用電極 2 6 が設けられている。このケルビン検知用電極 2 6 は、半導体装置 1 0 の外部に設けられているケルビン検知回路に接続される。このケルビン検知回路も配線などによって I G B T 5 0 の電位が不安定にならないようにするため、配線抵抗をキャンセルする目的で設けられている。すなわち、コレクタ電極 4 6 と同電位のケルビン検知用電極 2 6 の出力に基づいて、コレクタ電極 4 6 自体の配線抵抗をキャンセルするようになっている。

30

## 【0053】

このように本実施の形態 1 における半導体装置 1 0 によれば、電流検知回路、温度検知回路およびケルビン検知回路に接続することが可能なように構成されているので、半導体装置 1 0 に含まれる I G B T 5 0 の動作信頼性の向上を図ることができる。

## 【0054】

次に、I G B T 5 0 の素子構造について説明する。図 1 5 は、本実施の形態 1 における I G B T 5 0 の構造を示す断面図である。図 1 5 において、I G B T 5 0 は、半導体チップの裏面に形成されたコレクタ電極 4 6 を有し、このコレクタ電極 4 6 上に p<sup>+</sup> 型半導体領域 5 4 が形成されている。p<sup>+</sup> 型半導体領域 5 4 上には n<sup>+</sup> 型半導体領域 5 5 が形成され、この n<sup>+</sup> 型半導体領域 5 5 上には n<sup>-</sup> 型半導体領域 5 6 が形成されている。そして、n<sup>-</sup> 型半導体領域 5 6 上には p 型半導体領域 5 7 が形成され、この p 型半導体領域 5 7 を貫通し、n<sup>-</sup> 型半導体領域に達するトレンチ溝 5 9 が形成されている。さらに、トレンチ溝 5 9 に整合してエミッタ領域となる n<sup>+</sup> 型半導体領域 5 8 が形成されている。トレンチ溝 5 9 の内部には、例えば酸化シリコン膜よりなるゲート絶縁膜 6 0 が形成され、このゲート絶縁膜 6 0 を介してゲート電極 4 3 a が形成されている。ゲート電極 4 3 a は、例えばポリシリコン膜から形成され、トレンチ溝 5 9 を埋め込むように形成されている。このように構成された I G B T 5 0 において、ゲート電極 4 3 a は、内部配線を介して、図 1 2 に示すボンディングパッド 4 3 に接続されている。同様にエミッタ領域となる n<sup>+</sup> 型半導体領域 5 8 は、エミッタ配線 6 1 を介して、図 1 2 に示すエミッタ電極 4 0 に接続されている。コレクタ領域となる p<sup>+</sup> 型半導体領域 5 4 は半導体チップの裏面に形成されているコレクタ電極 4 6 に接続されている（図 1 3 および図 1 5 参照）。I G B T 5 0 によれば

40

50

、MISFETの高速スイッチング特性および電圧駆動特性と、バイポーラトランジスタの低ON電圧特性を兼ね備えている。n<sup>+</sup>型半導体領域55は、パッファ層とも呼ばれる。このn<sup>+</sup>型半導体領域55は、IGBT50がターンOFFしているときに、p型半導体領域57からn<sup>-</sup>型半導体領域56内に成長する空乏層が、n<sup>-</sup>型半導体領域56の下層に形成されているp<sup>+</sup>型半導体領域54に接触してしまうパンチスルー現象を防止するために設けられている。また、p<sup>+</sup>型半導体領域54からn<sup>-</sup>型半導体領域56へのホール注入量の制限などの目的のために、n<sup>+</sup>型半導体領域55が設けられている。

【0055】

次に、IGBT50の動作について説明する。まず、IGBT50がターンONする動作について説明する。ゲート電極43aと、エミッタ領域となるn<sup>+</sup>型半導体領域58の間に十分な正の電圧を印加することにより、トレンチゲート構造をしたMISFETがターンONする。すると、コレクタ領域を構成するp<sup>+</sup>型半導体領域54とn<sup>-</sup>型半導体領域56の間が順バイアスされ、p<sup>+</sup>型半導体領域54からn<sup>-</sup>型半導体領域56へ正孔注入が起こる。続いて、注入された正孔のプラス電荷と同じだけの電子がn<sup>-</sup>型半導体領域56に集まる。これにより、n<sup>-</sup>型半導体領域56の抵抗低下が起こり(電導度変調)、IGBT50はON状態となる。

10

【0056】

ON電圧には、p<sup>+</sup>型半導体領域54とn<sup>-</sup>型半導体領域56との接合電圧が加わるが、n<sup>-</sup>型半導体領域56の抵抗値が電導度変調により1桁以上低下するため、ON抵抗の大半を占めるようなる高耐圧では、MISFETよりもIGBT50の方が低ON電圧となる。したがって、IGBT50は高耐圧化に有効なデバイスであることがわかる。

20

【0057】

次に、IGBT50がターンOFFする動作について説明する。ゲート電極43aと、エミッタ領域となるn<sup>+</sup>型半導体領域58の間の電圧を低下させると、トレンチゲート構造をしたMISFETがターンOFFする。すると、p<sup>+</sup>型半導体領域54からn<sup>-</sup>型半導体領域56への正孔注入が停止し、すでに注入された正孔も寿命が尽きて減少する。残留している正孔は、p<sup>+</sup>型半導体領域54へ直接流出して(テイル電流)、流出が完了した時点でIGBT50はOFF状態となる。このようにしてIGBT50を動作させることができる。

【0058】

30

次に、ダイパッド11a上に搭載する半導体チップ16の構成について説明する。半導体チップ16にはダイオードが形成されている。図16は、半導体チップ16の上面側の構成を示す平面図である。図16に示すように、半導体チップ16の上面側には、アノード電極62が形成されている。一方、図示はしないが、同様に、半導体チップ16の裏面側には、カソードが形成されている。

【0059】

続いて、ダイオードの素子構造について説明する。図17は、ダイオードの素子構造を示す断面図である。図17において、半導体チップ16の裏面には、カソード63が形成されており、このカソード63上にn<sup>+</sup>型半導体領域64が形成されている。そして、n<sup>+</sup>型半導体領域64上にn<sup>-</sup>型半導体領域65が形成されており、n<sup>-</sup>型半導体領域65上に離間してp型半導体領域66が形成されている。p型半導体領域66の間には、p<sup>-</sup>型半導体領域67が形成されている。p型半導体領域66とp<sup>-</sup>型半導体領域67上には、アノード電極62が形成されている。アノード電極62は、例えばアルミニウム-シリコンから構成されている。

40

【0060】

このように構成されたダイオードによれば、アノード電極62に正電圧を印加し、カソード63に負電圧を印加すると、n<sup>-</sup>型半導体領域65とp型半導体領域66の間のpn接合が順バイアスされ電流が流れる。一方、アノード電極62に負電圧を印加し、カソード63に正電圧を印加すると、n<sup>-</sup>型半導体領域65とp型半導体領域66の間のpn接合が逆バイアスされ電流が流れない。このようにしてダイオードを動作させることができ

50

る。

#### 【0061】

ここで、ダイオードを形成した半導体チップ16の上面上にはアノード電極62が形成され、IGBTを形成した半導体チップ15の上面上には、エミッタ電極40が形成されている(図12および図16参照)。そして、このアノード電極62とエミッタ電極40がクリップ20で接続されている(図5参照)。一方、半導体チップ16の裏面には、カソード63が形成され、半導体チップ15の裏面には、コレクタ電極46が形成されている(図13参照)。そして、カソード63とコレクタ電極46がダイパッド11aにより接続されている(図5参照)。したがって、IGBTとダイオードとは、図1に示すように、逆並列に接続されている。このときのダイオードの機能について説明する。

10

#### 【0062】

ダイオードは、負荷がインダクタンスを含まない純抵抗である場合、還流するエネルギーがないため不要である。しかし、負荷にモータのようなインダクタンスを含む回路が接続されている場合、ONしているスイッチとは逆方向に負荷電流が流れるモードがある。このとき、IGBTなどのスイッチング素子単体では、この逆方向電流を流し得る機能をもたないので、IGBTなどのスイッチング素子に逆並列にダイオードを接続する必要がある。すなわち、インバータ回路において、モータ制御のように負荷にインダクタンスを含む場合、IGBTなどのスイッチング素子をターンOFFしたとき、インダクタンスに蓄えられたエネルギー( $1/2LI^2$ )を必ず放出しなければならない。IGBT単体では、インダクタンスに蓄えられたエネルギーを開放するための逆方向電流を流すことができない。そこで、このインダクタンスに蓄えられた電気エネルギーを還流するため、IGBTに逆並列にダイオードを接続する。つまり、ダイオードは、インダクタンスに蓄えられた電気エネルギーを開放するために逆方向電流を流すという機能を有している。なお、IGBTのスイッチング周波数に応じて、ダイオードにも高周波特性をもたせる必要がある。

20

#### 【0063】

次に、本発明の特徴の1つについて説明する。図18は、本実施の形態1における半導体装置10の内部構造を示す平面図である。図18において、本発明の特徴の1つは、クリップ20の幅aを半導体チップ15および半導体チップ16の幅bに比べて小さくする点にある。つまり、半導体チップ15と半導体チップ16が並んでいる方向とは直交する方向において、クリップ20の幅aは、半導体チップ15および半導体チップ16の幅bよりも小さいことを特徴とする。

30

#### 【0064】

これにより、クリップ20と半導体チップ15あるいはクリップ20と半導体チップ16との間に形成されている半田18の広がりを外観検査で確認することができる。すなわち、クリップ20と半導体チップ15との間に半田18を形成した後、リフローすることにより半田18を溶融して固着する工程が存在するが、クリップ20の幅aを半導体チップ15の幅bよりも小さくすることで、溶融した半田18がクリップ20の全体に広がっていることを確認することができる。例えば、クリップ20の幅aが半導体チップ15の幅bよりも大きく形成すると、クリップ20の直下に形成されている半導体チップ15や半田18を確認することができない。したがって、半田18が半導体チップ15とクリップ20の接触領域に均一に広がっているかどうかを確認することができない。しかし、本実施の形態1における半導体装置10によれば、半導体チップ15の上部に形成されているクリップ20の幅aを半導体チップ16の幅bよりも小さくしたので、クリップ20の下部の構造が外観検査で見えることになる。このため、半田18が広がって半導体チップ15よりもはみ出していることが外観検査で確認できるので、半田18が十分に広がって半導体チップ15とクリップ20の接合が良好に行なわれていることを確認できる。

40

#### 【0065】

また、クリップ20の幅aを半導体チップ15の幅bよりも小さくすることで、クリップ20と半導体チップ15の接触面積よりも大きな領域に半田18を形成することができ

50

る。このようにすると、リフロー時、半田18に浮くようにクリップ20が配置されるので、半田18の溶融固着時のセルフアライメント機能により自動的にクリップの位置合わせを行なうことができる。

#### 【0066】

さらに、クリップ20の幅aを半導体チップ15の幅bよりも小さくすることにより以下に示す利点がある。図19は、IGBTを形成した半導体チップ15の全体に電圧を印加したときの状態を示す平面図である。図19に示すように、半導体チップ15の上面には、エミッタ電極および複数のボンディングパッド41~45が存在するが、これらの領域とは別に領域68が形成される。この領域68は、エミッタ電極40および複数のボンディングパッド41~45の周囲を覆うように形成される。そして、この領域68は半導体チップ15の裏面に形成されているコレクタ電極と同電位となる。ただし、この領域68は、半導体チップ15の構造上コレクタ電極と電気的につながっているわけではないので、コレクタ電極ではない。しかし、領域68はコレクタ電位と同電位となるため、この領域68上にクリップ20が形成されていると、耐圧が低下する。すなわち、領域68とクリップ20の間には絶縁膜が形成されているが、クリップ20の幅aが半導体チップ15の幅bよりも大きく形成されていると、半導体チップ15の周辺部に形成されている領域68の直上にクリップ20が配置されることになる。クリップ20にはエミッタ電極40と同電位の電圧が印加されるので、領域68とクリップ20との間に電位差が生じる。このため、クリップ20と領域68の距離が接近すると耐圧が低下する。特に、高耐圧製品であると問題が一層顕著に現れる。そこで、本実施の形態1では、クリップ20の幅aを半導体チップ15の幅bよりも小さくしている。このように構成することにより、半導体チップ15の周辺部に形成される領域68上にクリップ20が配置されないようにすることができるため、耐圧を向上させることができる。

#### 【0067】

本実施の形態1における半導体装置10は上記のように構成されており、以下にその製造方法について説明する。

#### 【0068】

まず、図4に示すように、本実施の形態1における半導体装置10は、半導体チップ15および半導体チップ16を搭載するダイパッド11aを有している薄板領域と厚板領域とが存在する。

#### 【0069】

図20は、薄板領域と厚板領域とを形成したリードフレーム材料70を示している。図20(a)は本実施の形態1におけるリードフレーム材料70の平面図を示しており、図20(b)は、リードフレーム材料70の側面図を示している。厚板領域と薄板領域の配置の仕方は色々考えられるが、本実施の形態1では、図20(a)、(b)に示すように、スタンピング方向(矢印の方向、X方向)と垂直な方向(Y方向)に薄板領域73、厚板領域71および薄板領域72が順次形成されている。すなわち、厚板領域71を挟むように薄板領域72、73が形成されている。このように厚板領域71と薄板領域72、73を形成したリードフレーム材料70を加工することにより、図21(a)、(b)に示すリードフレーム74が形成される。すなわち、本実施の形態1では、薄板領域72、73に電極を形成するためのリード75を形成し、厚板領域71にダイパッド領域76を形成している。ここで、リードフレーム材料70を図20(a)、(b)に示すように形成した理由は、リードフレーム材料70から加工するリードフレーム74において、中央部にダイパッド領域76を形成し、このダイパッド領域76の対向する一対の辺に電極を形成するためである。つまり、本実施の形態1では、半導体装置10がダイパッド11aを中心部に配置し、このダイパッド11aの対向する一対の辺に電極を形成する構成をとっているため、リードフレーム材料70の薄板領域72、73と厚板領域71とを図20(a)、(b)に示すように配置することができる。このように配置することにより、図21(a)、(b)に示すように、リードフレームを密に配置することができる。すなわち、リードフレームの形成ピッチを狭くすることができるため、リードフレーム材料70の

10

20

30

40

50



使用効率を向上させることができ、最終的に半導体装置 10 のコストを低減することが可能となる。また、製造工程における加工も容易となる。

【0070】

ここで、ダイパッド 11a の対向する一対の辺ではなく互いに隣接して交差する辺に電極が形成されている半導体装置を考える。このとき、図 20 (a)、(b) に示すリードフレーム材料 70 ではリードフレームの加工が困難になる。なぜなら、互いに交差する辺に電極を形成するので、図 20 (a)、(b) に示す厚板領域 71 の内部にも電極を形成するためのリードを形成しなくてはならないからである。つまり、厚板領域 71 では、厚さが厚いため、電極を形成するためのリードを成形することが困難となるからである。そこで、この場合は、例えば、図 22 に示すような厚板領域 77 と薄板領域 78 を設けたリードフレーム材料 70 を使用することになる。図 22 に示すリードフレーム材料 70 によれば、互いに交差する辺に薄板領域 78 が形成されているので、互いに交差する辺にリードを成形することが可能となる。しかし、図 22 に示すリードフレーム材料 70 において形成される厚板領域 77 と薄板領域 78 のパターンは、図 20 (a)、(b) に示すリードフレーム材料 70 における厚板領域 71 と薄板領域 72、73 のパターンに比べて複雑になる。したがって、リードフレーム材料 70 の製造コストが高くなり、最終的に半導体装置の製造コストが上昇してしまう。さらに、互いに交差する辺に電極を形成する構成では、リードフレームのピッチが広がり効率的にリードフレーム材料 70 を使用することができなくなる。このことから半導体装置の製造コストが上昇してしまう。

【0071】

以上のことから、本実施の形態 1 における半導体装置 10 の構成のように、ダイパッド 11a の対向する一対の辺にだけ電極を形成するようにすることにより、リードフレーム材料 70 から効率的にリードフレームを形成できる。したがって、本実施の形態 1 における半導体装置 10 の構成によれば、製造工程における加工が容易で製造コストも低減できる。

【0072】

次に、リードフレーム 74 を形成した後の製造工程について図面を参照しながら説明する。図 23 (a)、(b) に示すように、リードフレーム 74 のダイパッド領域上に、IGBT を形成した半導体チップ 15 とダイオードを形成した半導体チップ 16 を搭載する。ここで、半導体チップ 15 の上面には、エミッタ電極および複数のボンディングパッド (図示せず) が形成されている。一方、半導体チップ 16 の上面には、アノード電極 (図示せず) が形成されている。

【0073】

続いて、図 24 (a)、(b) に示すように、半導体チップ 15 および半導体チップ 16 に跨るようにクリップ 20 を形成する。このクリップ 20 は、半導体チップ 16 のアノード電極と半導体チップ 15 のエミッタ電極を接続するように配置される。また、クリップ 20 と平面的に重なる領域に半導体チップ 15 に形成された複数のボンディングパッドが配置されないようにクリップ 20 が配置される。つまり、クリップ 20 と平面的に重ならない領域に複数のボンディングパッドが配置されるようにクリップ 20 を配置する。

【0074】

そして、リフローした後、図 25 (a)、(b) に示すように、半導体チップ 15 に形成されたボンディングパッドと、電極となるリードとをワイヤ 28 で接続する。このワイヤ 28 は、例えば、アルミニウムから形成されている。

【0075】

次に、図 26 (a)、(b) に示すように、半導体チップ 15 および半導体チップ 16 を搭載したダイパッド領域を樹脂 11 で封止する。そして、図 27 (a)、(b) に示すように、タイバーを切断する。その後、めっき処理を施した後、図 28 (a)、(b) に示すように、個片化する。このとき、半導体装置が形成される。この半導体装置では、樹脂 11 の第 1 辺側から外部接続用エミッタ電極 13 および信号電極 14 が突き出ており、第 1 辺と対向する第 2 辺側から外部接続用コレクタ電極 12 および信号電極 14 が突き出

10

20

30

40

50

ている。その後、図29(a)、(b)に示すように、信号電極14を成形加工することにより、本実施の形態1における半導体装置を形成することができる。

【0076】

次に、本発明の特徴の1つである半導体チップの搭載工程からワイヤボンディング工程までの工程をさらに詳細に説明する。

【0077】

図30に示すようにダイパッド11aの半導体チップ形成領域(第1領域および第2領域)上に半田17を形成する。この半田17は、例えば、半田塗布法や半田印刷法を使用することにより形成できる。半田17の材料としては、環境を配慮して鉛を含有しない鉛フリー半田が用いられている。具体的には、すず(Sn)、銀(Ag)、銅(Cu)からなる半田や、すず(Sn)、アンチモン(Sb)からなる半田が用いられる。

10

【0078】

ここで、ダイパッド11aの第1辺側には、外部接続用エミッタ電極13、温度検知用電極21、22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25が形成されている。ダイパッド11aの第1辺側に形成されているこれらの電極は、クリップ20やワイヤ28を用いて接続されるものが配置されている。このように配置することにより、ワイヤボンディング工程を行ないやすいようになっている。一方、ダイパッド11aの第1辺と対向する第2辺側には、外部接続用コレクタ電極12が形成されている。さらに、この外部接続用コレクタ電極12と電気接続するケルビン検知用電極26が形成されている。このケルビン検知用電極26は外部接続用コレクタ電極12と電

20

【0079】

次に、図31に示すように、半田17を形成したダイパッド11a上に半導体チップ15および半導体チップ16を搭載する。すなわち、ダイパッド11aの第1領域に半導体チップ15を搭載し、ダイパッド11aの第2領域に半導体チップ16を搭載する。半導体チップ15と半導体チップ16の搭載順序はどちらが先でも構わない。ただし配置する位置は、IGBTを形成した半導体チップ15をダイパッド11aの第1辺に近い側に搭載し、ダイオードを形成した半導体チップ16をダイパッド11aの第2辺に近い側に搭載する。これは、IGBTを形成した半導体チップ15の上面には、エミッタ電極40の他に複数のボンディングパッド41~45が形成されており、この複数のボンディングパ

30

【0080】

続いて、図32に示すように、半導体チップ15のエミッタ電極40上および半導体チップ16のアノード電極62上に半田18を形成する。さらに、外部接続用エミッタ電極13上にも半田27を形成する。この半田18、27も例えば、半田塗布法や半田印刷法を使用することにより形成できる。半田18、27の材料としては、環境を配慮して鉛を含有しない鉛フリー半田が用いられている。具体的には、すず(Sn)、銀(Ag)、銅(Cu)からなる半田や、すず(Sn)、アンチモン(Sb)からなる半田が用いられる。

40

【0081】

次に、図33に示すように、半導体チップ15および半導体チップ16上にクリップ20を搭載する。このとき、クリップ20は半田18を介して半導体チップ16のアノード電極62と半導体チップ15のエミッタ電極40に接触するように配置される。また、クリップ20は、半田27を介して外部接続用エミッタ電極13と接触するように配置される。ここで、本発明の特徴の1つは、クリップ20が半導体チップ15に形成されている複数のボンディングパッド41~45と平面的に重ならないように配置されていることに

50

なる。このように配置することにより、ワイヤ28による接続工程より前にクリップ20の搭載工程を実施することができる。また、クリップ20の形状は、図33では図示しないが、半導体チップ15および半導体チップ16に接触しているクリップ20の領域よりも、半導体チップ15と半導体チップ16の間にあるクリップ20の領域が上方に突出した構造(凸形状)になっている。

#### 【0082】

続いて、図34に示すようにリフローすることにより、半田17、半田18および半田27を溶融して固着する。これにより、半導体チップ15とダイパッド11a、半導体チップ16とダイパッド11aとは半田17によって固着する。同様に、半導体チップ15とクリップ20、半導体チップ16とクリップ20とは半田18によって固着する。さらに、クリップ20と外部接続用エミッタ電極13とは半田27によって固着する。このとき、半導体チップ15および半導体チップ16に接触しているクリップ20の領域よりも、半導体チップ15と半導体チップ16の間にあるクリップ20の領域が上方に突出した構造(凸形状)にクリップ20の形状があるので、溶融した半田18がクリップ20の凸形状に吸収されて、半導体チップ15あるいは半導体チップ16の側面に流れ出すことはない。したがって、半田18と半田17が接触することによりショート不良を防止することができる。

#### 【0083】

次に、図35に示すように、半導体チップ15に形成されているボンディングパッド41~45と、温度検知用電極21、22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25とそれぞれワイヤ28によって接続する。ここで、ボンディングパッド41~45の直上には、クリップ20が形成されていないので、ワイヤ28によるワイヤボンディングを実施することができる。

#### 【0084】

ここで、温度検知用電極21、温度検知用電極22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25が、IGBTを形成した半導体チップ15の上面に形成されているボンディングパッド41~45と、クリップではなくワイヤ28を用いてそれぞれ接続されているのは以下の理由による。クリップ20を使用する目的は、大電流を流すことと低抵抗化を図る目的がある。すなわち、半導体チップ15のエミッタ電極には、大電流が流れるとともに低抵抗化を図る必要がある。半導体チップ15のエミッタ電極、半導体チップ16のアノード電極および外部接続用エミッタ電極13の接続にクリップ20を用いている。これに対し、温度検知用電極21、温度検知用電極22、外部接続用ゲート電極23、ケルビン検知用電極24および電流検知用電極25(これらの電極をセンス用電極という)は、信号処理用の電極であるため、大電流を流す必要はなく、クリップを用いる必要はない。このため、これらの電極はクリップではなくワイヤ28を用いている。製造工程の観点からは、センス用電極もワイヤ28ではなくクリップを用いた方が、すべての電極を、同一工程で形成できるクリップで接続できるため単純化されると考えられる。しかし、半導体チップ15に形成されているエミッタ電極40や半導体チップ16に形成されているアノード電極62は十分に面積が大きいのでクリップ20を用いて接続できる。これに対し、半導体チップ15に形成されている複数のボンディングパッド41~45は小さく、隣接している。このため、ボンディングパッド41~45とセンス用電極とをクリップで接続しようとする場合、小さいクリップを使用しなければならず加工が困難である。また、クリップが小さいため、クリップ搭載位置の精度を確保することができず、クリップの位置ずれによるショート不良はオープン不良が発生しやすくなる。さらに、クリップが小さいため、クリップの接続強度が足りず、接続信頼性を確保することが困難である問題もある。また、クリップはワイヤ28に比べて搭載時間が必要であり、所定数以上のクリップを使用するとコストが上昇することが懸念される。以上のことから、センス用電極とボンディングパッド41~45の接続には、クリップではなくワイヤ28を用いている。

#### 【0085】

本発明の特徴の1つは、クリップ20を搭載した後に、ワイヤボンディングを実施する点にある。例えば、ワイヤボンディングを行なった後にクリップ20を搭載する工程を実施すると、ワイヤ28による接合が形成された後にリフローによる熱処理が実施されることになる。この熱処理による熱負荷がワイヤ28による接合部にかかり合金層が形成されて、接合強度が弱くなる問題点が生じる。すなわち、ワイヤ28の接合強度が弱くなることにより断線などが生じるおそれがあり、半導体装置の信頼性を低下させることになる。これに対し、本実施の形態1では、クリップ20を搭載してリフロー処理を実施した後、ワイヤ28によるワイヤボンディング工程を実施している。このため、ワイヤ28による接合部にリフローによる熱負荷をかけないようにすることができる。したがって、ワイヤ28の接合部の接合強度の向上を図ることができ、半導体装置の信頼性向上を図ることができる。

10

**【0086】**

このように、クリップ20を搭載した後にワイヤボンディング工程を行なうことに本発明の特徴があるが、このような順番で製造工程を実施できるのは以下に示す理由による。例えば、特許文献3～5に記載されているように、クリップの直下にワイヤが存在すると、必然的にワイヤボンディングを先に実施した後、クリップを搭載することになる。しかし、このような製造工程では上述したようにワイヤの接合部に熱負荷がかかりワイヤの接合強度が低下する問題点が生じる。そこで、本実施の形態1では、クリップ20を搭載する際に、ボンディングパッド41～45上には、クリップ20が形成されないようにしている。つまり、クリップ20をボンディングパッド41～45と平面的に重ならない領域に形成している。このように構成することにより、クリップ20を先に搭載してもワイヤボンディングを実施することが可能となるのである。

20

**【0087】**

次に、本発明の特徴の1つは、半田17、半田18および半田27を一括してリフローしている点にある。例えば、ダイパッド11a上に半田17を介して半導体チップ15および半導体チップ16を形成した後、第1リフロー処理を行なう。そして、半導体チップ15および半導体チップ16上に半田18を介してクリップ20を搭載した後、第2リフロー処理を行なうことも可能である。しかし、リフロー処理を2回行なう必要があり、製造工程が煩雑化する。そこで、半導体チップ15、16とダイパッド11aとを半田17で接続し、半導体チップ15、16とクリップ20とを半田18で接続する点に着目して、本実施の形態1のように一括して半田17および半田18をリフローすることにより、半田17、半田18および半田27を一括してリフローすることにより、製造工程を簡素化することができる。

30

**【0088】**

ここで、半田17および半田18を異なる種類の半田から形成することも可能であるが、異なる種類の半田を用いるとリフローの温度が異なるため、一括リフロー処理を施す場合、リフロー温度の高い半田に合わせてリフローを実施することになる。すると、リフロー温度の最適化を図ることが難しい。そこで、半田17と半田18とを同一の半田材料で形成することが望ましい。半田17と半田18とを同一の半田材料で形成することにより、一括リフローを最適の温度で実施することができる。さらに、半田17と半田18を同一の半田材料より形成することによりコスト的にも安価になる利点がある。

40

**【0089】**

次に、封止工程の詳細について説明する。図36(a)は、ワイヤボンディング工程を実施した後のリードフレームを金型80に固定した様子を示す平面図であり、図36(b)は、図36(a)のA-A線で切断した断面図である。図36(a)、(b)に示すように、ゲート80aから樹脂11を流入させる。このとき、ダイパッド11aの第2辺側から樹脂11を流入する点に特徴がある。すなわち、ワイヤ28が形成されているダイパッド11aの第1辺側をゲート80aから遠ざけるように配置する。これにより、ワイヤ28が樹脂11の流入圧力を受けることを極力防止でき、樹脂11の流入時に発生するワイヤ28の変形や断線を防止することができる。

50

## 【 0 0 9 0 】

続いて、図 3 7 ( a )、( b ) に示すように樹脂 1 1 を流入し続ける。このとき、ダイパッド 1 1 a の大部分が樹脂 1 1 で覆われるようになってワイヤ 2 8 はまだ樹脂 1 1 に接触していない。このため、ワイヤ 2 8 の変形や断線を防止できる。そして、図 3 8 ( a )、( b ) に示すように、樹脂 1 1 を金型 8 0 の内部にすべて充填して封止工程を終了する。この段階で始めてワイヤ 2 8 は樹脂 1 1 に覆われるため、ワイヤ 2 8 の樹脂 1 1 から圧力を受ける時間を極力少なくすることができる。これにより、ワイヤ 2 8 の変形および断線を抑制できる効果が得られる。このようにして本実施の形態 1 における半導体装置を形成することができる。

## 【 0 0 9 1 】

次に、図 3 9 は、本実施の形態 1 における半導体装置を実装基板に実装した断面図である。図 3 9 において、筐体 ( ヒートシンク ) 8 5 上には絶縁層 8 6 を介して配線基板 8 7 が形成されており、この配線基板 8 7 に本実施の形態 1 における半導体装置 1 0 が搭載されている。具体的には、半導体装置 1 0 の樹脂部から出ている外部接続用エミッタ電極 1 3 のねじ止め用開口部にねじ 8 8 が挿入されて固定されている。同様に、外部接続用コレクタ電極 1 2 のねじ止め用開口部にねじ 8 8 が挿入されて固定されている。そして、半導体装置 1 0 の上部には例えば水冷方式のヒートシンク 8 9 が設けられている。そして、ヒートシンク 8 9 を設けた半導体装置 1 0 の上部には、信号処理基板 9 0 が配置されている。この信号処理基板 9 0 には、半導体装置 1 0 の外部接続用ゲート電極に接続する制御回路、温度検知用電極に接続する温度検知回路、ケルビン検知用電極に接続するケルビン検知回路、電流検知用電極に接続する電流検知回路などが形成されている。図 3 9 には図示されていないが、半導体装置 1 0 の樹脂部から出ている温度検知用電極、外部接続用ゲート電極、ケルビン検知用電極および電流検知用電極は、上方に折り曲げられて信号処理基板 9 0 に電氣的に接続される。

## 【 0 0 9 2 】

このようにして、本実施の形態 1 における半導体装置 1 0 は実装基板 ( 筐体 ) に実装されるが、半導体装置 1 0 には、1 つの I G B T と 1 つのダイオードが形成されている。したがって、3 相モータの駆動回路を形成するパワー半導体装置では、本実施の形態 1 における半導体装置 1 0 が 6 つ必要となる。この 6 つの半導体装置 1 0 を実装基板に実装したレイアウト構成を図 4 0 ~ 図 4 2 に示す。図 4 0 および図 4 1 は、X 方向に 3 つ、Y 方向に 2 つの半導体装置 1 0 を配置する例を示しており、図 4 2 は、X 方向に 6 つの半導体装置 1 0 を配置する例を示している。本実施の形態 1 における半導体装置 1 0 のように、1 つの I G B T と 1 つのダイオードとを 1 パッケージ化した半導体装置 1 0 によれば、実装自由度を向上させることができることがわかる。また、1 つの I G B T と 1 つのダイオードとを 1 パッケージ化した半導体装置 1 0 によれば、汎用性も高めることができ、様々な製品に適用することができる。

## 【 0 0 9 3 】

これに対し、例えば 2 つの I G B T と 2 つのダイオードとを 1 パッケージ化した半導体装置では、パッケージサイズが大きくなり、また、汎用性に乏しい。さらにコストが上昇するという点がある。しかし、本実施の形態 1 のように 1 つの I G B T と 1 つのダイオードとを 1 パッケージ化した半導体装置 1 0 では、パッケージサイズもそれほど大きくなり、コストも抑えることができる。さらに、2 つの I G B T と 2 つのダイオードを 1 パッケージ化した半導体装置に比べて集積度が低いため、発熱量も少なく放熱効率も向上させることができる。

## 【 0 0 9 4 】

一方、1 つの I G B T を 1 パッケージ化した単体の半導体装置によれば、実装基板に実装する工程数が増加するが、本実施の形態 1 における半導体装置 1 0 によれば、実装工程を比較的削減することができる。

## 【 0 0 9 5 】

( 実施の形態 2 )

本実施の形態 2 では、半導体チップ上に搭載するクリップにおいて、半導体チップに接触するクリップの部分の厚さをその他のクリップの部分の厚さよりも厚くする例について説明する。

【 0 0 9 6 】

図 4 3 は、本実施の形態 2 における半導体装置 1 0 の内部構造を示す平面図である。この図 4 3 に示す構造は前記実施の形態 1 における半導体装置 1 0 の内部構造と同様の構造をしている。図 4 4 は、図 4 3 の A - A 線で切断した断面を示す断面図である。図 4 4 において、本実施の形態 2 における半導体装置 1 0 の特徴は、クリップ 9 1 の形状を工夫した点にある。すなわち、クリップ 9 1 は、半導体チップ 1 5 と半導体チップ 1 6 に半田 1 8 を介して接続され、さらに、半田 2 7 を介して外部接続用エミッタ電極 1 3 に接続している。ここで、クリップ 9 1 において、半導体チップ 1 5 および半導体チップ 1 6 に接触している部分の厚さがその他の部分の厚さよりも厚くなっている。これにより、半導体チップ 1 5 および半導体チップ 1 6 の直上に形成されているクリップ 9 1 の厚さを厚くすることができるので、半導体チップ 1 5 および半導体チップ 1 6 で発生した熱を速やかに放散することができる。つまり、クリップ 9 1 の熱抵抗を低減することができる。特に、過渡熱抵抗を低減することができるので、瞬間的な熱負荷による半導体チップ 1 5 および半導体チップ 1 6 の破壊耐量を向上することができる。

10

【 0 0 9 7 】

( 実施の形態 3 )

本実施の形態 3 では、半導体装置の樹脂部から引き出されている電極の引き出し位置を変える例について説明する。

20

【 0 0 9 8 】

図 4 5 は、本実施の形態 3 における半導体装置 1 0 の内部構造を示す平面図である。図 4 5 に示す半導体装置 1 0 が前記実施の形態 1 と異なる点は、外部接続用コレクタ電極 1 2、外部接続用エミッタ電極 1 3、温度検知用電極 2 1、2 2、外部接続用ゲート電極 2 3、ケルビン検知用電極 2 4、電流検知用電極 2 5 およびケルビン検知用電極 2 6 の引き出し位置が異なる点にある。つまり、前記実施の形態 1 において、これらの電極は、平面形状が長方形形状をしたダイパッド 1 1 a の短辺側に形成されていた。これに対し、本実施の形態 3 では、ダイパッド 1 1 a の長辺側の対向する 2 辺に、これらの電極が形成されている。すなわち、ダイパッド 1 1 a の長辺を形成する 1 辺に、外部接続用エミッタ電極 1 3、温度検知用電極 2 1、2 2、外部接続用ゲート電極 2 3、ケルビン検知用電極 2 4、電流検知用電極 2 5 およびケルビン検知用電極 2 6 が形成されている。そして、ダイパッド 1 1 a の長辺を形成する 1 辺に対向する辺に外部接続用コレクタ電極 1 2 が形成されている。これらの電極をダイパッド 1 1 a の長辺側に形成することにより、電極を配置するレイアウトの自由度を拡大することができる。なぜならば、ダイパッド 1 1 a の長辺側に配置する場合、配置するスペースに余裕があるからである。また、ダイパッド 1 1 a の長辺側は、短辺側に比べて電極を配置するスペースに余裕があるため、電極の本数が増加した場合であっても柔軟に対応することができる。さらに、電極間のピッチを広げることにも比較的簡単に行なうことができる。

30

【 0 0 9 9 】

図 4 6 は、本実施の形態 3 の変形例における半導体装置 1 0 の内部構造を示す平面図である。図 4 5 と図 4 6 の異なる点は、図 4 5 では、ダイパッド 1 1 a の長辺側の 1 辺とこれに対向する辺に電極が設けられていたが、図 4 6 では、ダイパッド 1 1 a の長辺を形成する 1 辺にすべての電極が形成されていることにある。このようにすべての電極をダイパッド 1 1 a の長辺を形成する 1 辺に構成することにより、図 4 5 に示す効果を奏する上、半導体装置 1 0 の占有面積を低減することができ、半導体装置 1 0 の小型化を図ることができる。したがって、本実施の形態 3 の変形例によれば、半導体装置 1 0 の小型化を図ることができるので、半導体装置 1 0 を実装基板に実装する密度を向上することができる。

40

【 0 1 0 0 】

( 実施の形態 4 )

50

本実施の形態 4 は、半導体装置の樹脂部と樹脂部から引き出される電極との間に発生するストレスを緩和できる例について説明する。

【 0 1 0 1 】

図 4 7 は、半導体装置 1 0 を実装基板 9 2 に実装する状態を示す部分拡大図である。図 4 7 において、本実施の形態 4 における半導体装置 1 0 は、樹脂 1 1 から外部接続用エミッタ電極 1 3 が引き出されており、この外部接続用エミッタ電極 1 3 に形成されているねじ止め用開口部にねじ 9 3 を挿入することにより、半導体装置 1 0 が実装基板 9 2 に固定されている。ここで、外部接続用エミッタ電極 1 3 のねじ止め部と樹脂 1 1 の間には、U 字部 9 4 が形成された部分が存在する。この U 字部 9 4 が形成された部分を外部接続用エミッタ電極 1 3 に設けることにより、ねじ止めによって発生する外部接続用エミッタ電極 1 3 の変形を緩和することができ、樹脂 1 1 とねじ 9 3 の間に発生するストレスを抑制することができる。さらに、樹脂 1 1 は、半導体装置 1 0 が発熱することにより熱膨張するが、このとき、ねじ止めされている外部接続用エミッタ電極 1 3 と樹脂 1 1 の間にストレスが発生する。しかし、外部接続用エミッタ電極 1 3 に U 字部 9 4 が存在するため、ストレスを緩和することができる。このように外部接続用エミッタ電極 1 3 に U 字部 9 4 を形成することにより、樹脂 1 1 の内部に形成されているクリップの取り付け部にストレスが加わることを抑制でき、クリップの取り付け部の破壊を防止することができる。なお、本実施の形態 4 では、外部接続用エミッタ電極 1 3 に U 字部 9 4 を形成する例について説明したが、外部接続用コレクタ電極に U 字部 9 4 を形成してもよい。

【 0 1 0 2 】

( 実施の形態 5 )

本実施の形態 5 は、クリップの外部接続用エミッタ電極との接合部に凸形状の突起を設ける一方、この突起に対応した孔を外部接続用エミッタ電極に設ける例について説明する。

【 0 1 0 3 】

図 4 8 は、本実施の形態 5 における半導体装置 1 0 の内部構造を示す平面図である。図 4 8 において、本実施の形態 5 における半導体装置 1 0 が前記実施の形態 1 と異なる点は、クリップ 2 0 の外部接続用エミッタ電極 1 3 との接合部に凸形状の突起 9 5 が設けられている点にある。図 4 9 は、図 4 8 の A - A 線で切断した断面を示す断面図である。図 4 9 に示すように、クリップ 2 0 の外部接続用エミッタ電極 1 3 との接合部に突起 9 5 が設けられており、この突起 9 5 に対応して外部接続用エミッタ電極 1 3 に孔 9 6 が形成されている。図 5 0 は、クリップ 2 0 と外部接続用エミッタ電極 1 3 との接合部を拡大した拡大図である。図 5 0 に示すように、クリップ 2 0 には突起 9 5 が形成されており、この突起 9 5 が外部接続用エミッタ電極 1 3 に形成されている孔 9 6 に挿入されている。このように、クリップ 2 0 と外部接続用エミッタ電極 1 3 の接続に半田 2 7 を用いるとともに、突起 9 5 と孔 9 6 によるロック機構を設けることにより、接合部の接続強度の向上および半田接合の熱疲労による破壊防止を図ることができる。さらに、突起 9 5 と孔 9 6 による機械的なロック機構により、クリップ 2 0 の搭載位置を固定することができ、クリップ 2 0 の位置決め精度の向上を図ることができる。なお、本実施の形態 5 では、クリップ 2 0 に突起 9 5 を設け、外部接続用エミッタ電極 1 3 に孔 9 6 を設けるように構成したが、クリップ 2 0 に孔を設け、外部接続用エミッタ電極 1 3 に突起を設けるように構成してもよい。

【 0 1 0 4 】

( 実施の形態 6 )

本実施の形態 6 は、クリップの半導体チップと接触する面側に突起を設ける例について説明する。

【 0 1 0 5 】

図 5 1 は、本実施の形態 6 における半導体装置 1 0 の内部構造を示す平面図である。図 5 1 において、本実施の形態 6 における半導体装置 1 0 が前記実施の形態 1 と異なる点は、クリップ 2 0 の半導体チップ 1 5、1 6 との接触面および外部接続用エミッタ電極 1 3

10

20

30

40

50

との接合部に凸形状の突起 97 が設けられている点にある。図 5 2 は、図 5 1 の A - A 線で切断した断面を示す断面図である。図 5 2 に示すように、クリップ 20 の半導体チップ 15、16 との接触部および外部接続用エミッタ電極 13 との接合部に突起 97 が設けられており、この突起 97 によってクリップ 20 が半導体チップ 15、16 および外部接続用エミッタ電極 13 上に固定されている。図 5 3 は、半導体チップ 15 上に形成されたクリップ 20 を示す拡大図である。図 5 3 に示すように、ダイパッド 11 a 上には、半導体チップ 15 が搭載されており、このダイパッド 11 a と半導体チップ 15 とは半田 17 によって接合されている。そして、半導体チップ 15 上にクリップ 20 が形成されており、このクリップ 20 に設けられた突起 97 が半導体チップ 15 に接触している。このように突起 97 によってクリップ 20 を半導体チップ 15 上に固定する場合、クリップ 20 の高さ位置精度を保つことができる。

10

## 【 0 1 0 6 】

突起 97 が無い場合、クリップ 20 の高さは、半田 18 に依存してばらつくことになる。しかし、突起 97 を設けることによりクリップ 20 と半導体チップ 15 の間には一定のスペースができ、このスペースに半田 18 を充填することにより半田 18 の膜厚を一定とすることができる。したがって、必然的に半田 18 の膜厚を確保することができるので、半田接合の信頼性を向上することができる。また、半田 18 の膜厚が厚くなるので、半田 18 にかかる応力を緩和することができ、半田接合の破壊防止および半導体チップ 15 に生じるチップクラックを防止することができる。

## 【 0 1 0 7 】

(実施の形態 7)

本実施の形態 7 は、放熱効率の向上を図ることができる半導体装置の例について説明する。図 5 4 は、本実施の形態 7 における半導体装置 10 を示す断面図である。図 5 4 に示す本実施の形態 7 における半導体装置 10 が前記実施の形態 1 と異なる点は、クリップ 98 の上面が樹脂 11 から露出している点にある。すなわち、半導体チップ 15 および半導体チップ 16 上に半田 18 を介してクリップ 98 が形成されているが、このクリップ 98 の上面(半導体チップと接触している面とは反対側の面)が樹脂 11 から露出している。したがって、本実施の形態 7 では、ダイパッド 11 a の下面(裏面)が樹脂 11 から露出しているとともに、クリップ 98 の上面が樹脂 11 から露出していることになる。このように樹脂 11 からダイパッド 11 a あるいはクリップ 98 が露出しているため、半導体装置 10 の放熱効率を向上させることができる。特に、高出力の半導体装置 10 であると発生する熱量も多くなるが、本実施の形態 7 によれば、樹脂 11 の上下面から熱伝導率の高いダイパッド 11 a およびクリップ 98 が露出しているため、放熱効率を向上させることができる。つまり、高出力の半導体装置 10 であっても放熱効率を向上させるので、半導体装置 10 の信頼性向上を図ることができる。

20

30

## 【 0 1 0 8 】

クリップ 98 の上面を樹脂 11 から露出させるには、以下に示す技術を用いることができる。まず、クリップ 98 を覆うように樹脂 11 で封止する。その後、例えば、液体ホーニング技術により樹脂 11 を削り、クリップ 98 の上面を露出する方法がある。液体ホーニング技術とは、研磨剤と水とを高圧で樹脂 11 に吹き付けることにより、樹脂 11 だけを研磨する方法である。このようにクリップ 98 の上面を樹脂 11 から露出させる方法として液体ホーニングがあるが、例えば、機械的な研磨によってクリップ 98 を覆う樹脂 11 を研磨してクリップ 98 の上面を露出するようにしてもよい。

40

## 【 0 1 0 9 】

(実施の形態 8)

本実施の形態 8 は半導体装置を実装基板に実装する工程を簡略化できる例について説明する。

## 【 0 1 1 0 】

図 5 5 は、本実施の形態 8 における半導体装置 10 を実装基板 99 に実装する様子を示す平面図である。図 5 6 は図 5 5 の A - A 線で切断した断面を示す断面図である。図 5 5

50



に示すように、複数の半導体装置 10 がねじ 102 により実装基板 99 に固定されている。そして、図 56 に示すように、個々の半導体装置 10 の樹脂部には突起 101 が形成されており、この突起 101 に押さえ板（ヒートシンク）100 がはめ込まれている。この押さえ板 100 は、複数の半導体装置 10 上に形成されている。そして、押さえ板 100 は、ねじ 103 により実装基板 99 に固定されている。本実施の形態 8 によれば、まず、実装基板 99 に複数の半導体装置 10 をねじ 102 で固定する。そして、複数の半導体装置 10 の樹脂部に形成された突起 101 を押さえ板 100 に形成された凹部にはめ込みセットする。その後、押さえ板 100 をねじ 103 で実装基板 99 に固定する。このようにして、複数の半導体装置 10 を実装基板 99 に実装することができる。ここで、通常は、1つの半導体装置 10 に対して1つの押さえ板を用いる。しかし、この構成によれば、半導体装置 10 の個数分だけ、押さえ板を取り付けなければならない実装工程が複雑化する。そこで、本実施の形態 8 では、複数の半導体装置 10 に対して1つの押さえ板 100 を一括して取り付けるようにしている。このとき、複数の半導体装置 10 上にしっかりと押さえ板を固定するため、半導体装置 10 の樹脂部に突起 101 を設け、押さえ板 100 にこの突起 101 に対応した凹部を設けて固定している。そして、押さえ板 100 をねじ 103 によって実装基板 99 に固定するが、複数の半導体装置 10 に対して1つの押さえ板 100 を使用しているため、個々の半導体装置 10 に押さえ板を取り付ける場合に比べてねじ止め工程を簡略化することができる。

10

#### 【0111】

なお、半導体装置 10 に突起 101 を設け、押さえ板 100 に凹部を設けているが、逆に、半導体装置 10 に凹部を設け、押さえ板 100 に突起を設けるように構成してもよい。

20

#### 【0112】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【産業上の利用可能性】

#### 【0113】

本発明における半導体装置は、例えば、車載用のモータなどに使用するパワー半導体装置に幅広く利用することができる。また、本発明による半導体装置の製造方法は、半導体装置を製造する製造業に幅広く利用することができる。

30

#### 【図面の簡単な説明】

#### 【0114】

【図1】本発明の実施の形態 1 における 3 相モータの回路図を示す図である。

【図2】実施の形態 1 における半導体装置を外部表面側から見た斜視図である。

【図3】実施の形態 1 における半導体装置を外部裏面側から見た斜視図である。

【図4】実施の形態 1 における半導体装置の内部を示す平面図である。

【図5】図 4 の A - A 線で切断した断面を示す断面図である。

【図6】クリップの形状を平坦にした場合の問題点を示す図である。

【図7】実施の形態 1 におけるクリップの一部を示す拡大図である。

40

【図8】クリップと外部接続用エミッタ電極とを一体的に形成した場合の問題点を示す図である。

【図9】クリップと外部接続用エミッタ電極とを一体的に形成した場合の問題点を示す図である。

【図10】クリップと外部接続用エミッタ電極とを別々の構造体で形成した場合の利点を示す図である。

【図11】実施の形態 1 における半導体装置の内部を示す平面図である。

【図12】半導体チップの上面側の構成を示す平面図である。

【図13】半導体チップの裏面側の構成を示す平面図である。

【図14】半導体チップに形成されている回路の一例を示す回路図である。

50

- 【図15】半導体チップに形成されているIGBTを示す断面図である。
- 【図16】半導体チップの上面側の構成を示す平面図である。
- 【図17】半導体チップに形成されているダイオードを示す断面図である。
- 【図18】実施の形態1における半導体装置の内部を示す平面図である。
- 【図19】IGBTを形成した半導体チップの全体に電圧を印加したときの状態を示す平面図である。
- 【図20】(a)は本実施の形態1におけるリードフレーム材料を示す平面図であり、(b)はリードフレーム材料の側面図である。
- 【図21】(a)は本実施の形態1におけるリードフレームを示す平面図であり、(b)はリードフレームの側面図である。 10
- 【図22】検討例におけるリードフレーム材料を示す平面図である。
- 【図23】(a)は、実施の形態1における半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図24】(a)は、図23(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図25】(a)は、図24(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図26】(a)は、図25(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図27】(a)は、図26(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。 20
- 【図28】(a)は、図27(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図29】(a)は、図28(a)に続く半導体装置の製造工程を示す平面図であり、(b)は(a)の側面図である。
- 【図30】実施の形態1における半導体装置の製造工程を示す平面図である。
- 【図31】図30に続く半導体装置の製造工程を示す平面図である。
- 【図32】図31に続く半導体装置の製造工程を示す平面図である。
- 【図33】図32に続く半導体装置の製造工程を示す平面図である。
- 【図34】図33に続く半導体装置の製造工程を示す平面図である。 30
- 【図35】図34に続く半導体装置の製造工程を示す平面図である。
- 【図36】(a)は半導体装置の製造工程を示す平面図であり、(b)は(a)のA-A線における断面図である。
- 【図37】(a)は半導体装置の製造工程を示す平面図であり、(b)は(a)のA-A線における断面図である。
- 【図38】(a)は半導体装置の製造工程を示す平面図であり、(b)は(a)のA-A線における断面図である。
- 【図39】実施の形態1における半導体装置を実装基板に実装した断面図である。
- 【図40】半導体装置を実装基板に実装したレイアウト構成を示す平面図である。
- 【図41】半導体装置を実装基板に実装したレイアウト構成を示す平面図である。 40
- 【図42】半導体装置を実装基板に実装したレイアウト構成を示す平面図である。
- 【図43】実施の形態2における半導体装置の内部構成を示す平面図である。
- 【図44】図43のA-A線で切断した断面を示す断面図である。
- 【図45】実施の形態3における半導体装置の内部構成を示す平面図である。
- 【図46】実施の形態3の変形例における半導体装置の内部構成を示す平面図である。
- 【図47】実施の形態4において、半導体装置を実装基板に実装する状態を示す部分拡大図である。
- 【図48】実施の形態5における半導体装置の内部構成を示す平面図である。
- 【図49】図48のA-A線で切断した断面を示す断面図である。
- 【図50】クリップと外部接続用エミッタ電極との接合部を拡大した拡大図である。 50

【図 5 1】実施の形態 6 における半導体装置の内部構成を示す平面図である。

【図 5 2】図 5 1 の A - A 線で切断した断面を示す断面図である。

【図 5 3】クリップと半導体チップとの接合部を拡大した拡大図である。

【図 5 4】実施の形態 7 における半導体装置の内部構成を示す断面図である。

【図 5 5】実施の形態 8 における半導体装置を実装基板に実装した断面図である。

【図 5 6】図 5 5 の A - A 線で切断した断面を示す断面図である。

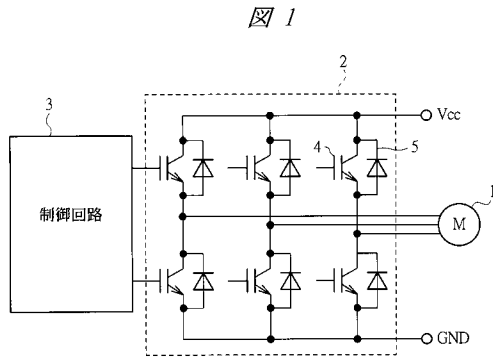
【符号の説明】

【 0 1 1 5 】

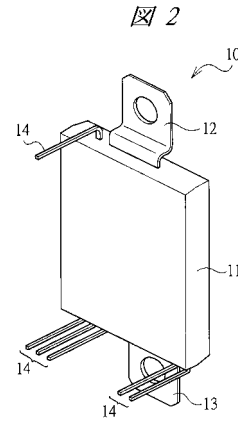
1	3 相モータ	
2	パワー半導体装置	10
3	制御回路	
4	I G B T	
5	ダイオード	
1 0	半導体装置	
1 1	樹脂	
1 1 a	ダイパッド	
1 2	外部接続用コレクタ電極	
1 2 a	ねじ止め用開口部	
1 3	外部接続用エミッタ電極	
1 3 a	ねじ止め用開口部	20
1 4	信号電極	
1 5	半導体チップ	
1 6	半導体チップ	
1 7	半田	
1 8	半田	
2 0	クリップ	
2 1	温度検知用電極	
2 2	温度検知用電極	
2 3	外部接続用ゲート電極	
2 4	ケルビン検知用電極	30
2 5	電流検知用電極	
2 6	ケルビン検知用電極	
2 7	半田	
2 8	ワイヤ	
2 9	下金型	
3 0	上金型	
4 0	エミッタ電極	
4 1	ボンディングパッド	
4 1 a	カソード	
4 2	ボンディングパッド	40
4 2 a	アノード電極	
4 3	ボンディングパッド	
4 3 a	ゲート電極	
4 4	ボンディングパッド	
4 4 a	コモンエミッタ電極	
4 5	ボンディングパッド	
4 5 a	センスエミッタ電極	
4 6	コレクタ電極	
5 0	I G B T	
5 1	検知用 I G B T	50

5 2	温度検知用ダイオード	
5 4	p <sup>+</sup> 型半導体領域	
5 5	n <sup>+</sup> 型半導体領域	
5 6	n <sup>-</sup> 型半導体領域	
5 7	p型半導体領域	
5 8	n <sup>+</sup> 型半導体領域	
5 9	トレンチ溝	
6 0	ゲート絶縁膜	
6 1	n <sup>+</sup> 型半導体領域	
6 2	アノード電極	10
6 3	カソード	
6 4	n <sup>+</sup> 型半導体領域	
6 5	n <sup>-</sup> 型半導体領域	
6 6	p型半導体領域	
6 7	p <sup>-</sup> 型半導体領域	
6 8	領域	
7 0	リードフレーム材料	
7 1	厚板領域	
7 2	薄板領域	
7 3	薄板領域	20
7 4	リードフレーム	
7 5	リード	
7 6	ダイパッド領域	
7 7	厚板領域	
7 8	薄板領域	
8 0	金型	
8 0 a	ゲート	
8 5	筐体	
8 6	絶縁層	
8 7	配線基板	30
8 8	ねじ	
8 9	ヒートシンク	
9 0	信号処理基板	
9 1	クリップ	
9 2	実装基板	
9 3	ねじ	
9 4	U字部	
9 5	突起	
9 6	孔	
9 7	突起	40
9 8	クリップ	
9 9	実装基板	
1 0 0	押さえ板	
1 0 1	突起	
1 0 2	ねじ	
1 0 3	ねじ	

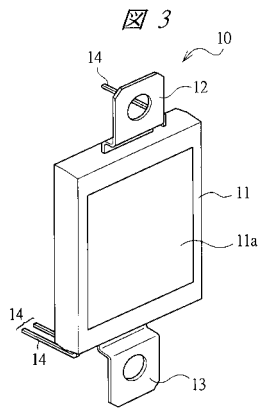
【図1】



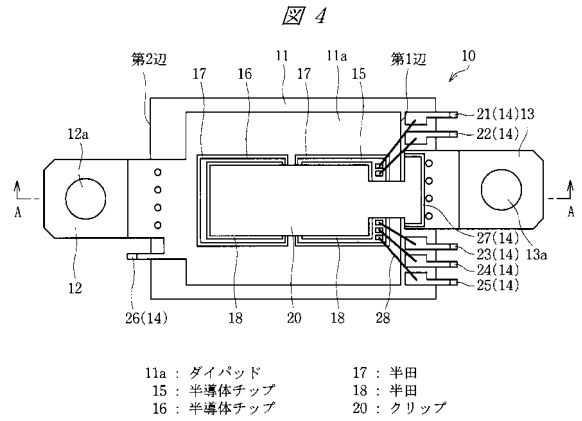
【図2】



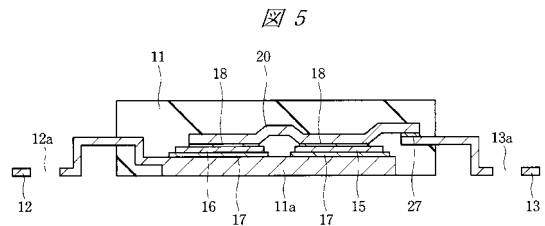
【図3】



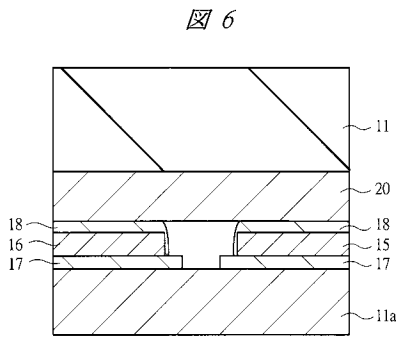
【図4】



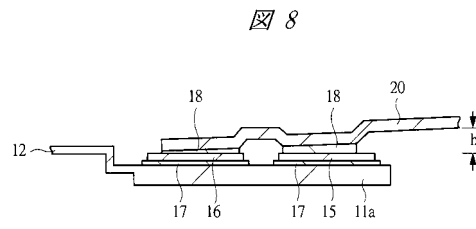
【図5】



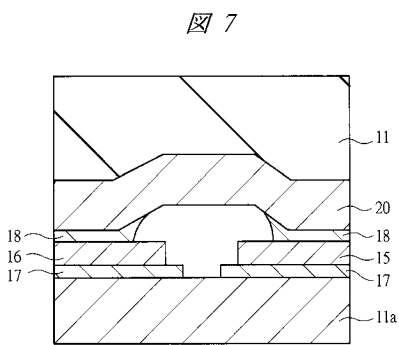
【図6】



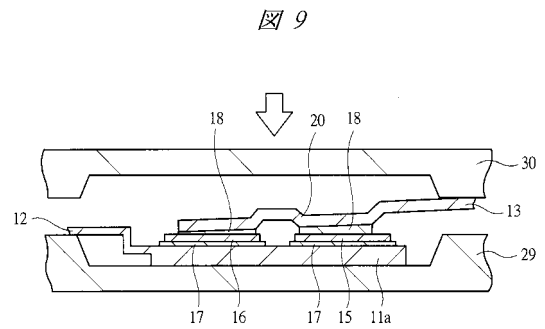
【図8】



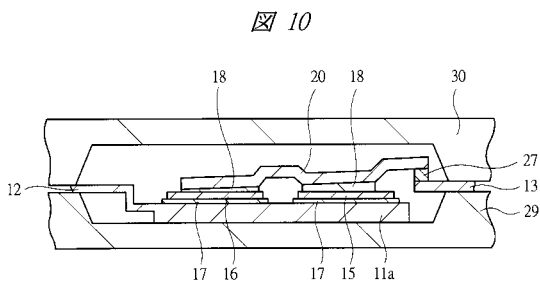
【図7】



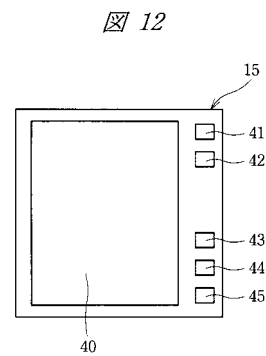
【図9】



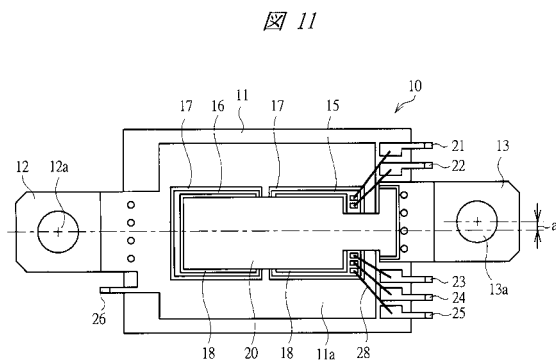
【図10】



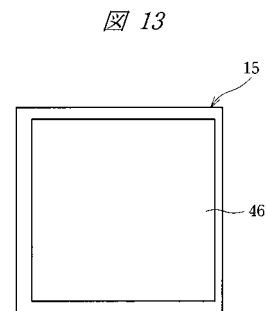
【図12】



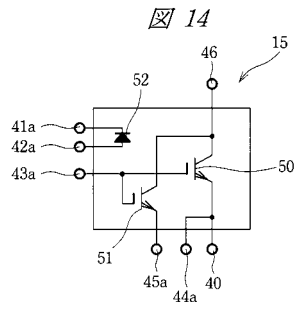
【図11】



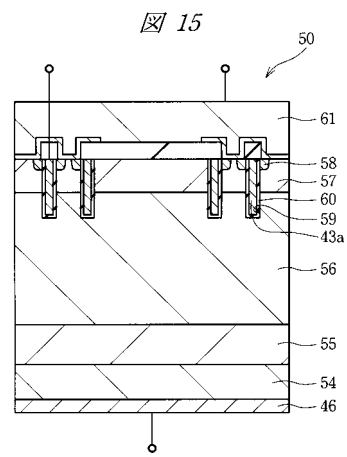
【図13】



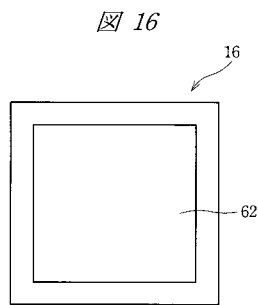
【 図 1 4 】



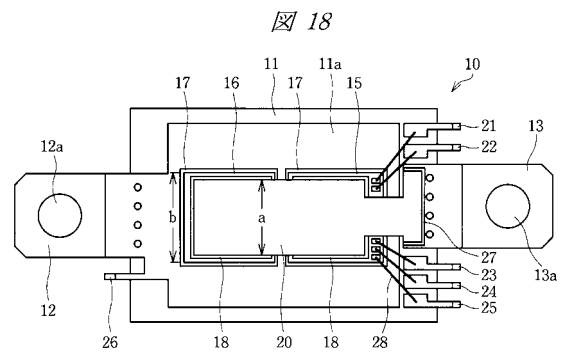
【 図 1 5 】



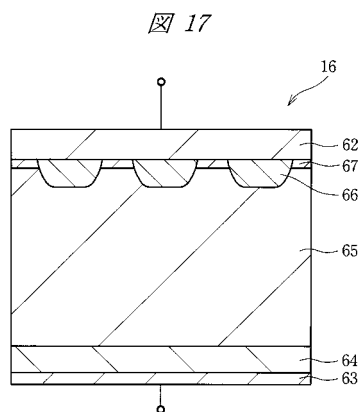
【 図 1 6 】



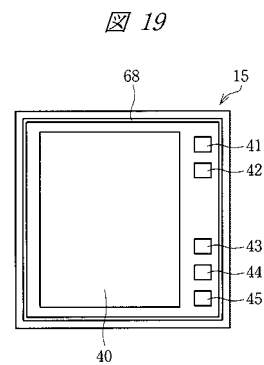
【 図 1 8 】



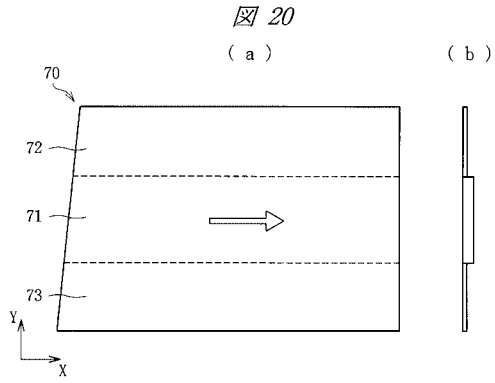
【 図 1 7 】



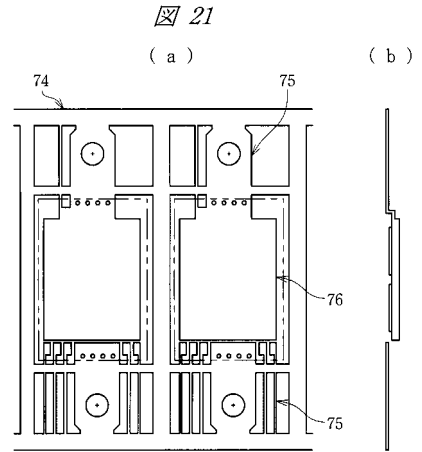
【 図 1 9 】



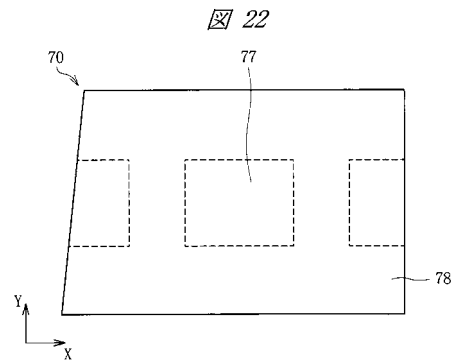
【図 20】



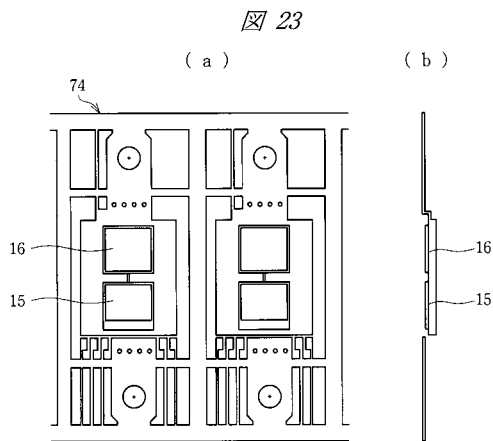
【図 21】



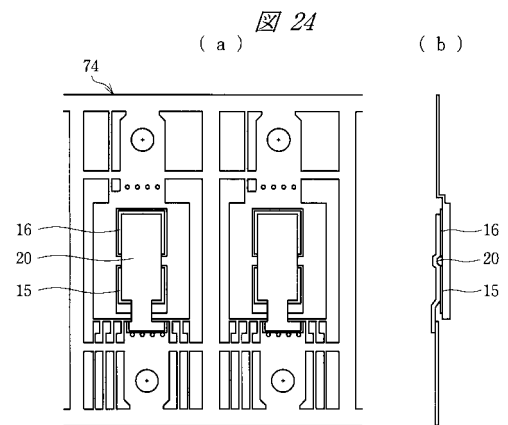
【図 22】



【図 23】

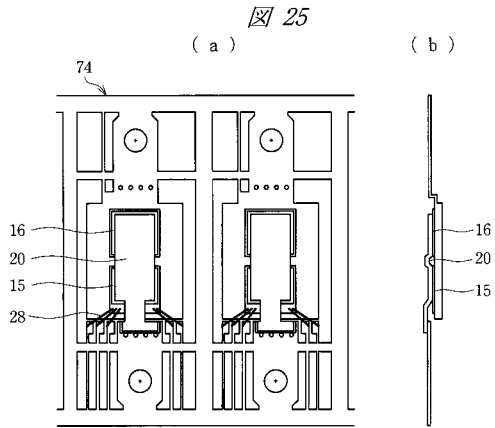


【図 24】

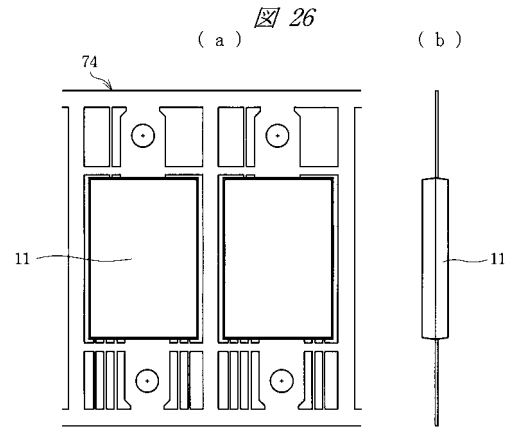




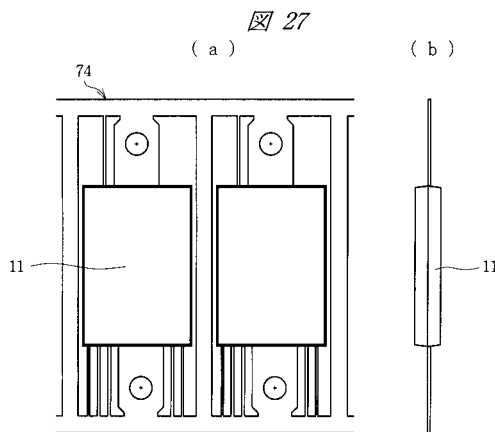
【図 25】



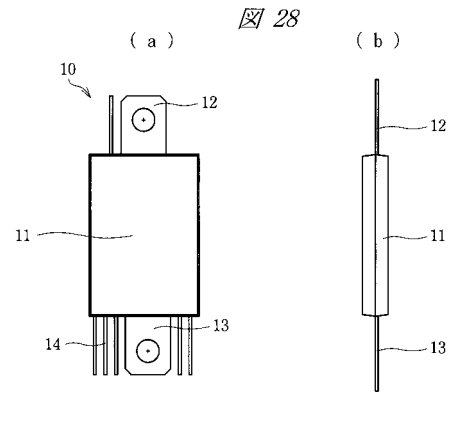
【図 26】



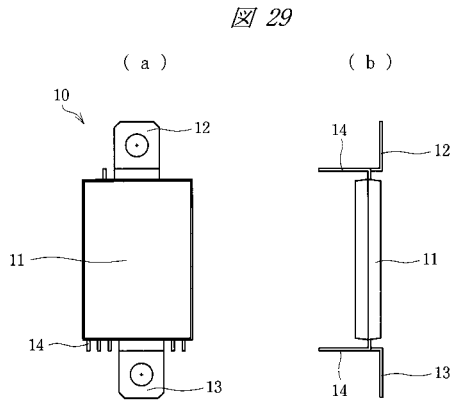
【図 27】



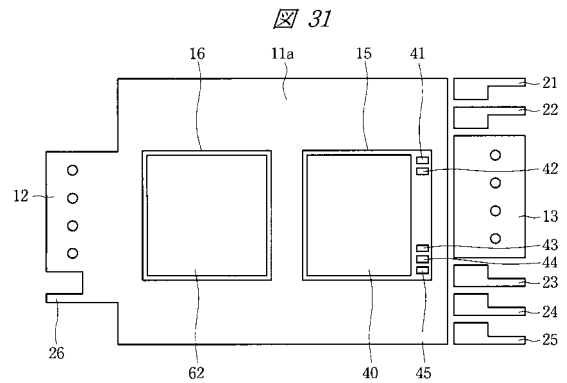
【図 28】



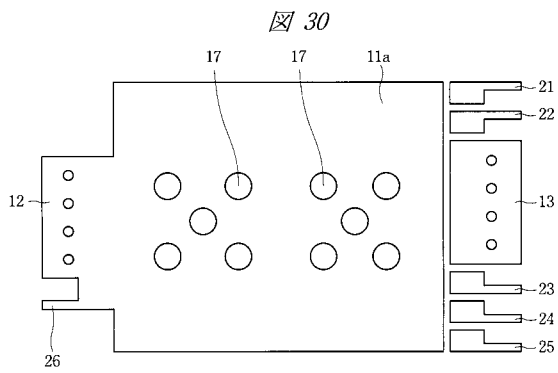
【図 29】



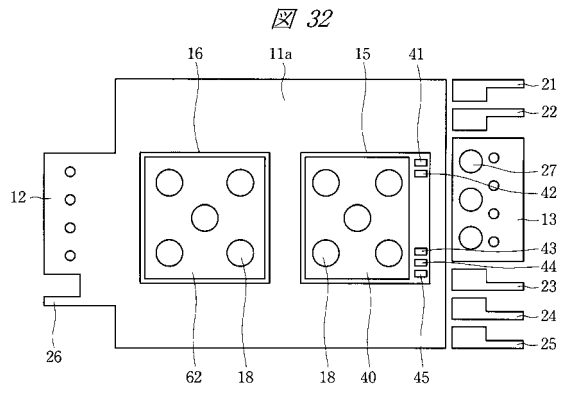
【図 31】



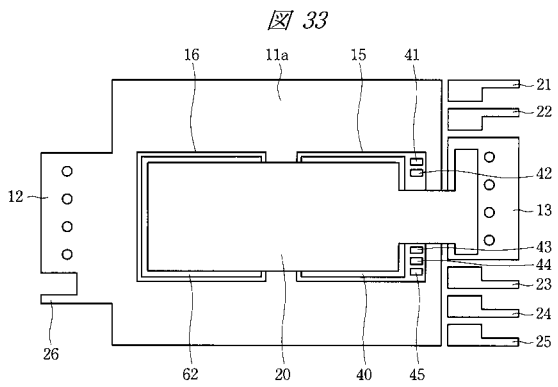
【図 30】



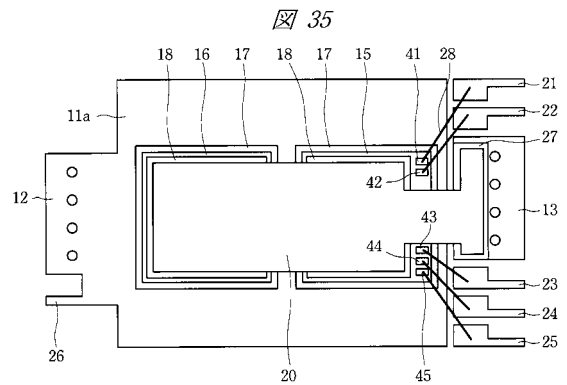
【図 32】



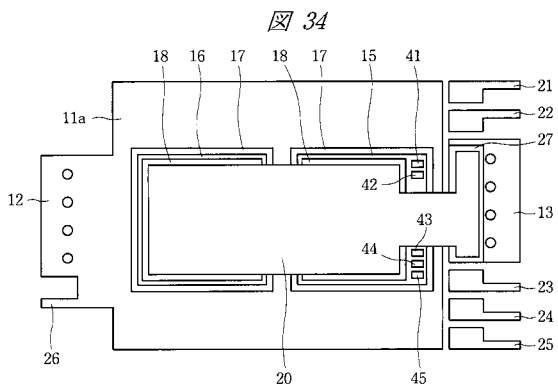
【図 33】



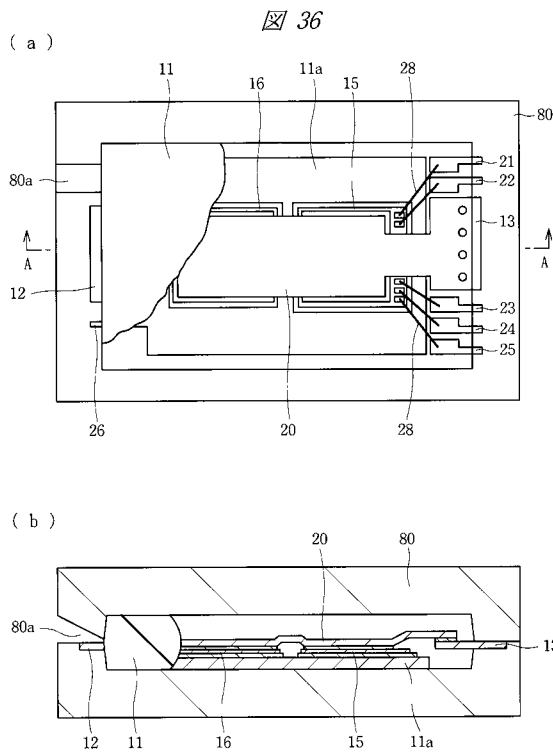
【図 35】



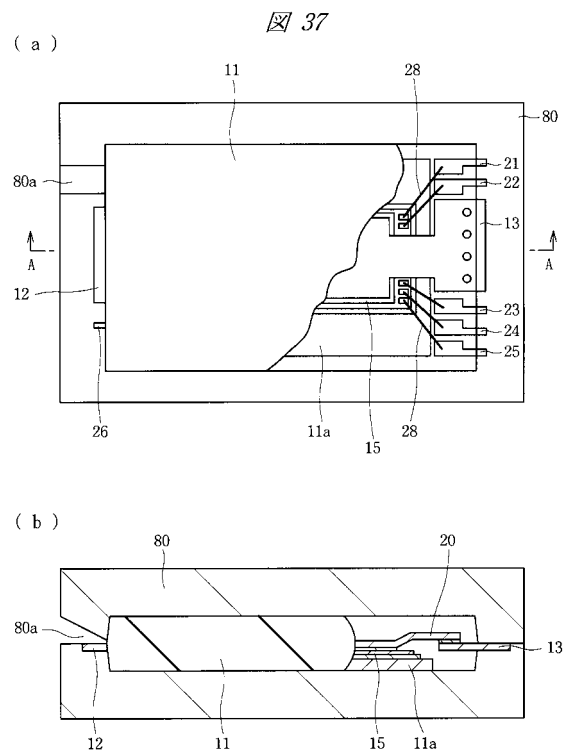
【図 34】



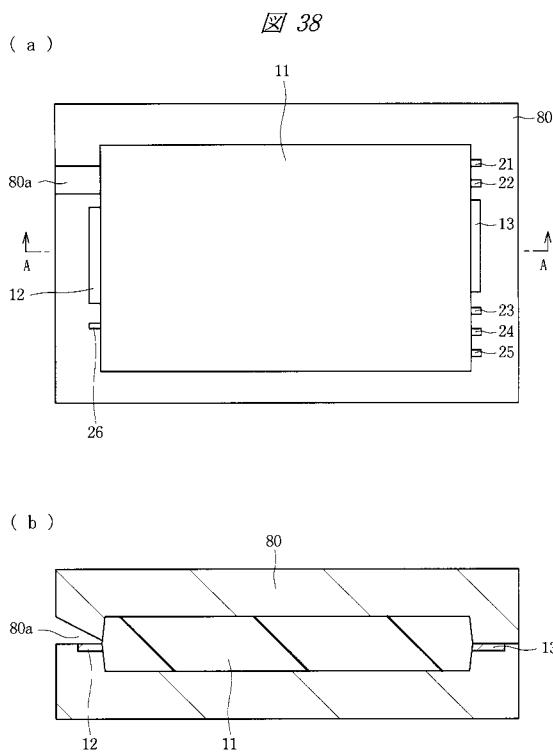
【図36】



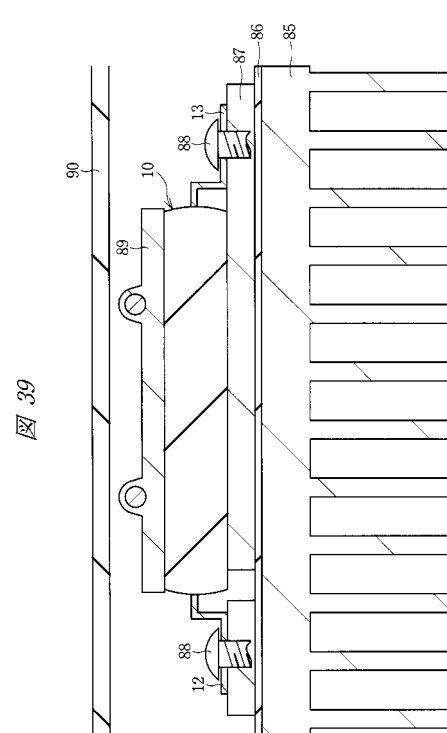
【図37】



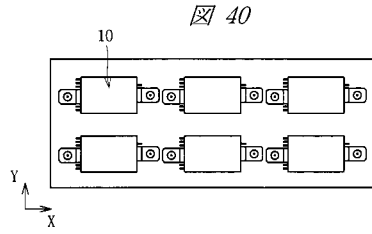
【図38】



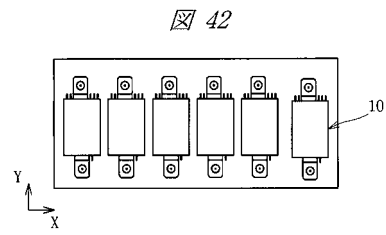
【図39】



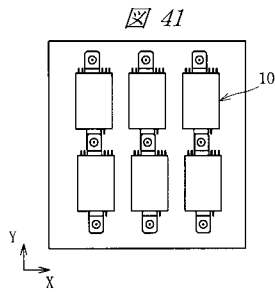
【図40】



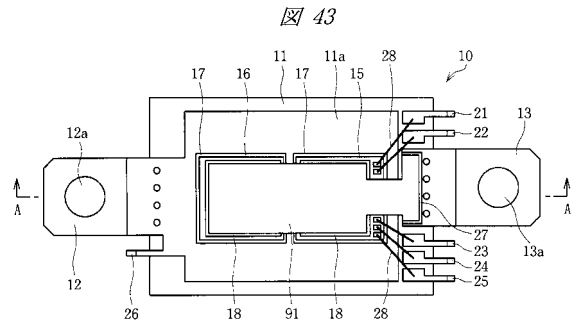
【図42】



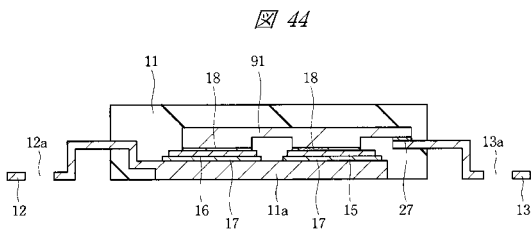
【図41】



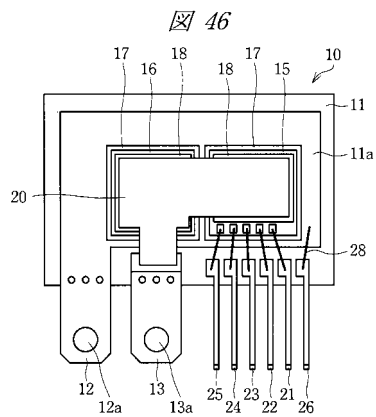
【図43】



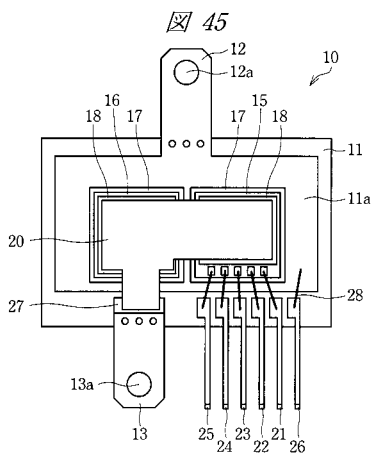
【図44】



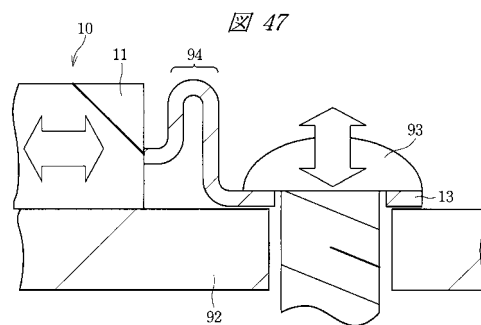
【図46】



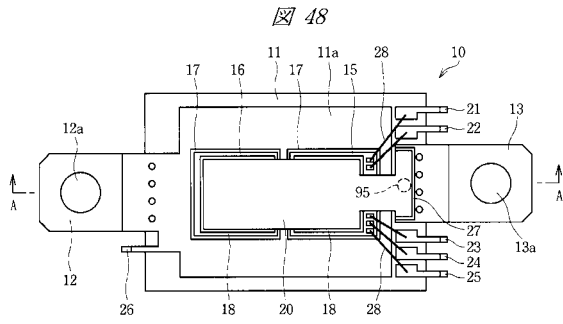
【図45】



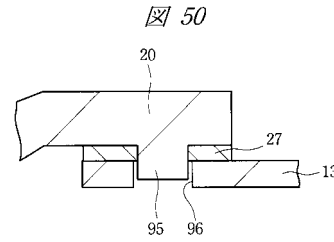
【図47】



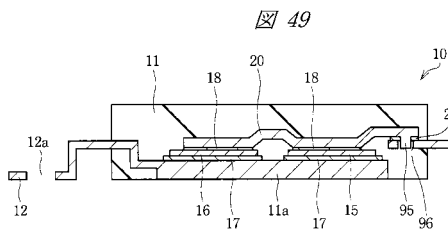
【図48】



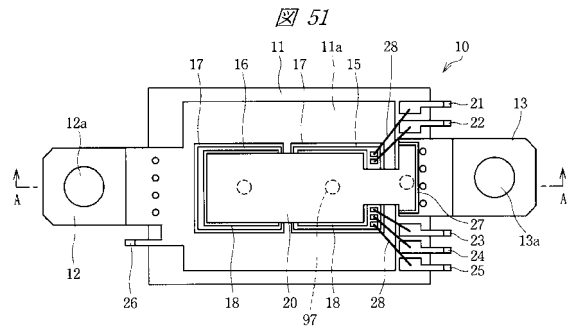
【図50】



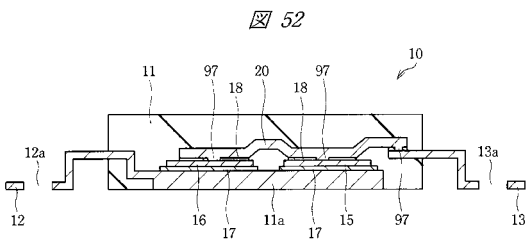
【図49】



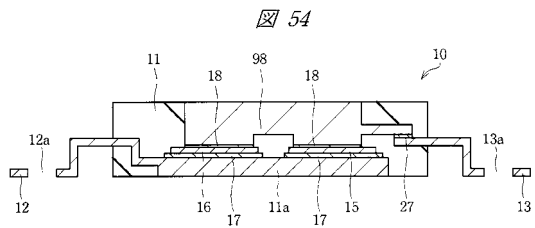
【図51】



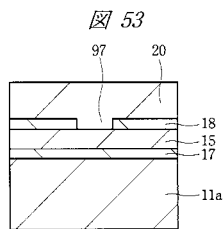
【図52】



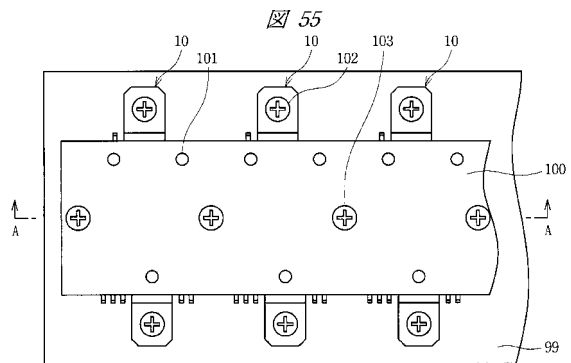
【図54】



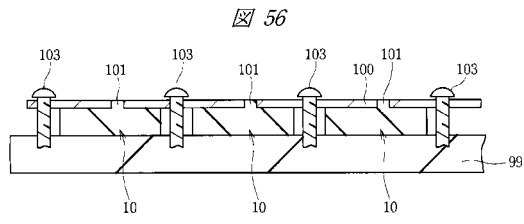
【図53】



【図55】



【 図 5 6 】



---

フロントページの続き

- (72)発明者 波多 俊幸  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 石坂 勝男  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 石野 忠志

- (56)参考文献 特開2001-156219(JP,A)  
特開2002-033445(JP,A)  
特開2003-243608(JP,A)  
特開2005-236108(JP,A)  
特開2004-221519(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |       |
|------|-------|
| H01L | 25/07 |
| H01L | 25/18 |