

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7122898号
(P7122898)

(45)発行日 令和4年8月22日(2022.8.22)

(24)登録日 令和4年8月12日(2022.8.12)

(51)国際特許分類 F I
H 0 2 M 3/155(2006.01) H 0 2 M 3/155 E
H 0 2 M 3/155 H

請求項の数 9 (全37頁)

(21)出願番号	特願2018-138570(P2018-138570)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町 2 1 番地
(22)出願日	平成30年7月24日(2018.7.24)	(74)代理人	110001933 特許業務法人 佐野特許事務所
(65)公開番号	特開2020-18059(P2020-18059A)	(72)発明者	柏木 淳一 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
(43)公開日	令和2年1月30日(2020.1.30)	(72)発明者	森山 洋平 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
審査請求日	令和3年6月16日(2021.6.16)	(72)発明者	山口 敦司 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
		審査官	佐藤 匡

最終頁に続く

(54)【発明の名称】 スイッチング電源回路

(57)【特許請求の範囲】

【請求項 1】

出力スイッチを駆動して入力電圧から出力電圧を生成するスイッチ出力部と、
前記出力電圧に応じた第 1 電圧と所定の第 2 電圧とを比較して前記出力スイッチのデュー
ティ制御を行うコンパレータと、
前記第 1 電圧または前記第 2 電圧に変動信号を重畳するスペクトラム拡散部と、
前記第 1 電圧にリップル信号を注入するリップル注入部と、
を有し、
前記変動信号に起因するリップル成分の傾きを θ とし、前記変動信号以外に起因するリ
ップル成分の傾きを θ_0 として、定常時に $\theta > \theta_0$ を満たす、スイッチング電源回路。

10

【請求項 2】

出力スイッチを駆動して入力電圧から出力電圧を生成するスイッチ出力部と、
前記出力電圧に応じた第 1 電圧と所定の第 2 電圧とを比較して前記出力スイッチのデュー
ティ制御を行うコンパレータと、
前記第 1 電圧または前記第 2 電圧に変動信号を重畳するスペクトラム拡散部と、
前記第 1 電圧にリップル信号を注入するリップル注入部と、
を有し、
前記変動信号に起因するリップル成分の傾きを θ とし、前記変動信号以外に起因するリ
ップル成分の傾きを θ_0 として、定常時に $\theta > 1.0 \times \theta_0$ を満たす、スイッ
チング電源回路。

20

【請求項 3】

前記第 1 電圧の変動幅を V_- とし、前記第 2 電圧のヒステリシス幅を V_+ とし、定常時に $|V_-| > |V_+|$ を満たす、請求項 1 又は 2 に記載のスイッチング電源回路。

【請求項 4】

前記出力電圧に起因するリップル成分の傾きを α とし、前記出力電圧以外に起因するリップル成分の傾きを β とし、負荷変動時に $|\alpha| > |\beta|$ を満たす、請求項 1 ~ 3 のいずれか一項に記載のスイッチング電源回路。

【請求項 5】

前記第 1 電圧の変動幅を V_- とし、前記第 2 電圧のヒステリシス幅を V_+ とし、負荷変動時に $|V_-| < |V_+|$ を満たす、請求項 1 ~ 4 のいずれか一項に記載のスイッチング電源回路。

10

【請求項 6】

前記スペクトラム拡散部は、前記変動信号として乱数信号を生成する乱数信号生成回路を含む、請求項 1 ~ 5 のいずれか一項に記載のスイッチング電源回路。

【請求項 7】

前記乱数信号生成回路は、
 入力信号の初期値を設定する初期値設定部と、
 前記入力信号に所定の乗算処理を施して乗算信号を算出する乗算部と、
 前記乗算信号に所定の条件判定処理を施して前記入力信号を更新する条件判定部と、
 を含み、
 前記乗算処理と前記条件判定処理を繰り返すことにより順次算出される前記乗算信号、
 または、前記乗算信号の一部、若しくは、前記乗算信号に所定の演算処理を施したものを
 前記乱数信号として出力する、請求項 6 に記載のスイッチング電源回路。

20

【請求項 8】

前記リップル注入部は、前記スイッチ出力部で生成されるスイッチング電圧を積分して第 1 のリップル成分を生成する第 1 積分回路と、前記コンパレータで生成される比較結果信号を積分して第 2 のリップル成分を生成する第 2 積分回路と、を含む、請求項 1 ~ 7 のいずれか一項に記載のスイッチング電源回路。

【請求項 9】

前記スイッチ出力部は、降圧型または昇圧型である、請求項 1 ~ 8 のいずれか一項に記載のスイッチング電源回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている発明は、スイッチング電源回路に関する。

【背景技術】

【0002】

従来、入力電圧を降圧又は昇圧して所望の出力電圧を生成するスイッチング電源回路が種々のアプリケーションで利用されている。

40

【0003】

なお、上記に関連する従来技術の一例としては、特許文献 1 や特許文献 2 を挙げる事ができる。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2014 - 204547 号公報
 特開 2010 - 252627 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

しかしながら、従来のスイッチング電源回路では、スペクトラム拡散機能と高速応答性の両立について十分な検討がなされていなかった。

【 0 0 0 6 】

本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、スペクトラム拡散機能と高速応答性を両立することのできるスイッチング電源回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本明細書中に開示されているスイッチング電源回路は、出力スイッチを駆動して入力電圧から出力電圧を生成するスイッチ出力部と、前記出力電圧に応じた第1電圧と所定の第2電圧とを比較して前記出力スイッチのデューティ制御を行うコンパレータと、前記第1電圧または前記第2電圧に変動信号を重畳するスペクトラム拡散部と、前記第1電圧にリップル信号を注入するリップル注入部とを有する構成(第1の構成)とされている。

10

【 0 0 0 8 】

なお、第1の構成から成るスイッチング電源回路は、前記第1電圧の変動幅を V_- とし、前記第2電圧のヒステリシス幅を V_+ とし、定常時に $|V_-| > |V_+|$ を満たす構成(第2の構成)にするとよい。

【 0 0 0 9 】

また、第1又は第2の構成から成るスイッチング電源回路は、前記変動信号に起因するリップル成分の傾きを α とし、前記変動信号以外に起因するリップル成分の傾きを β とし、定常時に $|\alpha| > |\beta|$ を満たす構成(第3の構成)にするとよい。

20

【 0 0 1 0 】

また、第1又は第2の構成から成るスイッチング電源回路は、前記変動信号に起因するリップル成分の傾きを α とし、前記変動信号以外に起因するリップル成分の傾きを β とし、定常時に $|\alpha| > |\beta|$ を満たす構成(第4の構成)にしてもよい。

【 0 0 1 1 】

また、上記第1～第4いずれかの構成から成るスイッチング電源回路は、前記出力電圧に起因するリップル成分の傾きを α とし、前記出力電圧以外に起因するリップル成分の傾きを β とし、負荷変動時に $|\alpha| > |\beta|$ を満たす構成(第5の構成)にするとよい。

30

【 0 0 1 2 】

また、上記第1～第5いずれかの構成から成るスイッチング電源回路は、前記第1電圧の変動幅を V_- とし、前記第2電圧のヒステリシス幅を V_+ とし、負荷変動時には $|V_-| < |V_+|$ を満たす構成(第6の構成)にするとよい。

【 0 0 1 3 】

また、上記第1～第6いずれかの構成から成るスイッチング電源回路において、前記スペクトラム拡散部は、前記変動信号として乱数信号を生成する乱数信号生成回路を含む構成(第7の構成)にするとよい。

【 0 0 1 4 】

また、上記第7の構成から成るスイッチング電源回路において、前記乱数信号生成回路は、入力信号の初期値を設定する初期値設定部と、前記入力信号に所定の乗算処理を施して乗算信号を算出する乗算部と、前記乗算信号に所定の条件判定処理を施して前記入力信号を更新する条件判定部と、を含み、前記乗算処理と前記条件判定処理を繰り返すことにより順次算出される前記乗算信号、または、前記乗算信号の一部、若しくは、前記乗算信号に所定の演算処理を施したものを前記乱数信号として出力する構成(第8の構成)にするとよい。

40

【 0 0 1 5 】

また、第1～第8いずれかの構成から成るスイッチング電源回路において、前記リップル注入部は、前記スイッチ出力部で生成されるスイッチング電圧を積分して第1のリップル成分を生成する第1積分回路と、前記コンパレータで生成される比較結果信号を積分し

50

て第 2 のリップル成分を生成する第 2 積分回路を含む構成（第 9 の構成）にするとよい。

【 0 0 1 6 】

また、上記第 1 ~ 第 9 いずれかの構成から成るスイッチング電源回路において、前記スイッチ出力部は、降圧型または昇圧型である構成（第 1 0 の構成）にするとよい。

【 0 0 1 7 】

また、本明細書中に開示されているスイッチング電源回路は、出力スイッチを駆動して入力電圧から出力電圧を生成し負荷に供給するスイッチング電源回路であり、前記出力電圧の変動幅が定常時の変動幅よりも増加した場合、前記負荷に流れる電流が増加する負荷変動時には前記負荷に並列に接続されたキャパシタに電流が流れるように又は前記負荷に流れる電流が減少する負荷変動時には前記負荷に並列に接続されたキャパシタに電流が流れないように、前記出力スイッチを導通状態または遮断状態で所定の時間（定常時のスイッチング期間の 2 倍以上の期間）に亘って停止する構成（第 1 1 の構成）とされている。

10

【発明の効果】

【 0 0 1 8 】

本明細書中に開示されている発明によれば、スペクトラム拡散機能と高速応答性を両立することができるスイッチング電源回路を提供することが可能となる。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】第 1 実施形態に係る昇圧型スイッチング電源回路を概略的に示した図

【図 2】第 2 実施形態に係る昇圧型スイッチング電源回路を概略的に示した図

20

【図 3】コンパレータの反転入力端子の電圧波形を示すタイムチャート

【図 4】コンパレータの反転入力端子の電圧波形を示すタイムチャート

【図 5】コンパレータの非反転入力端子の電圧波形を示すタイムチャート

【図 6】コンパレータの反転入力端子の電圧波形を示すタイムチャート

【図 7】コンパレータの非反転入力端子の電圧波形を示すタイムチャート

【図 8】コンパレータの反転入力端子の電圧波形を示すタイムチャート

【図 9】コンパレータの非反転入力端子の電圧波形を示すタイムチャート

【図 1 0】コンパレータの反転入力端子の電圧波形を示すタイムチャート

【図 1 1】コンパレータの非反転入力端子の電圧波形を示すタイムチャート

【図 1 2】昇圧型スイッチング電源回路を搭載した電子機器の一例を示す外観図

30

【図 1 3】昇圧型スイッチング電源回路の変形例を示した図

【図 1 4】昇圧型スイッチング電源回路の他の変形例を示した図

【図 1 5】昇圧型スイッチング電源回路の更に他の変形例を示した図

【図 1 6】リップル制御方式のスイッチング電源回路を概略的に示した図

【図 1 7】図 1 6 のスイッチング電源回路の各部の電圧波形を示すタイムチャート

【図 1 8】図 1 6 のスイッチング電源回路と同様のリップル制御方式を昇圧型スイッチング電源回路に適用した場合の概略構成を示した図

【図 1 9】降圧型スイッチング電源回路の第 1 比較例を示す図

【図 2 0】第 1 比較例におけるゲート・ソース間電圧のスペクトラム強度を示す図

【図 2 1】第 1 比較例における課題を示す図

40

【図 2 2】第 1 比較例における別の課題を示す図

【図 2 3】降圧型スイッチング電源回路の第 2 比較例を示す図

【図 2 4】第 2 比較例における課題を示す図

【図 2 5】第 2 比較例における一定周波数での電圧 V_+ 及び V_- を示す図

【図 2 6】第 3 実施形態に係る降圧型スイッチング電源回路を概略的に示した図

【図 2 7】第 3 実施形態における定常時の出力電圧波形を示す図

【図 2 8】第 3 実施形態における負荷変動時の出力波形を示す図

【図 2 9】第 3 実施形態におけるゲート・ソース間電圧のスペクトラム強度を示す図

【図 3 0】第 3 実施形態における一定周波数での電圧 V_+ 及び V_- を示す図

【図 3 1】定常時における電圧 V_- の導出方法（降圧型）を説明するための図

50

- 【図32】負荷変動時における電圧 V_{-} の導出方法を説明するための図
- 【図33】負荷変動時における V_{gs} , I_L , V_{+} , V_{-} の挙動を示す図
- 【図34】スペクトラム拡散機能が有効となる条件を示す図
- 【図35】図1の昇圧型スイッチング電源回路にスペクトラム拡散部を導入した図
- 【図36】図2の昇圧型スイッチング電源回路にスペクトラム拡散部を導入した図
- 【図37】図15の昇圧型スイッチング電源回路にスペクトラム拡散部を導入した図
- 【図38】定常時における電圧 V_{-} の導出方法(昇圧型)を説明するための図
- 【図39】乱数生成方法の一例を示すフローチャート
- 【図40】乱数信号生成回路の一構成例を示す図

【発明を実施するための形態】

【0020】

<リップル制御方式>

図16は、リップル制御方式(=ヒステリシス制御方式+リップルインジェクション機能)のスイッチング電源回路21(=後出の第1実施形態や第2実施形態と対比される比較例に相当)を概略的に示した図である。スイッチング電源回路21は、降圧型スイッチング電源回路であって、電圧生成回路DW1と、帰還電圧生成回路1と、比較回路2と、ゲートドライバ3と、抵抗 R_r と、キャパシタ C_r とを備えている。また、スイッチング電源回路21には、直流電源4及び負荷5が接続されている。

【0021】

電圧生成回路DW1は、入力端子T1と、キャパシタC1と、スイッチ素子Q1と、ダイオードD1と、インダクタL1と、キャパシタC2と、出力端子T2とを備えている。電圧生成回路DW1は、直流電源4から供給される入力電圧 V_{in} をキャパシタC1にて平滑化し、キャパシタC1によって平滑化された電圧からスイッチ素子Q1のオンオフに基づいてインダクタL1にて発生した電圧をキャパシタC2にて平滑化し、これを出力電圧 V_{out} として出力端子T2から出力する降圧コンバータとしての機能を有する。ここで、インダクタL1とスイッチ素子Q1のソース端子Sとの接続点のノードをノードN1と称し、スイッチ素子Q1のオンオフによって遷移するノードN1の電圧をスイッチング電圧 V_{n1} と称する。ダイオードD1は、アノードが接地されており、カソードがノードN1に接続されている。

【0022】

抵抗 R_r 及びキャパシタ C_r は、ノードN1から供給されるスイッチング電圧 V_{n1} を積分してリップル電圧 V_{S1} を生成する。ここで、抵抗 R_r とキャパシタ C_r との接続点のノードをノードN2と称する。なお、リップル電圧 V_{S1} は、スイッチ素子Q1のオンオフによって、例えば0V~12Vで遷移するスイッチング電圧 V_{n1} を積分して生成されるため、この遷移に応じたリップル成分を備えたものとなる。

【0023】

帰還電圧生成回路1は、分圧抵抗 R_1 及び R_2 を備えており、出力電圧 V_{out} を分圧して帰還電圧 V_{fb} を生成する。ここで、分圧抵抗 R_1 と分圧抵抗 R_2 との接続点のノードをノードN3と称する。ノードN3とノードN2とは接続されている。このため、ノードN3の帰還電圧 V_{fb} は、出力電圧 V_{out} を分圧抵抗 R_1 と分圧抵抗 R_2 とで分圧した電圧とリップル電圧 V_{S1} との加算値となり、リップル電圧 V_{S1} のリップル成分を備えたものとなる。

【0024】

比較回路2は、コンパレータ2aと、基準電圧源2bと、ヒステリシス回路2cと、定電圧源2dと、を備えている。コンパレータ2aの反転入力端子は、ノードN3と接続されて帰還電圧生成回路1から帰還電圧 V_{fb} の供給を受ける。コンパレータ2aの非反転入力端子は、基準電圧源2bから、ヒステリシス回路2cによって決まる基準電圧 V_{ref1} の供給を受ける。

【0025】

コンパレータ2aは、反転入力端子に入力された電圧 V_{-} (=帰還電圧 V_{fb})と非反

10

20

30

40

50

転入力端子に入力された電圧 V_+ (= 基準電圧 V_{ref1}) とを比較し、比較結果として比較結果信号 V_{cm} を出力する。コンパレータ 2 a は、電圧 V_- が電圧 V_+ よりも高くなった場合には比較結果として例えば 0 V でローレベルの比較結果信号 V_{cm} を自己の動作時間分の遅延をもって出力し、電圧 V_- が電圧 V_+ よりも低くなった場合には比較結果として例えば 5 V でハイレベルの比較結果信号 V_{cm} を自己の動作時間分の遅延をもって出力する。

【0026】

なお、ヒステリシス回路 2 c は、抵抗 R_3 及び R_4 を備えている。抵抗 R_3 は、一端がコンパレータ 2 a の出力端子に接続され、他端がコンパレータ 2 a の非反転入力端子に接続されている。抵抗 R_4 は、一端が抵抗 R_3 の他端とコンパレータ 2 a の非反転入力端子に接続されており、他端が基準電圧源 2 b に接続されている。ヒステリシス回路 2 c は、基準電圧源 2 b から供給される電圧から抵抗 R_4 と抵抗 R_3 との抵抗比によって決まる基準電圧 V_{ref1} を生成してコンパレータ 2 a の非反転端子に供給するいわゆるヒステリシス特性を備えている。

【0027】

定電圧源 2 d から出力される定電圧はコンパレータ 2 a の駆動電圧として用いられる。

【0028】

ゲートドライバ 3 は、比較回路 2 から比較結果信号 V_{com} の供給を受け、比較結果信号 V_{com} の電圧レベルに応じて異なる電圧レベルを備えた制御信号 V_{G1} をスイッチ素子 Q_1 のゲート端子 G に供給する。ゲートドライバ 3 は、比較結果信号 V_{com} がハイレベルであった場合には、例えば 17 [V] でハイレベルの制御信号 V_{G1} をスイッチ素子 Q_1 のゲート端子 G に供給し、比較結果信号 V_{com} がローレベルであった場合には、例えば 0 [V] でローレベルの制御信号 V_{G1} をスイッチ素子 Q_1 のゲート端子 G に供給することでスイッチ素子 Q_1 のオンオフを制御する。これにより、スイッチング電圧 V_{n1} は、例えば 0 V ~ 12 V の間で遷移する。

【0029】

図 17 は、図 16 に示したスイッチング電源回路 21 の時間変化における各部の信号波形を示した図である。図 17 (a) は、電圧 V_- の信号波形と電圧 V_+ との関係を示した図である。図 17 (b) は、比較結果信号 V_{com} の信号波形を示した図である。図 17 (c) は、電圧 V_{n1} の遷移を示した図である。なお、図 17 (a) ~ 図 17 (c) はそれぞれ縦軸が電圧レベル V 、横軸が時間 t であり、時刻 t_{10} ~ t_{17} は図 17 (a) ~ 図 17 (c) の共通の時刻として示している。

【0030】

時刻 t_{10} では、例えば 3 V の電圧 V_- が、例えば 2 V の電圧 V_+ よりも高いため、比較回路 2 からローレベルの比較結果信号 V_{com} が出力されている。また、比較結果信号 V_{com} がローレベルのため、ゲートドライバ 3 によって制御されるスイッチ素子 Q_1 はオフ状態となっており、スイッチング電圧 V_{n1} は接地電位からダイオード D_1 による電圧降下分低い電圧レベルとなっている。ここで、図 17 (c) においては、作図の都合上、スイッチング電圧 V_{n1} が 0 V よりも低い場合においては 0 V として示している。

【0031】

時刻 t_{11} で、電圧 V_- が電圧 V_+ 以下になると、比較回路 2 の動作時間分遅れた時刻 t_{12} でハイレベルの比較結果信号 V_{com} が比較回路 2 から出力され、ゲートドライバ 3 に供給される。ここで、ゲートドライバ 3 は比較回路 2 に比べて動作速度が遅いことから、スイッチ素子 Q_1 がオンされるタイミングが時刻 t_{13} まで遅れる。このため、スイッチング電圧 V_{n1} に基づく電圧 V_- は、時刻 t_{12} から時刻 t_{13} の期間 A_1 、すなわち、比較結果信号 V_{com} がハイレベルとなった後、スイッチ素子 Q_1 がオンするまでの間、例えば 1 V まで低下し続けることとなる。

【0032】

時刻 t_{13} で、ゲートドライバ 3 の動作時間分遅れてハイレベルの制御信号 V_{G1} がゲートドライバ 3 からスイッチ素子 Q_1 のゲート端子 G に供給されると、スイッチ素子 Q_1

10

20

30

40

50

がオンする。これにより、入力電圧 V_{in} が直流電源 4 からスイッチ素子 Q_1 を介してノード N_1 に供給されてスイッチング電圧 V_{n1} が上昇し、これに伴い出力電圧 V_{out} が上昇する。また、出力電圧 V_{out} の上昇に伴って電圧 V_- が上昇する。ここで、スイッチング電圧 V_{n1} は、例えば $12V$ まで上昇する。このとき、電圧 V_- の電位は、期間 A_1 で低下し続けた分だけ、再び電圧 V_+ を超えるまでに時間を要することとなる。

【0033】

時刻 t_{14} で、電圧 V_- が電圧 V_+ を超えると、比較回路 2 の動作時間分遅れた時刻 t_{15} でローレベルの比較結果信号 V_{com} が比較回路 2 から出力され、ゲートドライバ 3 に供給される。ここで、ゲートドライバ 3 は比較回路 2 に比べて動作速度が遅いことからスイッチ素子 Q_1 がオフされるタイミングが時刻 t_{16} まで遅れる。このため、ノード N_1 の電位に基づく電圧 V_- の電位は、時刻 t_{15} から時刻 t_{16} までの期間 B_1 、すなわち、比較結果信号 V_{com} がローレベルとなった後、スイッチ素子 Q_1 がオフするまでの間、例えば $3V$ まで上昇し続けることとなる。このとき、電圧 V_- は、リップル電圧 V_{S1} のリップル成分を含むものであるため、大きく上昇する。

10

【0034】

時刻 t_{16} で、ゲートドライバ 3 の動作時間分遅れてローレベルの制御信号 V_{G1} がゲートドライバ 3 からスイッチ素子 Q_1 のゲート端子 G に供給され、スイッチ素子 Q_1 がオフする。これにより、直流電源 4 からノード N_1 への入力電圧 V_{in} の供給が停止されてスイッチング電圧 V_{n1} が低下し、これに伴い出力電圧 V_{out} が低下する。また、出力電圧 V_{out} の低下に伴って電圧 V_- が低下する。このとき、電圧 V_- の電位は、期間 B_1 で上昇し続けた分だけ、再び電圧 V_+ 以下となるまでに時間を要することとなる。

20

【0035】

以上のように、スイッチング電源回路 21 は、比較結果信号 V_{com} の信号レベルが切り替わった後も一定期間に亘り電圧 V_- が上昇又は低下し続けるので、電圧 V_- が再び電圧 V_+ となるまでに時間がかかってしまい、ひいては負荷 5 へ出力電圧 V_{out} を安定して供給することができなくなってしまうという問題があった。特に、電圧 V_- には、スイッチング電圧 V_{n1} の遷移の影響を受けるリップル電圧 V_{S1} のリップル成分が含まれることから、電圧 V_- の変動がより大きくなってしまい、電圧 V_- が上昇または低下する際に発生する上記問題がより顕著となっていた。

【0036】

図 18 は、スイッチング電源回路 21 と同様のリップル制御方式を昇圧型スイッチング電源回路に適用した場合の概略構成を示した図である。すなわち、図 18 に示すスイッチング電源回路 22 は、昇圧型スイッチング電源回路であって、スイッチング電源回路 21 の電圧生成回路 DW_1 を電圧生成回路 UP_1 に置換した構成である。

30

【0037】

電圧生成回路 UP_1 は、入力端子 T_1 と、キャパシタ C_1 と、スイッチ素子 Q_1 と、ダイオード D_1 と、インダクタ L_1 と、キャパシタ C_2 と、出力端子 T_2 とを備えている。電圧生成回路 UP_1 は、まずスイッチ素子 Q_1 をオンにして直流電源 4 から供給される入力端子 T_1 に入力される入力電圧 V_{in} に応じた電流をインダクタ L_1 に流してインダクタ L_1 に磁気エネルギーを蓄えさせた後、スイッチ素子 Q_1 をオフにしてインダクタ L_1 の磁気エネルギーを放出させて高電圧を発生させる。このようにして昇圧された電圧は、キャパシタ C_2 にて平滑化されて出力電圧 V_{out} として出力端子 T_2 から出力される。なお、ダイオード D_1 は、スイッチ素子 Q_1 がオフの場合にインダクタ L_1 にて生成されたエネルギーを出力端子 T_2 に安定的に供給する役割を果たしている。

40

【0038】

ここで、スイッチング電源回路 21 及び 22 の起動について説明する。

【0039】

スイッチング電源回路 21 は、起動時に電圧 V_+ が電圧 V_- よりも大きいため、スイッチ素子 Q_1 がオンになる。その結果、負荷 5 にエネルギーが供給されて電圧 V_- が増加する。電圧 V_- の増加によって、電圧 V_- が電圧 V_+ より大きくなり、比較結果信号 V_{co}

50

mの信号レベルがハイレベルからローレベルに切り替わる。したがって、スイッチング電源回路21は問題なく動作する。

【0040】

スイッチング電源回路22も、スイッチング電源回路21と同様に、起動時に電圧 V_+ が電圧 V_- より大きいため、スイッチ素子Q1がオンになる。しかしながら、スイッチング電源回路22では、スイッチ素子Q1がオンになってもインダクタL1にエネルギーが蓄えられるだけで負荷5にはエネルギーが供給されない。このため、電圧 V_- が増加しない。したがって、比較結果信号 V_{com} の信号レベルがハイレベルのままでローレベルに切り替わらない。その結果、スイッチング電源回路22は動作しない。

【0041】

以下では、上記の状況に鑑み、昇圧型スイッチング電源回路を正常に動作させることができ且つ昇圧型スイッチング電源回路の出力電圧を安定化できるリップル注入回路並びにそれを備えた昇圧型スイッチング電源回路について、新規な実施形態を提案する。

【0042】

<第1実施形態>

図1は、第1実施形態に係る昇圧型スイッチング電源回路11を概略的に示した図である。昇圧型スイッチング電源回路11は、図18に示すスイッチング電源回路22に抵抗 R_{com} を追加した構成である。抵抗 R_{com} の一端はコンパレータ2aの出力端子に接続され、抵抗 R_{com} の他端はコンパレータ2aの反転入力端子に接続される。

【0043】

抵抗 R_r 及びキャパシタ C_r によって構成される積分回路は、インダクタL1とスイッチ素子Q1のドレイン端子との接続ノードに発生するスイッチング電圧 V_{n1} を積分して第1のリップル成分を備えた第1のリップル電圧を生成する。

【0044】

抵抗 R_{com} 及びキャパシタ C_r によって構成される積分回路は、比較結果信号 V_{com} を積分して第2のリップル成分を備えた第2のリップル電圧を生成する。

【0045】

抵抗 R_r 及び R_{com} とキャパシタ C_r との接続ノードが分圧抵抗 R_1 と分圧抵抗 R_2 との接続ノードに接続されているので、帰還電圧 V_{fb} には、上記第1のリップル成分と上記第2のリップル成分とが加算される。

【0046】

昇圧型スイッチング電源回路11では、帰還電圧 V_{fb} に第1のリップル成分を与えて単位時間当たりの電位の変動を大きくしてノイズの影響を低減することができる。また、昇圧型スイッチング電源回路11では、帰還電圧 V_{fb} に第2のリップル成分が加算されているので、比較結果信号 V_{com} がハイレベルになった後の帰還電圧 V_{fb} の電位の低下を抑制することができるとともに、比較結果信号 V_{com} がローレベルになった後の帰還電圧 V_{fb} の電位の上昇を抑制することができる。これにより、出力電圧 V_{out} の安定化を図ることができる。

【0047】

更に、昇圧型スイッチング電源回路11では、抵抗 R_{com} を経由してコンパレータ2aの出力端子からコンパレータ2aの反転入力端子に電力を供給することができるため、昇圧型スイッチング電源回路11の起動時に電圧 V_- を増加させることが可能となる。

【0048】

比較結果信号 V_{com} がハイレベル(例えば定電圧源2dから出力される定電圧と同一の値)であるとき、スイッチング電圧 V_{n1} は、グランド電位(0V)と略同一の値になる。一方、比較結果信号 V_{com} がローレベル(例えばグランド電位と同一の値)であるとき、スイッチング電圧 V_{n1} は出力電圧 V_{out} と略同一の値になる。したがって、上記第1のリップル成分の遷移パターンと上記第2のリップル成分の遷移パターンとは互いに逆向きとなる。

【0049】

10

20

30

40

50

上記第1のリプル成分の遷移パターンと上記第2のリプル成分の遷移パターンとは互いに逆向きであるので、所定の条件下で、比較結果信号Vcomがハイレベルであるときに電圧V₋が単調増加し、比較結果信号Vcomがローレベルであるときに電圧V₋が単調減少する。比較結果信号Vcomがハイレベルであるときに電圧V₋が単調増加し且つ比較結果信号Vcomがローレベルであるときに電圧V₋が単調減少すれば、比較結果信号Vcomの信号レベルがハイレベルからローレベルに切り替わり且つローレベルからハイレベルに切り替わるので、昇圧型スイッチング電源回路11が正常に動作する。以下では、上記所定の条件について説明する。

【0050】

帰還電圧Vfbに上記第1のリプル成分と上記第2のリプル成分が加算されている部分に対して、キルヒホッフの法則と重ね合わせの原理を適用すると、電圧V₋は以下の3つの方程式(1a)、(1b)、及び、(1c)の解V_{-a}、V_{-b}、V_{-c}の和となる。すなわち、V₋ = V_{-a} + V_{-b} + V_{-c}が成立する。なお、以下の3つの方程式(1a)、(1b)、及び、(1c)において、R1は分圧抵抗R1の抵抗値を示しており、R2は分圧抵抗R2の抵抗値を示しており、Rrは抵抗Rrの抵抗値を示しており、Rcomは抵抗Rcomの抵抗値を示しており、CrはキャパシタCrの容量を示している。

【0051】

【数1】

$$\left\{ C_r \frac{d(V_{out} - V_{-a}(t))}{dt} + \frac{V_{out} - V_{-a}(t)}{R1} \right\} (R_{com} // R_r // R2) = V_{-a}(t) \quad \dots (1a)$$

$$C_r R_r \left\{ \frac{dV_{-b}(t)}{dt} + \frac{V_{-b}(t)}{\tau'} \right\} = V_{nl}(t) \quad \dots (1b)$$

$$C_r R_{com} \left\{ \frac{dV_{-c}(t)}{dt} + \frac{V_{-c}(t)}{\tau'} \right\} = V_{com}(t) \quad \dots (1c)$$

【0052】

上記した3つの方程式(1a)、(1b)、及び、(1c)を解くと、定常状態では、比較結果信号Vcomがハイレベルであるときの電圧V₋は、以下の数式(2)で表すことができる。また、比較結果信号Vcomがローレベルであるときの電圧V₋は、以下の数式(3)で表すことができる。なお、数式(2)及び(3)において、Vccは比較結果信号Vcomのハイレベルを示している。

【0053】

【数2】

$$V_{-} = \frac{\tau'}{C_r} \left\{ \frac{V_{out}}{R1} + \frac{V_{cc}}{R_{com}} + A \left(\frac{V_{out}}{R_r} - \frac{V_{cc}}{R_{com}} \right) e^{-\frac{t}{\tau'}} \right\} \quad \dots (2)$$

【0054】

【数3】

$$V_{-} = \frac{\tau'}{C_r} \left\{ \frac{V_{out}}{R1} + \frac{V_{out}}{R_r} - B \left(\frac{V_{out}}{R_r} - \frac{V_{cc}}{R_{com}} \right) e^{-\frac{t}{\tau'}} \right\} \quad \dots (3)$$

【0055】

ただし、スイッチ素子Q1のオンデューティをDとし、スイッチ素子Q1のスイッチン

10

20

30

40

50

グ周期をTとすると、上記の、A、及び、Bは、以下の数式(4a)、(4b)、及び、(4c)のように定まる。

【0056】

【数4】

$$\tau' = \frac{C_r R1 (R_{com} // R_r // R2)}{R1 + (R_{com} // R_r // R2)} \dots (4a)$$

$$A = \frac{e^{\frac{T}{\tau'}} - e^{\frac{DT}{\tau'}}}{e^{\frac{T}{\tau'}} - 1} \dots (4b)$$

$$B = \frac{e^{\frac{T}{\tau'}} - e^{\frac{(1-D)T}{\tau'}}}{e^{\frac{T}{\tau'}} - 1} \dots (4c)$$

10

【0057】

定常状態の電圧V_oを表す数式(2)及び(3)から、上記所定の条件を満たすためには、下記の不等式(5)を満たせばよいことが分かる。したがって、昇圧型スイッチング電源回路11では、下記の不等式(5)を満たすように、抵抗R_r及びR_{com}の各抵抗値を設定している。

20

【0058】

【数5】

$$\frac{V_{cc}}{R_{com}} > \frac{V_{out}}{R_r} \dots (5)$$

【0059】

<第2実施形態>

図2は、第2実施形態に係る昇圧型スイッチング電源回路12を概略的に示した図である。昇圧型スイッチング電源回路12は、図1に示す昇圧型スイッチング電源回路11から抵抗R_rを取り除いた構成である。

30

【0060】

図2に示す昇圧型スイッチング電源回路12は、図1に示す昇圧型スイッチング電源回路11の抵抗R_rの抵抗値が無限大である場合と等価である。したがって、図2に示す昇圧型スイッチング電源回路12において、比較結果信号V_{com}がハイレベルであるときに電圧V_oが単調増加し、比較結果信号V_{com}がローレベルであるときに電圧V_oが単調減少する条件は下記の数式(6a)及び(6b)のようになる。下記の条件は抵抗R_{com}の抵抗値がどのような値であっても成立する。

【0061】

【数6】

$$\frac{V_{cc}}{R_{com}} > \frac{V_{out}}{\infty} \dots (6a)$$

$$\frac{V_{cc}}{R_{com}} > 0 \dots (6b)$$

40

【0062】

なお、図2に示す昇圧型スイッチング電源回路12では、キャパシタC_rが、出力電圧V_{out}の周波数成分を通過させることにより、第1のリプル成分を備えた第1のリッ

50

プル電圧を生成する。

【 0 0 6 3 】

< 第 1 実施形態と第 2 実施形態との比較 >

図 1 に示す昇圧型スイッチング電源回路 1 1 は、抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値より大きくなるように、抵抗 R_r の抵抗値を設定することで、電圧 V_- の変動幅を図 2 に示す昇圧型スイッチング電源回路 1 2 よりも小さくすることができるので、図 2 に示す昇圧型スイッチング電源回路 1 2 よりも高速で動作することができる。

【 0 0 6 4 】

図 3 は、図 1 に示す昇圧型スイッチング電源回路 1 1 におけるコンパレータ 2 a の反転入力端子に供給される電圧 V_- の波形を示すタイムチャートである。

10

【 0 0 6 5 】

図 3 は、抵抗 R_r の抵抗値を 100 k 、分圧抵抗 R_1 の抵抗値を 9 k 、分圧抵抗 R_2 の抵抗値を 1 k 、抵抗 R_{com} の抵抗値を 1 k 、出力電圧 V_{out} を 20 V とした場合のシミュレーション結果である。すなわち、抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値より大きくなるという条件を満たしている。

【 0 0 6 6 】

図 3 中の太線は図 1 に示す昇圧型スイッチング電源回路 1 1 の電圧 V_- であり、図 3 中の細線は図 2 に示す昇圧型スイッチング電源回路 1 2 の電圧 V_- である。図 3 に示すシミュレーション結果では、図 1 に示す昇圧型スイッチング電源回路 1 1 の方が図 2 に示す昇圧型スイッチング電源回路 1 2 よりも電圧 V_- の変動幅が小さく変動周期が短いことが分かる。すなわち、図 1 に示す昇圧型スイッチング電源回路 1 1 の方が図 2 に示す昇圧型スイッチング電源回路 1 2 よりも高速で動作している。

20

【 0 0 6 7 】

ここで、抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値より大きくなるという条件が満たされれば、図 1 に示す昇圧型スイッチング電源回路 1 1 の方が図 2 に示す昇圧型スイッチング電源回路 1 2 よりも電圧 V_- の変動幅が小さくなる理由について説明する。

【 0 0 6 8 】

図 1 に示す昇圧型スイッチング電源回路 1 1 における電圧 V_- の最大値 V_{max} 及び最小値 V_{min} は、以下の数式 (7 a) 及び (7 b) で表すことができる。

30

【 0 0 6 9 】

【数 7】

$$V_{max} = \frac{\tau'}{C_r} \left(\frac{V_{out}}{R1} + \frac{V_{cc}}{R_{com}} \right) \dots (7a)$$

$$V_{min} = \frac{\tau'}{C_r} \left(\frac{V_{out}}{R1} + \frac{V_{out}}{R_r} \right) \dots (7b)$$

40

【 0 0 7 0 】

したがって、図 1 に示す昇圧型スイッチング電源回路 1 1 における電圧 V_- の変動幅 ΔV は、以下の数式 (8) で表すことができる。

【 0 0 7 1 】

【数 8】

$$\Delta V = \frac{R1 // R_r // R2}{R_{com} + R1 // R_r // R2} V_{cc} - \frac{R1 // R_{com} // R2}{R_r + R1 // R_{com} // R2} V_{out} \dots (8)$$

50

【 0 0 7 2 】

図 2 に示す昇圧型スイッチング電源回路 1 2 では抵抗 R_r の抵抗値を無限大とすればよいため、図 2 に示す昇圧型スイッチング電源回路 1 2 における電圧 V_- の変動幅 ΔV は以下の数式 (9) で表すことができる。

【 0 0 7 3 】

【 数 9 】

$$\Delta V = \frac{R1//R2}{R_{com} + R1//R2} V_{cc} \quad \dots (9)$$

10

【 0 0 7 4 】

抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値より大きくなる場合 (例えば抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値の 10 倍より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値の 10 倍より大きくなる場合)、上記した数式 (8) の右辺第 1 項と数式 (9) の右辺がほぼ同じ大きさになるので、抵抗 R_r を設けることによって、数式 (8) の右辺第 2 項の分だけ電圧 V_- の変動幅 ΔV を小さくすることができる。

【 0 0 7 5 】

したがって、図 1 に示す昇圧型スイッチング電源回路 1 1 では、抵抗 R_r の抵抗値が分圧抵抗 R_2 の抵抗値より大きくなり、且つ、抵抗 R_r の抵抗値が抵抗 R_{com} の抵抗値より大きくなるように抵抗 R_r の抵抗値を設定することが好ましい。

20

【 0 0 7 6 】

< 電圧 V_- の追従性 >

次に、電圧 V_- の追従性について検討する。昇圧型スイッチング電源回路では常に出力電圧 V_{out} が入力電圧 V_{in} よりも大きくなる。したがって、出力電圧 V_{out} を基に生成される電圧 V_- は 0 V にならない。このため、電圧 V_+ が変動する信号であって 0 V になり得る場合、電圧 V_+ が 0 V 付近であるときに電圧 V_- の追従性が悪化する。

【 0 0 7 7 】

図 4 は、図 1 に示す昇圧型スイッチング電源回路 1 1 におけるコンパレータ 2 a の反転入力端子に供給される電圧 V_- の波形を示すタイムチャートである。図 5 は、図 1 に示す昇圧型スイッチング電源回路 1 1 におけるコンパレータ 2 a の非反転入力端子に供給される電圧 V_+ の波形を示すタイムチャートである。なお、横軸の時間 t は図 4 及び図 5 の共通の時間として示している。

30

【 0 0 7 8 】

図 4 及び図 5 は、キャパシタ C_r の容量を 30 pF、分圧抵抗 R_1 の抵抗値を 2 k Ω 、基準電圧 V_{ref1} を周波数 1 MHz、オフセット 1 V、振幅 1 V の正弦波とした場合のシミュレーション結果である。図 6 は図 4 の部分拡大図であり、図 7 は図 5 の部分拡大図である。

【 0 0 7 9 】

図 4 ~ 図 7 から明らかな通り、電圧 V_+ が 0 V 付近であるときに電圧 V_- の電圧 V_+ に対する追従性が悪化する。

40

【 0 0 8 0 】

ここで、分圧抵抗 R_1 の抵抗値を R 、基準電圧 V_{ref1} が有する周波数成分のうち最小の周波数を f とした場合に、キャパシタ C_r の容量 C が、 $R > (1 / 2 \pi f C)$ を満たせば、出力電圧 V_{out} の直流成分がキャパシタ C_r でカットされ、電圧 V_- が負の値を取ることができるようになるため、電圧 V_- の電圧 V_+ に対する追従性が改善する。

【 0 0 8 1 】

図 8 は、図 1 に示す昇圧型スイッチング電源回路 1 1 におけるコンパレータ 2 a の反転入力端子に供給される電圧 V_- の波形を示すタイムチャートである。図 9 は、図 1 に示す昇圧型スイッチング電源回路 1 1 におけるコンパレータ 2 a の非反転入力端子に供給され

50

る電圧 V_+ の波形を示すタイムチャートである。なお、横軸の時間 t は図 8 及び図 9 の共通の時間として示している。

【 0 0 8 2 】

図 8 及び図 9 は、キャパシタ C_r の容量を 30 pF とし、分圧抵抗 R_1 の抵抗値を 10 k とし、基準電圧 V_{ref1} を周波数 1 MHz 、オフセット 1 V 、振幅 1 V の正弦波とした場合のシミュレーション結果である。すなわち、上述した $R > (1/2 \cdot f C)$ を満たす場合のシミュレーション結果である。図 10 は図 8 の部分拡大図であり、図 11 は図 9 の部分拡大図である。

【 0 0 8 3 】

図 8 ~ 図 11 から明らかな通り、上述した $R > (1/2 \cdot f C)$ を満たす場合には電圧 V_+ が 0 V 付近であるときに電圧 V_- の電圧 V_+ に対する追従性が改善する。

10

【 0 0 8 4 】

上記の検討では、図 1 に示す昇圧型スイッチング電源回路 11 を用いてシミュレーションを行ったが、図 2 に示す昇圧型スイッチング電源回路 12 でも、上記と同様の結果を得ることができる。

【 0 0 8 5 】

したがって、図 1 に示す昇圧型スイッチング電源回路 11 及び図 2 に示す昇圧型スイッチング電源回路 12 では、分圧抵抗 R_1 の抵抗値を R 、基準電圧 V_{ref1} が有する周波数成分のうち最小の周波数を f とした場合に、キャパシタ C_r の容量 C が、 $R > (1/2 \cdot f C)$ を満たすように設定されることが望ましい。

20

【 0 0 8 6 】

なお、 $R > (1/2 \cdot f C)$ を満たすようにキャパシタ C_r の容量 C を設定することに代えて、又は、 $R > (1/2 \cdot f C)$ を満たすようにキャパシタ C_r の容量 C を設定することに加えて、電圧 V_+ (= 基準電圧 V_{ref1}) として時間的に変動し且つ最小値が 0 より大きい信号を用いることで、電圧 V_- の電圧 V_+ に対する追従性を改善してもよい。

【 0 0 8 7 】

ここで、電圧 V_+ (= 基準電圧 V_{ref1}) として、時間的に変動し且つ最小値が 0 より大きい信号を用いることによって、電圧 V_- の電圧 V_+ に対する追従性を改善することができる理由について説明する。上述した定常状態における電圧 V_- を表す式から明らかな通り、定常状態において電圧 V_- はネイピア数の指数関数で変化する。したがって、電圧 V_+ の最小値が 0 V である場合には、電圧 V_- の最小値付近で電圧 V_- と電圧 V_+ が交差する。電圧 V_- の最小値付近では、ネイピア数の指数関数の性質上、電圧 V_- の傾き (時間変化率) が小さいので、電圧 V_- と電圧 V_+ が交差するまでに時間がかかる。一方、電圧 V_+ の最小値が 0 V でない場合には、電圧 V_- の最小値付近以外で電圧 V_- と電圧 V_+ が交差するので、電圧 V_- と電圧 V_+ が交差するまでに時間がかからなくなり、電圧 V_- の電圧 V_+ に対する追従性が改善する。

30

【 0 0 8 8 】

< 電子機器への適用 >

図 12 は、上述した昇圧型スイッチング電源回路 11 及び 12 の少なくとも一つを搭載した電子機器の一例 (携帯端末 (スマートフォン) X) を示す外観図である。ただし、携帯端末 X は、あくまで昇圧型スイッチング電源回路が好適に搭載される電子機器の例示に過ぎず、上述した昇圧型スイッチング電源回路 11 及び 12 は、多種多様な電子機器 (特に入力変動や負荷変動が大きい電子機器) に搭載することができる。

40

【 0 0 8 9 】

< 変形例 >

上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【 0 0 9 0 】

50

例えば、図 1 に示す昇圧型スイッチング電源回路 1 1 に対して、抵抗 R_r 及びキャパシタ C_r によって構成される積分回路の位置を変更し、図 1 3 に示す昇圧型スイッチング電源回路 1 3 のようにキャパシタ C_r の一端をダイオード D_1 と出力端子 T_2 との接続ノードではなくインダクタ L_1 と入力端子 T_1 との接続ノードに接続する構成にしてもよい。図 1 3 に示す昇圧型スイッチング電源回路 1 3 は、図 1 に示す昇圧型スイッチング電源回路 1 1 と同様の効果を奏する。

【 0 0 9 1 】

例えば、図 2 に示す昇圧型スイッチング電源回路 1 2 に対して、キャパシタ C_r の位置を変更して、図 1 4 に示す昇圧型スイッチング電源回路 1 4 のようにキャパシタ C_r の一端をダイオード D_1 と出力端子 T_2 との接続ノードではなくインダクタ L_1 と入力端子 T_1 との接続ノードに接続する構成にしてもよい。図 1 4 に示す昇圧型スイッチング電源回路 1 4 では、キャパシタ C_r が、入力電圧 V_{in} の周波数成分を通過させ第 1 のリップル成分を備えた第 1 のリップル電圧を生成する。図 1 4 に示す昇圧型スイッチング電源回路 1 4 は、図 2 に示す昇圧型スイッチング電源回路 1 2 と同様の効果を奏する。

【 0 0 9 2 】

また、例えばスイッチ素子 Q_1 の入力容量が小さく、比較結果信号 V_{com} によって直接スイッチ素子 Q_1 のオンオフを制御できるのであれば、ゲートドライバ 3 を設けなくてもよい。例えば、図 1 に示す昇圧型スイッチング電源回路 1 1 からゲートドライバ 3 を取り除いて、図 1 5 に示す昇圧型スイッチング電源回路 1 5 のようにコンパレータ 2 a の出力端子がスイッチ素子 Q_1 のゲート端子に直接接続される構成にしてもよい。ここでは、図 1 に示す昇圧型スイッチング電源回路 1 1 の変形例について説明したが、昇圧型スイッチング電源回路 1 2 ~ 1 4 に対しても同様の変形を行うことができる。ここで、比較結果信号 V_{com} によって直接スイッチ素子 Q_1 のオンオフを制御できる具体的な条件について説明する。比較結果信号 V_{com} を直接スイッチ素子 Q_1 のゲート端子に供給する構成では、スイッチ素子 Q_1 の入力容量を C_{ISS} 、コンパレータ 2 a の最大出力電流を I_{GMAX} 、比較結果信号 V_{com} のハイレベルを V_{GH} とした場合に、スイッチ素子 Q_1 のゲートの立ち上がり、立ち下がりにかかる最小時間 t_R 、 t_F は以下の数式 (1 0) で表すことができる。ただし、 Q_G はスイッチ素子 Q_1 のゲート電荷である。

【 0 0 9 3 】

【 数 1 0 】

$$t_R = t_F = C_{ISS} V_{GH} / I_{GMAX} = Q_G / I_{GMAX} \quad \dots (10)$$

【 0 0 9 4 】

スイッチ素子 Q_1 が問題なくオンオフするためには、スイッチ素子 Q_1 のスイッチング周期内でスイッチ素子 Q_1 のゲートの立ち上がり及び立ち下がりが完了する必要があるため、以下の不等式 (1 1) を満たさなければならない。

【 0 0 9 5 】

【 数 1 1 】

$$t_R + t_F = 2C_{ISS} V_{GH} / I_{GMAX} = 2Q_G / I_{GMAX} < 1 / f_{sw} \quad \dots (11)$$

【 0 0 9 6 】

したがって、上記不等式を満たすようにスイッチ素子 Q_1 の入力容量 C_{ISS} を設定すればよい。

【 0 0 9 7 】

上述した昇圧型スイッチング電源回路 1 1 ~ 1 5 では、第 1 のリップル成分を備えた第 1 のリップル電圧を生成するために用いられるキャパシタと、第 2 のリップル成分を備えた第 2 のリップル電圧を生成するために用いられるキャパシタが同一のキャパシタ (キャパシタ C_r) であったが、別々のキャパシタであってもよい。ただし、同一のキャパシタ

10

20

30

40

50

であった方が回路面積の増大を抑制することができる。

【0098】

また、上述の昇圧型スイッチング電源回路11～15では、比較回路2がヒステリシス回路2cを備えていたが、比較回路2がヒステリシス回路2cを備えていなくてもよい。比較回路2がヒステリシス回路2cを備えていない場合には、基準電圧源2bをコンパレータ2aの非反転入力端子に直接接続すればよい。

【0099】

また、上述した昇圧型スイッチング電源回路11～15では、電圧生成回路UP1がダイオードD1を備えていたが、電圧生成回路UP1がダイオードD1の代わりに同期整流素子を備えてもよい。

10

【0100】

なお、上述した複数の変形例については、矛盾のない限り適宜組み合わせ実施することができる。

【0101】

<スペクトラム拡散機能の導入>

次に、スイッチング電源回路におけるスペクトラム拡散機能の導入について、幾つかの構成例を挙げながら検討する。

【0102】

図19は、電圧モード制御方式の降圧型スイッチング電源回路をベースとしつつ、これにスペクトラム拡散機能を導入した構成(=後出の第3実施形態と対比される第1比較例に相当)を示す図である。

20

【0103】

本構成例の降圧型スイッチング電源回路101は、スイッチ出力部110と、帰還電圧生成部120と、エラーアンプ130と、コンパレータ140と、駆動部150と、スペクトラム拡散部160と、を有する。

【0104】

スイッチ出力部110は、入力電圧 V_{in} を降圧することにより所望の出力電圧 V_{out} を生成して負荷抵抗 R_o に供給する出力段であり、出力スイッチTR(本図ではNMOSET)と、ダイオードDと、インダクタLと、キャパシタ C_i 及び C_o と、を含む。出力スイッチTRのドレインとキャパシタ C_i の第1端は、入力電圧 V_{in} の入力端に接続されている。出力スイッチTRのソースは、ダイオードDのカソードとインダクタLの第1端に接続されている。出力スイッチTRのゲートは、駆動部150(=ゲートドライバ)の出力端に接続されている。インダクタLの第2端とキャパシタ C_o の第1端は、出力電圧 V_{out} の出力端に接続されている。ダイオードDのアノードとキャパシタ C_i 及び C_o それぞれの第2端は、接地端に接続されている。なお、スイッチ出力部110の整流方式は、ダイオード整流方式に限らず、同期整流方式としても構わない。

30

【0105】

帰還電圧生成部120は、出力電圧 V_{out} の出力端と接地端との間に直列接続された抵抗 R_{up} 及び R_{down} を用いることにより出力電圧 V_{out} に応じた帰還電圧 V_{fb} (=出力電圧 V_{out} の分圧電圧)を生成する。なお、出力電圧 V_{out} がエラーアンプ130の入力ダイナミックレンジに収まっている場合には、帰還電圧生成部120を割愛し、出力電圧 V_{out} をエラーアンプ130に直接入力することも可能である。

40

【0106】

エラーアンプ130は、オペアンプ131と、抵抗132～134と、キャパシタ135及び136とを含み、帰還電圧 V_{fb} と所定の基準電圧 V_{ref} との差分に応じた電圧 V_+ を生成する。オペアンプ131の非反転入力端(+)は、基準電圧 V_{ref} の印加端に接続されている。オペアンプ131の反転入力端(-)は、抵抗132を介して帰還電圧 V_{fb} の印加端に接続されている。また、オペアンプ131の反転入力端(-)と出力端との間には、抵抗133とキャパシタ135が並列接続されている。また、オペアンプ131の出力端には、抵抗134とキャパシタ136から成るRCローパスフィルタが接

50

続されており、電圧 V_+ の発振が防止されている。なお、電圧 V_+ は、帰還電圧 V_{fb} が基準電圧 V_{ref} よりも低いときに上昇し、帰還電圧 V_{fb} が基準電圧 V_{ref} よりも高いときに低下する。

【0107】

コンパレータ140は、電源電圧 V_{cc} の供給を受けて動作し、非反転入力端(+)に入力される電圧 V_+ と反転入力端(-)に入力される電圧 V_- とを比較して、パルス幅変調された比較結果信号 V_{com} を生成する。なお、比較結果信号 V_{com} は、電圧 V_+ が電圧 V_- よりも高いときにハイレベルとなり、電圧 V_+ が電圧 V_- よりも低いときにローレベルとなる。

【0108】

駆動部150は、入力電圧 V_{in} から所望の出力電圧 V_{out} が生成されるように、比較結果信号 V_{com} に応じて出力スイッチTRのデューティ制御を行う。より具体的に述べると、駆動部150は、比較結果信号 V_{com} がハイレベルであるときに出力スイッチTRをオンとし、比較結果信号 V_{com} がローレベルであるときに出力スイッチTRをオフとするように、出力スイッチTRのゲート制御(=出力スイッチTRのゲート・ソース間に印加されるゲート・ソース間電圧 V_{gs} の駆動制御)を行う。

【0109】

スペクトラム拡散部160は、乱数信号生成回路161と、抵抗 R_s と、キャパシタ C_s と、を含む。

【0110】

乱数信号生成回路161は、所定の乱数生成方法(詳細については後述)を用いて乱数信号 V_{sp} を生成する。

【0111】

抵抗 R_s の第1端は、乱数信号生成回路161の出力端(=乱数信号 V_{sp} の出力端)に接続されている。抵抗 R_s の第2端とキャパシタ C_s の第1端は、いずれもコンパレータ70の反転入力端(-)に接続されている。キャパシタ C_s の第2端は、接地端に接続されている。このように接続された抵抗 R_s とキャパシタ C_s は、乱数信号 V_{sp} に応じた発振周波数を持つ三角波状の電圧 V_- を生成する。

【0112】

図20は、降圧型スイッチング電源回路101におけるゲート・ソース間電圧 V_{gs} のスペクトラム強度(縦軸:強度[dB]、横軸:周波数[Hz])を示した図である。なお、本図の(a)欄には、電圧 V_- が一定周波数(1MHz)であるときのスペクトラム強度が示されている。一方、(b)欄、(c)欄、及び、(d)欄には、それぞれ、電圧 V_- がスペクトラム拡散(1MHz \pm 2%、5%、10%)されているときのスペクトラム強度が示されている。

【0113】

本図で示したように、本構成例(=電圧モード制御方式+スペクトラム拡散機能)の降圧型スイッチング電源回路101であれば、電圧 V_- の発振周波数をスペクトラム拡散することによって、ゲート・ソース間電圧 V_{gs} のスペクトラム強度を低減することができる。ただし、降圧型スイッチング電源回路101には、次の課題がある。

【0114】

図21は、降圧型スイッチング電源回路101における第1の課題を示す図である。なお、本図の(a)欄には、電圧 V_- が一定周波数(1MHz)であるときの定常時における出力電圧波形が示されている。一方、(b)欄、(c)欄、及び(d)欄には、それぞれ、電圧 V_- がスペクトラム拡散(1MHz \pm 2%、5%、10%)されているときの定常時における出力電圧波形が示されている。

【0115】

電圧 V_- の発振周波数を揺らすと、出力スイッチTRのオンデューティも揺れるが、電圧モード制御方式では、エラーアンプ130による遅れ時間のせいで出力電圧 V_{out} が大きく揺れてしまう。特に、本図で示したように、電圧 V_- の発振周波数の振り幅が増え

10

20

30

40

50

るにつれて、出力電圧 V_{out} の変動幅も大きくなる傾向がある。

【0116】

図22は、降圧型スイッチング電源回路101における第2の課題を示す図である。なお、本図の(a)欄には、電圧 V_{-} が一定周波数(1MHz)であるときの負荷変動時における出力電圧変動が示されている。一方、(b)欄、(c)欄、及び(d)欄には、それぞれ、電圧 V_{-} がスペクトラム拡散(1MHz ± 2%、5%、10%)されているときの負荷変動時における出力電圧変動が示されている。

【0117】

電圧モード制御方式では、原理的に負荷変動時にスイッチングが起きてしまうため、負荷変動時における出力電圧 V_{out} の変動がかなり大きくなる。

10

【0118】

図23は、降圧型スイッチング電源回路の別の構成例(=後出の第3実施形態と対比される第2比較例に相当)を示す回路図である。

【0119】

本構成例のスイッチング電源回路102では、先に説明した第1比較例(図19)の構成要件のうち、エラーアンプ130を割愛するとともに、抵抗 R_a 及び R_b を別途新たに設けることにより、出力帰還方式が電圧モード制御方式からヒステリシス制御方式に変更されている。以下では、この変更点について重点的な説明を行う。

【0120】

電圧 V_{-} は、スペクトラム拡散部160で生成される乱数信号 V_{sp} を積分した信号と帰還電圧 V_{fb} とを足し合わせることで生成され、これがコンパレータ140の反転入力端(-)の入力となる。ただし、帰還電圧 V_{fb} に足し合わせる変動信号は、必ずしも乱数信号 V_{sp} に起因した信号に限定されるものではなく、所望のスペクトラム拡散機能を実現することができるのであれば、任意の交流信号を用いることが可能である。また、電圧 V_{+} に乱数信号 V_{sp} を重畳しても構わない。

20

【0121】

抵抗 R_a の第1端は、コンパレータ140の出力端に接続されている。抵抗 R_a の第2端と抵抗 R_b の第1端は、コンパレータ140の非反転入力端(+)に接続されている。抵抗 R_b の第2端は、基準電圧 V_{ref} の印加端に接続されている。このように接続された抵抗 R_a 及び R_b により、コンパレータ140の非反転入力端(+)に入力される電圧 V_{+} には、所定のヒステリシス特性が付与される。すなわち、コンパレータ140と抵抗 R_a 及び R_b を一まとめにして、ヒステリシスコンパレータと理解することもできる。

30

【0122】

本構成例(=ヒステリシス制御方式+スペクトラム拡散機能)の降圧型スイッチング電源回路102であれば、エラーアンプ130を割愛した分だけ、出力電圧 V_{out} の応答性を高めることができる。ただし、降圧型スイッチング電源回路102には、次のような課題がある。

【0123】

図24は、降圧型スイッチング電源回路102における課題を示す図である。なお、本図の(a)欄には、電圧 V_{-} が一定周波数(1MHz)であるときの負荷変動時における出力電圧変動が示されている。一方、(b)欄、(c)欄、及び(d)欄には、それぞれ電圧 V_{-} がスペクトラム拡散(1MHz ± 2%、5%、10%)されているときの負荷変動時における出力電圧変動が示されている。

40

【0124】

本図で示すように、降圧型スイッチング電源回路102では、出力電圧 V_{out} の揺れが非常に大きくなる。以下、その理由について述べる。

【0125】

図25は、降圧型スイッチング電源回路102における一定周波数(1MHz)での電圧 V_{+} (太線)及び電圧 V_{-} (細線)を示す図である。降圧型スイッチング電源回路102では、出力電圧 V_{out} に応じた帰還電圧 V_{fb} に乱数信号 V_{sp} のみを重畳して電圧

50

V_- が生成されており、乱数信号 V_{sp} 以外の交流信号は存在しない。そのため、本図で示したように、出力電圧 V_{out} の揺れに沿って電圧 V_- が変動し、電圧 V_- の変動を受けて出力電圧 V_{out} がさらに変化するという悪循環により、出力電圧 V_{out} が大きく揺れてしまうので、インダクタ L やキャパシタ C_o を大きくしなければならなくなる。

【0126】

以下では、上記の不具合を解消することのできる新規な実施形態について提案する。

【0127】

< 第3実施形態（リップル制御方式 + スペクトラム拡散機能） >

図26は、第3実施形態に係る降圧型スイッチング電源回路103を概略的に示した図である。本実施形態の降圧型スイッチング電源回路103は、先の第2比較例（図23）
10
で示した構成要素に加えて、リップル注入部170をさらに有する。なお、リップル注入部170は、抵抗 R_r 及び R_{com} とキャパシタ C_r を含む。

【0128】

抵抗 R_r の第1端は、インダクタ L の第1端に接続されている。キャパシタ C_r の第1端は、インダクタ L の第2端に接続されている。抵抗 R_r 及びキャパシタ C_r それぞれの第2端は、帰還電圧 V_{fb} の印加端（=抵抗 R_{up} 及び R_{down} 相互間の接続ノード）に接続されている。抵抗 R_{com} の第1端は、コンパレータ140の出力端に接続されている。抵抗 R_{com} の第2端は、コンパレータの反転入力端（-）に接続されている。

【0129】

抵抗 R_r 及びキャパシタ C_r によって構成される第1積分回路は、インダクタ L の第1
20
端と出力スイッチ TR のソースとの接続ノードに発生するスイッチング電圧 V_s を積分して第1のリップル成分を備えた第1のリップル電圧を生成する。一方、抵抗 R_{com} 及びキャパシタ C_r によって構成される第2積分回路は、比較結果信号 V_{com} を積分して第2のリップル成分を備えた第2のリップル電圧を生成する。従って、帰還電圧 V_{fb} （延いては電圧 V_- ）には、第1のリップル成分と第2のリップル成分が加算される。

【0130】

本実施形態によれば、電圧 V_- に第1のリップル成分を与えて単位時間当たりの電位変動（=リップルの傾き）を大きくすることができるので、ノイズの影響を低減することが可能となる。また、電圧 V_- に第2のリップル成分を与えて比較結果信号 V_{com} の立上り/立下りに伴う電圧 V_- の電位変動を抑制することができるので、出力電圧 V_{out} の
30
安定化を図ることが可能となる。さらに、抵抗 R_{com} を経由してコンパレータ140の出力端からコンパレータ140の反転入力端（-）に電力を供給することができるので、起動時に電圧 V_- を上昇させることも可能となる。これらの作用効果については、先の第1実施形態（図1）でも述べた通りなので、これ以上の説明は割愛する。

【0131】

図27は、降圧型スイッチング電源回路103における定常時の出力電圧波形を示す図である。なお、本図の（a）欄には、電圧 V_- が一定周波数（1MHz）であるときの定常時における出力電圧波形が示されている。一方、（b）欄、（c）欄、及び、（d）欄には、それぞれ、電圧 V_- がスペクトラム拡散（1MHz ± 2%、5%、10%）されて
40
いるときの定常時における出力電圧波形が示されている。

【0132】

先の図21と対比すれば明らかなように、本実施形態によれば、電圧 V_- の発振周波数の振り幅が増えても、出力電圧 V_{out} の変動幅には殆ど影響しないことが分かる。これは、本実施形態のリップル制御方式（=ヒステリシス制御方式 + リップルインジェクション機能）では、電圧モード制御方式と異なり、位相補償器による遅れ時間が存在せず、出力電圧 V_{out} の変動に対する応答性が高いことに起因する。

【0133】

図28は、降圧型スイッチング電源回路103における負荷変動時の出力波形を示す図である。なお、本図の（a）欄には、電圧 V_- が一定周波数（1MHz）であるときの負荷変動時における出力電圧変動が示されている。一方、（b）欄、（c）欄、及び（d）
50

欄には、それぞれ電圧 V_- がスペクトラム拡散 ($1\text{MHz} \pm 2\%$ 、 5% 、 10%) されているときの負荷変動時における出力電圧変動が示されている。

【0134】

先の図22と対比すれば明らかなように、本実施形態によれば、電圧モード制御方式の第1比較例と比べて、負荷変動時における出力電圧 V_{out} の変動を $1/5$ 程度に抑えられている。

【0135】

図29は、降圧型スイッチング電源回路103におけるゲート・ソース間電圧 V_{gs} のスペクトラム強度 (縦軸: 強度 [dB]、横軸: 周波数 [Hz]) を示した図である。なお、本図の (a) 欄には、電圧 V_- が一定周波数 (1MHz) であるときのスペクトラム強度が示されている。一方、(b) 欄、(c) 欄、及び、(d) 欄には、それぞれ、電圧 V_- がスペクトラム拡散 ($1\text{MHz} \pm 2\%$ 、 5% 、 10%) されているときのスペクトラム強度が示されている。

10

【0136】

先の図20と対比すれば明らかなように、本実施形態によれば、スペクトラム拡散部160の働きにより、電圧モード制御方式の第1比較例と同程度まで遜色なく、ゲート・ソース間電圧 V_{gs} のスペクトラム強度が低減されている。

【0137】

図30は、降圧型スイッチング電源回路103における一定周波数 (1MHz) での電圧 V_+ (太線) 及び電圧 V_- (細線) を示す図である。先の図25と対比すれば明らかなように、本実施形態によれば、リップル注入部170の働きにより、出力電圧 V_{out} の揺れに沿って電圧 V_- が変動することがなくなるので、出力電圧 V_{out} の揺れも小さくなっている。

20

【0138】

<動作条件>

次に、電圧 V_- のスペクトラム拡散を行いつつ、リップル制御方式 (= ヒステリシス制御方式 + リップルインジェクション機能) による電力変換動作を正しく行うための動作条件について検討する。

【0139】

まず、定常時 (= 負荷変動が生じていないとき) に出力スイッチ TR のオン/オフ動作を行うためには、電圧 V_- の変動幅を V_- とし、電圧 V_+ のヒステリシス幅を V_+ とし、定常時に $|V_-| > |V_+|$ (以下では条件式 X と呼ぶ) を満たす必要がある。

30

【0140】

また、定常時におけるスペクトラム拡散機能を有効とするためには、乱数信号 V_{sp} に起因するリップル成分の傾きを α とし、乱数信号 V_{sp} 以外に起因するリップル成分 (= リップル注入部170に起因するリップル成分) の傾きを β とし、 $|\alpha| > |\beta|$ (以下では条件式 $Y1$ と呼ぶ) を満たすことが望ましい。

【0141】

ただし、上記の条件式 $Y1$ を満たさない場合でも、 $|\alpha| > 10 \times |\beta|$ (以下では条件式 $Y2$ と呼ぶ) を満たせば、定常時におけるスペクトラム拡散機能が有効となり得る (完全に無効とはならない)。この点については後ほど詳述する。

40

【0142】

さらに、負荷変動時に出力スイッチ TR のオン/オフ動作を一時停止して出力変動を抑えるためには、出力電圧 V_{out} に起因するリップル成分の傾きを γ とし、出力電圧 V_{out} 以外に起因するリップル成分の傾きを δ とし、負荷変動時に $|\gamma| > |\delta|$ (以下では条件式 Z と呼ぶ) を満たすことが望ましい。

【0143】

以下では、上記の条件式 X 、条件式 $Y1$ 及び $Y2$ 、並びに、条件式 Z の導出方法について具体的に説明する。

【0144】

50

図 3 1 は、定常時における電圧 V_o の導出方法（降圧型）を説明するための図である。定常時には出力電圧 V_{out} がほぼ一定となるので、出力電圧 V_{out} に起因するリップル成分を無視することができる。従って、本図中の（a）欄～（c）欄で示された等価回路のノード電圧 $V_a(t)$ 、 $V_b(t)$ 、 $V_c(t)$ を重ね合わせることで、定常時における電圧 V_o のリップル成分（ $= V_a(t) + V_b(t) + V_c(t)$ ）を導出することができる。

【0145】

図 3 2 は、負荷変動時における電圧 V_o の導出方法を説明するための図である。負荷変動時には、定常時における電圧 V_o のリップル成分（図 3 1）に、出力電圧 V_{out} に起因するリップル成分（ $= V_d(t)$ ）が加わる。なお、リップル成分 $V_d(t)$ は、本図中の（d）欄で示した等価回路のノード電圧 $V_d(t)$ として考えればよい。

10

【0146】

また、出力電圧 V_{out} は、負荷変動を想定して、本図中の（e）欄で示した等価回路から導出するとよい。なお、 V_{out0} は負荷変動前の出力電圧 V_{out} を示しており、 R_o' は負荷変動後の負荷抵抗値を示している。負荷変動直後の時刻を $t = 0$ とし、 $I_L(0) = V_{out0} / R_o'$ として、出力電圧 V_{out} を導出すればよい。

【0147】

上記重ね合わせの原理から導出される先出の条件式 X、条件式 Y1 及び Y2、並びに、条件式 Z は、それぞれ、次の数式（12）、数式（13a）及び（13b）、並びに、数式（14）として書き表すことができる。

20

【0148】

【数12】

$$(X) \quad \frac{\tau}{C_r + C_s} \left| \frac{V_{cc}}{R_{com}} A \left(1 - e^{-\frac{DT}{\tau}} \right) + \frac{V_{in}}{R_r} A \left(1 - e^{-\frac{DT}{\tau}} \right) + \frac{V_{ran}}{R_s} A' \left(1 - e^{-\frac{DT}{\tau}} \right) \right| > |\Delta V_o| \quad \dots (12)$$

【0149】

【数13】

$$(Y1) \quad \frac{A' V_{ran}}{R_s} > A \left(\frac{V_{cc}}{R_{com}} + \frac{V_{in}}{R_r} \right) \quad \dots (13a)$$

30

$$(Y2) \quad \frac{A' V_{ran}}{R_s} \leq A \left(\frac{V_{cc}}{R_{com}} + \frac{V_{in}}{R_r} \right) \leq \frac{10 A' V_{ran}}{R_s} \quad \dots (13b)$$

【0150】

【数14】

$$(Z) \quad \left| -\frac{Y}{C_s + C_r} (B_0 + B_1) - \frac{B_3}{2C_o R_o'} + B_2 \varpi \right| > \left| \frac{1}{C_s + C_r} \left(\frac{A V_{cc}}{R_{com}} + \frac{A V_{in}}{R_r} + \frac{A' V_{ran}}{R_s} \right) \right| \quad \dots (14)$$

40

【0151】

また、上記数式中のパラメータについては、以下の数式（15a）～（15l）で示す通りである。

【0152】

【数15】

50

$$\Delta V_+ = \frac{R_b V_{cc}}{R_a + R_b} \quad \dots \quad (15a)$$

$$B_0 = \frac{C_r (V_{-0} - V_{out}) + C_s V_{-0}}{C_r + C_s} \quad \dots \quad (15b)$$

$$B_1 = \frac{C_o C_r L R_o' R_{up} V_{out} Y^3 - R_o' L (C_r + C_s) (C_o V_{out} + C_r I_{L0} R_{up}) Y^2 + R_o' (C_r + C_s)^2 (I_{L0} L + C_r V_{out} R_{up}) Y - (C_r + C_s)^3 R_o' V_{out}}{(C_r + C_s) \{C_o L R_o' R_{up} Y^2 - (C_r + C_s) L R_{up} Y + (C_r + C_s)^2 R_o' R_{up}\} Y} \quad \dots \quad (15c)$$

$$B_2 = \frac{L^2 \{C_r (R_{up} V_{out} - I_{L0} R_{up} R_o') Y - V_{out} (C_r + C_s) + R_o' I_{L0} (C_r + C_s)\} - 2L \{C_o L R_o' Y (V_{out} - I_{L0} R_o') + V_{out} (C_r + C_s) (L + C_r R_{up} R_o') - C_r R_{up} R_o'^2 I_{L0} (C_r + C_s) + R_o' L I_{L0} (C_r + C_s)\}}{R_{up} \{C_o L R_o' Y^2 - (C_r + C_s) L Y + (C_r + C_s)^2 R_o'\} \sqrt{L (4C_o R_o'^2 - L)}} \quad \dots \quad (15d)$$

$$B_3 = - \frac{L \{C_o C_r R_o' R_{up} Y (V_{out} - I_{L0} R_o') - C_o R_o' V_{out} (C_r + C_s) + C_o R_o'^2 I_{L0} (C_r + C_s)\}}{C_o R_o' R_{up} \{C_o L R_o' Y^2 - (C_r + C_s) L Y + (C_r + C_s)^2 R_o'\}} \quad \dots \quad (15e)$$

$$A = \frac{\frac{T}{e^\tau} - e^{-\frac{DT}{\tau}}}{\frac{T}{e^\tau} - 1} \quad \dots \quad (15f)$$

$$A' = \frac{\frac{T}{e^\tau} - e^{-2\tau}}{\frac{T}{e^\tau} - 1} \quad \dots \quad (15g)$$

$$Y = \frac{R_{up} + (R_{com} // R_r // R_{down} // R_s)}{R_{up} (R_{com} // R_r // R_{down} // R_s)} \quad \dots \quad (15h)$$

$$\tau = \frac{C_r + C_s}{Y} \quad \dots \quad (15i)$$

$$I_{L0} = \frac{V_{out}}{R_o} \quad \dots \quad (15j)$$

$$\varpi = \frac{\sqrt{L (4C_o R_o'^2 - L)}}{2C_o R_o' L} \quad \dots \quad (15k)$$

$$V_{-0} = \frac{(R_{com} // R_r // R_{down} // R_s) V_{out}}{R_{up} + (R_{com} // R_r // R_{down} // R_s)} \quad \dots \quad (15l)$$

【 0 1 5 3 】

< 負荷変動時の振る舞い >

図 3 3 は、負荷変動時におけるゲート・ソース間電圧 V_{gs} 、インダクタ電流 I_L 、並びに、電圧 V_+ 及び V_- の挙動を示す図である。なお、本図では、時刻 t_1 において、負荷変動（負荷電流が増加する場合を想定）が生じているものとする。

【 0 1 5 4 】

先出の条件式 Z が満たされているときには、負荷変動の直後（時刻 $t_1 \sim t_2$ ）に $V_- < V_+$ となる。従って、出力スイッチ TR のスイッチングが一時的に停止された状態（＝出力スイッチ TR をオンし続ける状態）となるので、出力電圧 V_{out} の瞬時低下を抑え

10

20

30

40

50

ることが可能となる。図 3 3 では負荷電流が増加する場合を想定しているが、負荷電流が減少するような負荷変動が発生した場合も同様である。すなわち、条件式 Z が満たされれば、負荷変動直後に $V_- > V_+$ となり、出力スイッチ T R のスイッチングが一時的に停止された状態 (= 出力スイッチ T R をオフし続ける状態) となるので、出力電圧 V_{out} の瞬時上昇を抑えることが可能となる。

【 0 1 5 5 】

このように、負荷変動により負荷電流が増加した場合には、 $V_- < V_+$ となって出力スイッチ T R をオンし続けることが望ましく、逆に、負荷変動により負荷電流が減少した場合には、 $V_- > V_+$ となって出力スイッチ T R をオフし続けることが望ましい。上記のスイッチング停止動作は条件式 Z を満たすこと以外にも、負荷変動時に $|V_-| < |V_+|$ を満たすことによっても実現することができる。

10

【 0 1 5 6 】

なお、上記した負荷変動時の振る舞いに着目すると、降圧型スイッチング電源回路 1 0 3 は、出力スイッチ T R を駆動して、入力電圧 V_{in} から出力電圧 V_{out} を生成し、負荷 R_o に供給するものであって、出力電圧 V_{out} の変動幅が定常時の変動幅よりも増加した場合には、負荷 R_o に流れる電流が増加する負荷変動時にはキャパシタ C_o に電流が流れるように、又は、負荷 R_o に流れる電流が減少する負荷変動時にはキャパシタ C_o に電流が流れないように、出力スイッチ T R を導通状態または遮断状態で所定の時間 (例えば、定常時のスイッチング期間の 2 倍以上の期間) に亘って停止する機能を備えているものとして理解することができる。

20

【 0 1 5 7 】

< スペクトラム拡散機能が有効となる条件 >

図 3 4 は、スペクトラム拡散機能が有効となる条件を示す図であり、上から順に、電圧 V_- 、比較結果信号 V_{com} 、及び、乱数信号 V_{sp} が描写されている。

【 0 1 5 8 】

先出の条件式 Y 1 (= 数式 (1 3 a) を参照) を満たせば、スペクトラム拡散機能が確実に有効となる。ただし、条件式 Y 1 を満たさない場合であっても、条件式 Y 2 (= 数式 (1 3 b) を参照) を満たせば、スペクトラム拡散機能が有効となり得る。以下、本図に即してその理由を説明する。

【 0 1 5 9 】

乱数信号 V_{sp} がローレベルであるときには、これに起因するリップル成分の傾き が負となる。一方、乱数信号 V_{sp} がハイレベルであるときには、これに起因するリップル成分の傾き が正となる。

30

【 0 1 6 0 】

同様に、比較結果信号 V_{com} がローレベルであるときには、これに起因するリップル成分の傾き が負となる。一方、比較結果信号 V_{com} がハイレベルであるときには、これに起因するリップル成分の傾き が正となる。

【 0 1 6 1 】

ここで、電圧 V_- に着目すると、 $(V_{sp}, V_{com}) = (H, H)$ であるときには、傾き 及び が共に正となるので、電圧 V_- が上昇する。逆に、 $(V_{sp}, V_{com}) = (L, L)$ であるときには、傾き 及び が共に負となるので、電圧 V_- が低下する。また、 $(V_{sp}, V_{com}) = (H, L)$ または (L, H) であるときには、傾き 及び が互いに打ち消し合う。特に、傾き 及び が同程度ならば、電圧 V_- が平坦 (またはほぼ平坦) となる。

40

【 0 1 6 2 】

すなわち、 $>$ であるときはもちろん、これが満たされない場合でも、傾き 及び が同程度 (例えば $| | | 10 \times | | |$) であるならば、電圧 V_- の周波数が乱数信号 V_{sp} の周波数と一致して変動するので、スペクトラム拡散機能が有効となる。

【 0 1 6 3 】

< 昇圧型への適用 >

50

なお、第3実施形態（図26）では、降圧型スイッチング電源回路103にスペクトラム拡散部160を導入した例を挙げたが、その導入先はこれに限定されるものではない。

【0164】

例えば、図35の昇圧型スイッチング電源回路11Aとして示したように、図1の昇圧型スイッチング電源回路11にスペクトラム拡散部160を導入してもよい。

【0165】

また、図36の昇圧型スイッチング電源回路12Aとして示したように、図2の昇圧型スイッチング電源回路12にスペクトラム拡散部160を導入してもよい。

【0166】

また、図37の昇圧型スイッチング電源回路15Aとして示したように、図15の昇圧型スイッチング電源回路15にスペクトラム拡散部160を導入することも可能である。なお、昇圧型スイッチング電源回路15Aでは、出力スイッチTRとして、GaN-HEMT [High electron mobility transistor]などを好適に用いることができる。

10

【0167】

その他、図13の昇圧型スイッチング電源回路13や図14の昇圧型スイッチング電源回路14をベースとしつつ、これにスペクトラム拡散部160を導入することもできる。

【0168】

なお、昇圧型スイッチング電源回路においても、電圧 V_{-} のスペクトラム拡散を行いつつ、リップル制御方式（=ヒステリシス制御方式+リップルインジェクション機能）による電力変換動作を正しく行うための動作条件は、先と同様であり、先出の条件式X、条件式Y1（またはY2）、並びに、条件式Z自体に変更はない。

20

【0169】

ただし、出力形式の変更（降圧型 昇圧型）に伴い、定常時における電圧 V_{-} のリップル成分（ $=V_{-a}(t) + V_{-b}(t) + V_{-c}(t)$ ）を導出するための等価回路が若干変更されている。以下、その変更点について述べる。

【0170】

図38は、定常時における電圧 V_{-} の導出方法（昇圧型）を説明するための図である。本図中の（a）欄～（c）欄で示された等価回路は、基本的に図31と同様である。ただし、（a）欄の等価回路では、スイッチング電圧が「 V_s 」ではなく「 V_{n1} 」となるので、その変動範囲も「 $0 \sim V_{in}$ 」から「 $0 \sim V_{out}$ 」に変更されている。

30

【0171】

上記の変更に伴い、先出の条件式X、条件式Y1及びY2、並びに、条件式Zは、それぞれ、次の数式（16）、数式（17a）及び（17b）、並びに、数式（18）として書き表すことができる。

【0172】

【数16】

$$(X) \quad \frac{\tau}{C_r + C_s} \left| \frac{V_{cc}}{R_{com}} A \left(1 - e^{-\frac{DT}{\tau}} \right) - \frac{V_{out}}{R_r} A \left(1 - e^{-\frac{DT}{\tau}} \right) + \frac{V_{ran}}{R_s} A' \left(1 - e^{-\frac{DT}{\tau}} \right) \right| > |\Delta V_{+}| \quad \dots (16)$$

40

【0173】

【数17】

$$(Y1) \quad \frac{A' V_{ran}}{R_s} > A \left(\frac{V_{cc}}{R_{com}} - \frac{V_{out}}{R_r} \right) \quad \dots (17a)$$

$$(Y2) \quad \frac{A' V_{ran}}{R_s} \leq A \left(\frac{V_{cc}}{R_{com}} - \frac{V_{out}}{R_r} \right) \leq \frac{10 A' V_{ran}}{R_s} \quad \dots (17b)$$

50

【 0 1 7 4 】

【 数 1 8 】

$$(Z) \left| -\frac{Y}{C_s + C_r} (B_0 + B_1) - \frac{B_3}{2C_o R_o'} + B_2 \varpi \right| > \left| \frac{1}{C_s + C_r} \left(\frac{AV_{cc}}{R_{com}} - \frac{AV_{out}}{R_r} + \frac{A'V_{ram}}{R_s} \right) \right| \dots (18)$$

【 0 1 7 5 】

なお、上記数式中のパラメータについては、先と同様、数式(15a)～(15l)で示す通りである。

【 0 1 7 6 】

< 乱数生成方法 >

次に、乱数信号生成回路160における乱数生成方法について説明する。図39は、乱数生成方法の一例を示すフローチャートである。本フローが開始されると、まず、ステップS41において、変数kの初期設定(k=1)が行われる。

【 0 1 7 7 】

次に、ステップS42では、入力信号P_kの初期値(=P₁)として、0以外の実数Sが設定される。なお、乱数の種となる実数Sとしては、例えば、無理数(または計算機の有効桁数以上の桁数に亘って循環しない小数部を持つ有理数)や素数が好適である。

【 0 1 7 8 】

次に、ステップS43では、入力信号P_kに所定の乗算処理(=係数rの乗算処理)が施されて乗算信号rP_kが算出される。

【 0 1 7 9 】

次に、ステップS44では、乗算信号rP_kに所定の条件判定処理が施されて入力信号P_kの更新値(=次の入力信号P_{k+1})が設定される。

【 0 1 8 0 】

その後、ステップS45では、変数kが一つインクリメントされて、フローがステップS43に戻される。以降も、ステップS43～S45が繰り返されることにより、乗算信号rP_kが順次生成され、その一部または全部、若しくは、これに所定の演算処理を施したものが乱数信号として出力される。例えば、乗算信号rP_kが2進数で表記されるデジタル信号である場合には、その任意のビットを乱数信号として利用することができる。

【 0 1 8 1 】

< 条件判定処理 >

次に、ステップS44における条件判定処理のアルゴリズムについて説明する。上記の条件判定処理では、乗算信号rP_kの信号値とL個の閾値K₁～K_L(ただしLは2以上の整数でありK₁<K₂<…<K_L)がそれぞれ比較され、次の数式(19)₀～(19)_Lに照らし合わせて、入力信号P_kの更新値(=次の入力信号P_{k+1})が設定される。

【 0 1 8 2 】

【 数 1 9 】

$$\begin{aligned} rP_k \leq K_1 &\Rightarrow P_{k+1} = rP_k && \dots (19)_0 \\ K_1 < rP_k \leq K_2 &\Rightarrow P_{k+1} = rP_k - K_1 && \dots (19)_1 \\ K_2 < rP_k \leq K_3 &\Rightarrow P_{k+1} = rP_k - K_2 && \dots (19)_2 \\ &\vdots && \\ K_{L-1} < rP_k \leq K_L &\Rightarrow P_{k+1} = rP_k - K_{L-1} && \dots (19)_{L-1} \\ K_L < rP_k &\Rightarrow P_{k+1} = rP_k - K_L && \dots (19)_L \end{aligned}$$

【 0 1 8 3 】

なお、実数 S を 2 進数で表記される N ビット（例えば $N = 19$ ）のデジタル信号 $S(2)$ としたときには、入力信号 P_k 及び乗算信号 rP_k もデジタル信号となる。このとき、閾値 $K_1 \sim K_L$ をそれぞれ $2^{N-L+2} \sim 2^{N+1}$ に設定すると、先の数式 (8)₀ ~ (8)_L は、次の数式 (20)₀ ~ (20)_L として書き改めることができる。

【0184】

【数20】

$$\begin{aligned}
 rP_k \leq 2^{N-L+2} &\Rightarrow P_{k+1} = rP_k && \dots (20)_0 \\
 2^{N-L+2} < rP_k \leq 2^{N-L+3} &\Rightarrow P_{k+1} = rP_k - 2^{N-L+2} && \dots (20)_1 \\
 &\vdots && \\
 2^{N-1} < rP_k \leq 2^N &\Rightarrow P_{k+1} = rP_k - 2^{N-1} && \dots (20)_{L-2} \\
 2^N < rP_k \leq 2^{N+1} &\Rightarrow P_{k+1} = rP_k - 2^N && \dots (20)_{L-1} \\
 2^{N+1} < rP_k &\Rightarrow P_{k+1} = rP_k - 2^{N+1} && \dots (20)_L
 \end{aligned}$$

10

【0185】

このように、ステップ S44 における条件判定処理では、乗算信号 rP_k の信号値と複数の閾値 $K_1 \sim K_L$ とがそれぞれ比較され、乗算信号の信号値 rP_k 、若しくは、乗算信号 rP_k の信号値から複数の閾値 $K_1 \sim K_L$ のいずれかを差し引いた差分値が入力信号 P_k の更新値 (= 次回の入力信号 P_{k+1}) として設定される。

20

【0186】

< 乱数信号生成回路 >

図40は、乱数信号生成回路の一構成例を示す図である。本構成例の乱数信号生成回路200は、乱数信号生成部200Aと、パルス信号生成部200Bと、を有するパルス発振器の一種であり、図26等の乱数信号生成回路161として用いられる。

【0187】

乱数信号生成部200Aは、先に説明した乱数信号生成方法を用いて乱数信号 (= 乗算信号 rP_k) を生成する回路ブロックであり、初期値設定部210と、乗算部220と、条件判定部230と、を含む。

30

【0188】

パルス信号生成部200Bは、乗算信号 rP_k に応じた発振周波数のパルス信号を生成し、これを乱数信号 Vsp (= スペクトラム拡散信号) として出力する回路ブロックであり、カウンタ240と、周波数決定部250と、を含む。

【0189】

初期値設定部210は、入力信号 P_k の初期値 (= P_1) として、0以外の実数 S を設定する。

【0190】

乗算部220は、入力信号 P_k に所定の乗算処理 (= 係数 r の乗算処理) を施して乗算信号 rP_k を算出する。

40

【0191】

条件判定部230は、乗算信号 rP_k に所定の条件判定処理を施して入力信号 P_k の更新値 (= 次回の入力信号 P_{k+1}) を設定する。

【0192】

なお、乱数信号生成部200Aでは、上記の乗算処理と条件判定処理が繰り返されることにより、乗算信号 rP_k が順次生成され、その一部または全部、若しくは、これに所定の演算処理を施したものが乱数信号として出力される。例えば、乗算信号 rP_k が2進数で表記されるデジタル信号である場合には、その任意のビットを乱数信号として利用することができる。この点については、先述の通りである。

【0193】

50

カウンタ 240 は、クロック信号 PWM のパルスカウント値 M1 を出力する。

【0194】

周波数決定部 250 は、パルスカウント値 M1 と乱数信号 $r P_k$ に応じた目標カウント値 M2 とを比較して、乱数信号 $V s p$ の発振周波数を決定する。

【0195】

以下では、 $S = 17 d (= 000 \dots 10001 b)$, $r = 3$, $L = 2$, $N = 19$, $K_1 = 219$, $K_2 = 220$ である場合を例に挙げて、上記各部の構成及び動作を説明する。ただし、これとは異なる条件を用いることも任意である。

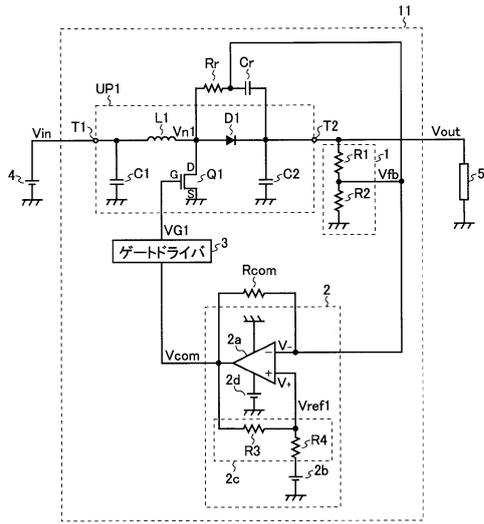
【符号の説明】

【0196】

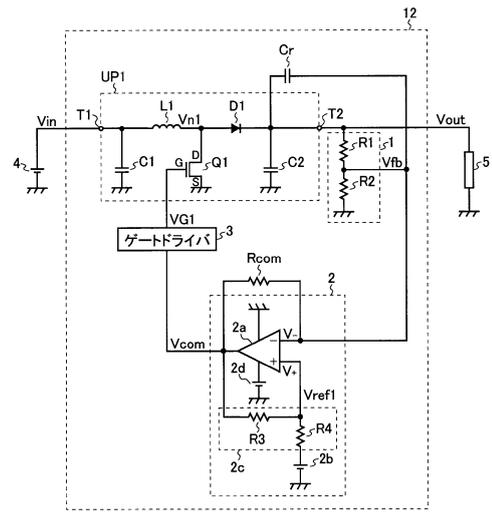
1	帰還電圧生成回路	
2	比較回路	
3	ゲートドライバ	
4	直流電源	
5	負荷抵抗	
11 ~ 15、11A、12A、15A	昇圧型スイッチング電源回路	
101、102、103	降圧型スイッチング電源回路	
110	スイッチ出力部	
120	帰還電圧生成部	
130	エラーアンプ	20
140	コンパレータ	
150	駆動部	
160	スペクトラム拡散部	
161	乱数信号生成回路	
170	リップル注入部	
200	乱数信号生成回路	
200A	乱数信号生成部	
200B	パルス信号生成部	
210	初期値設定部	
220	乗算部	30
230	条件判定部	
240	カウンタ	
250	周波数決定部	
Ci、Co、Cr、Cs	キャパシタ	
D	ダイオード	
L、L1	インダクタ	
Q1	スイッチ素子	
R1、R2、Ra、Rb、Rcom、Rdown、Rup、Rr、Rs	抵抗	
Ro	負荷抵抗	
TR	出力スイッチ (NMOSFET)	40
UP1	電圧生成回路	

【図面】

【図 1】

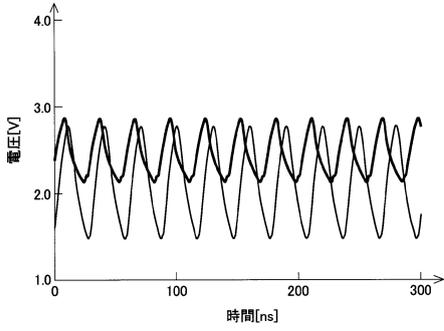


【図 2】

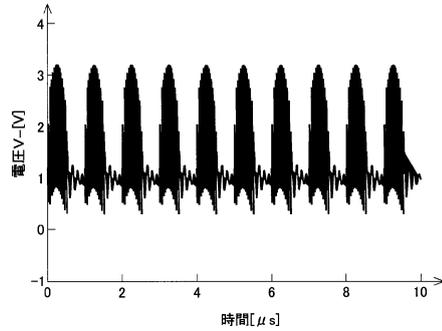


10

【図 3】



【図 4】



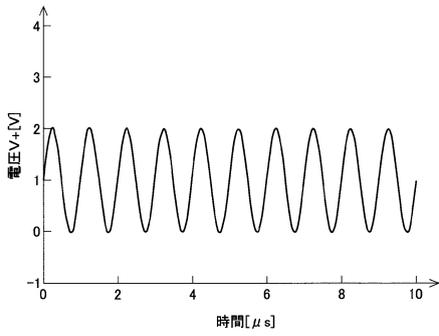
20

30

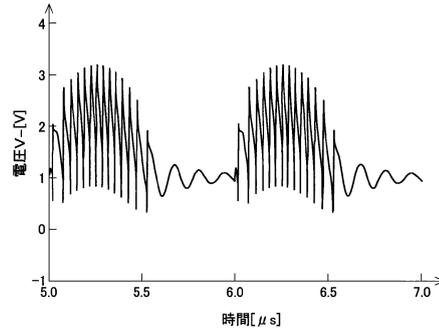
40

50

【図 5】

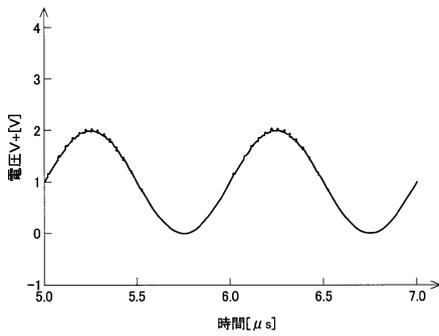


【図 6】

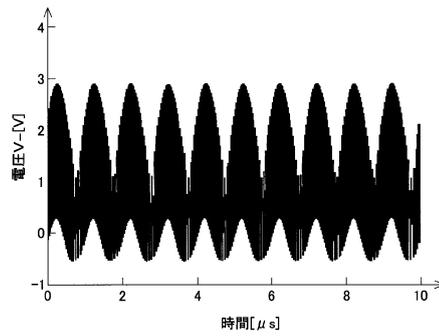


10

【図 7】

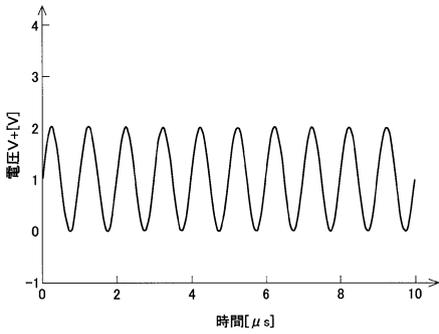


【図 8】

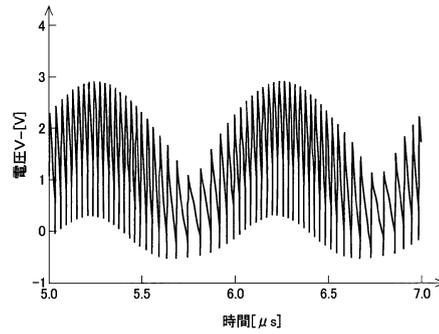


20

【図 9】



【図 10】

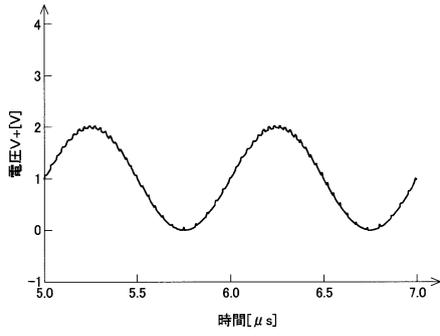


30

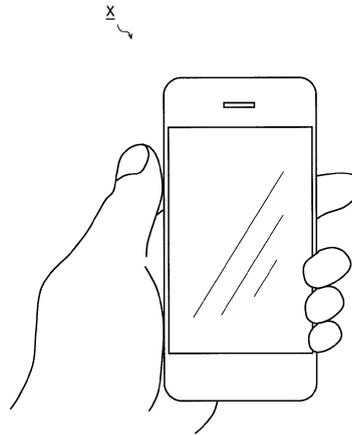
40

50

【図 1 1】

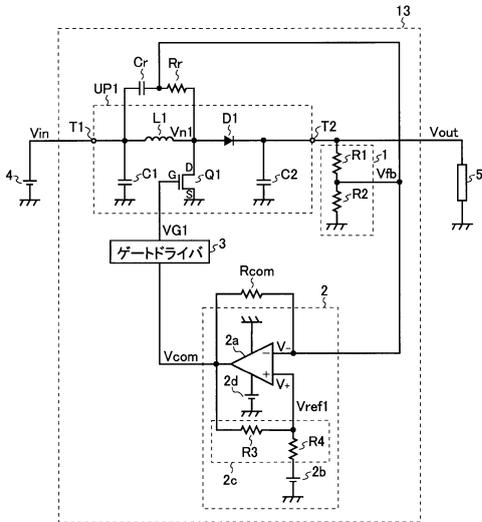


【図 1 2】

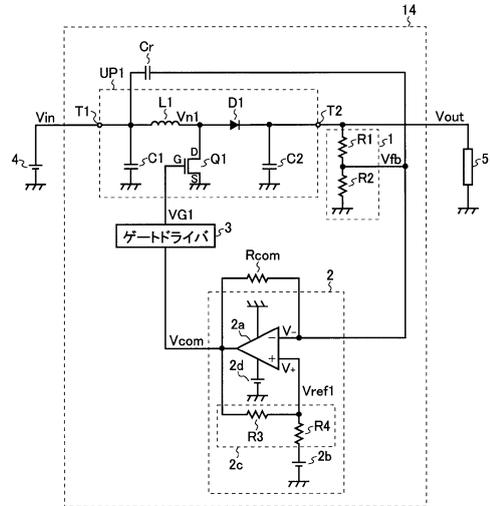


10

【図 1 3】



【図 1 4】



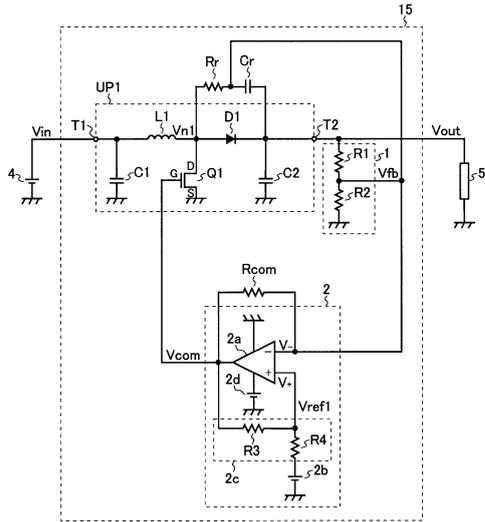
20

30

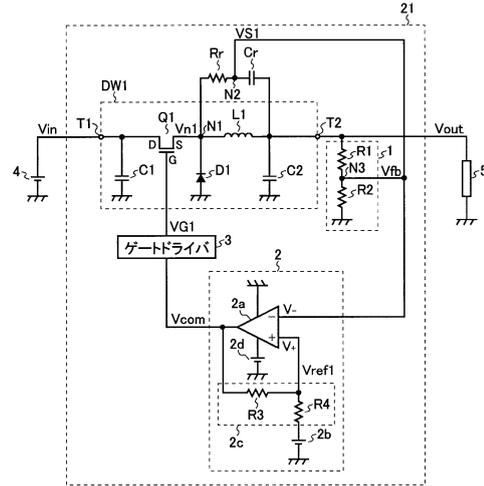
40

50

【図 15】

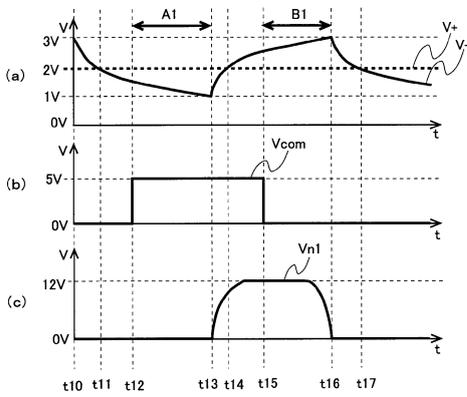


【図 16】

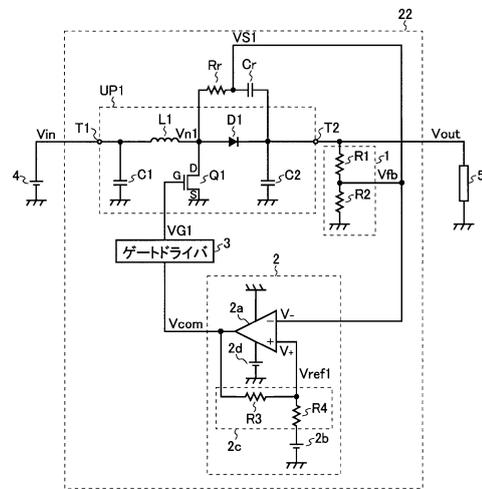


10

【図 17】



【図 18】



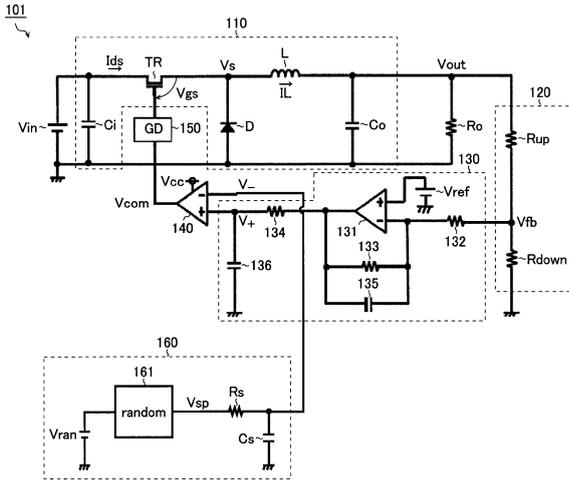
20

30

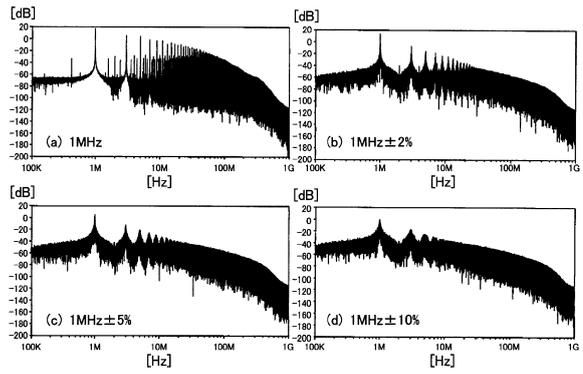
40

50

【 図 19 】

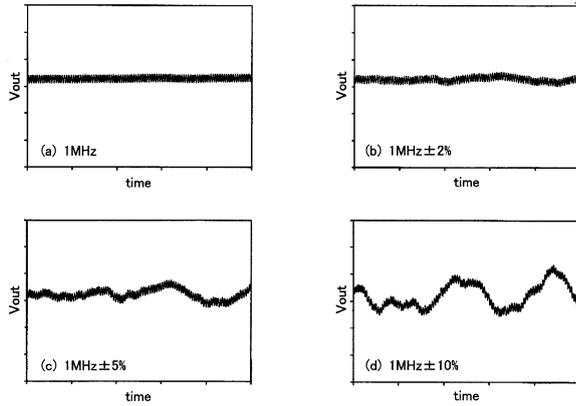


【 図 20 】

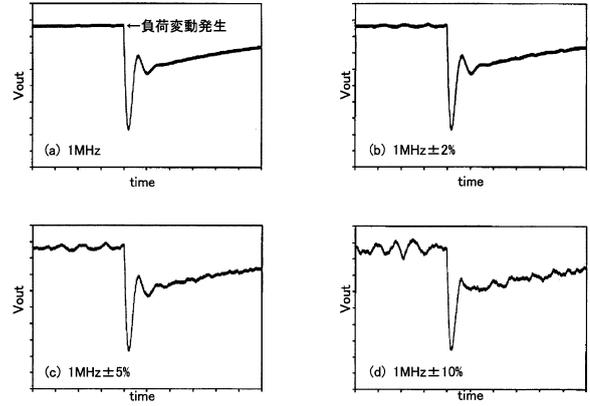


10

【 図 21 】



【 図 22 】



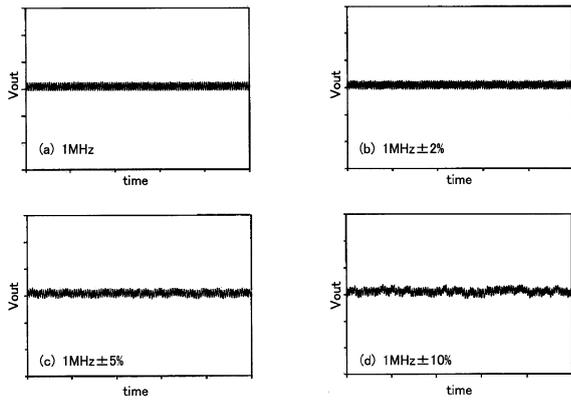
20

30

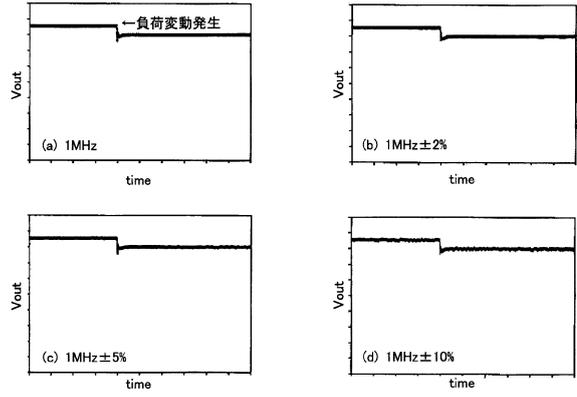
40

50

【 2 7 】

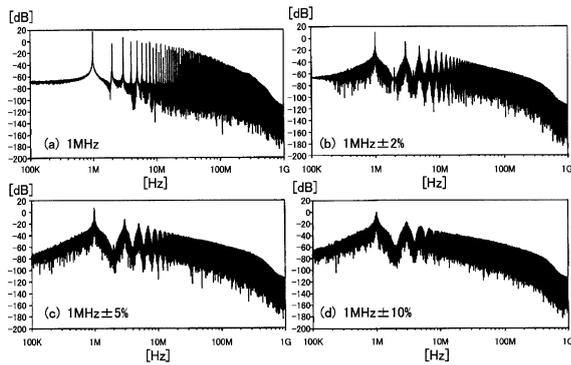


【 2 8 】

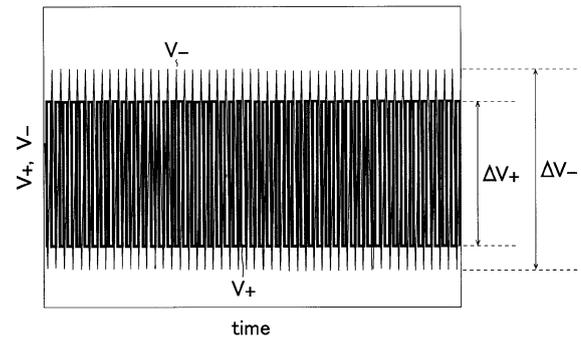


10

【 2 9 】



【 3 0 】



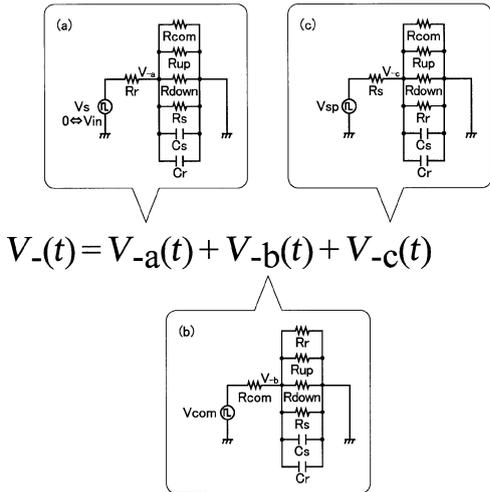
20

30

40

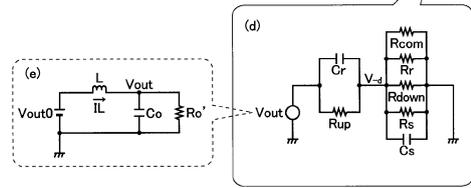
50

【 3 1 】



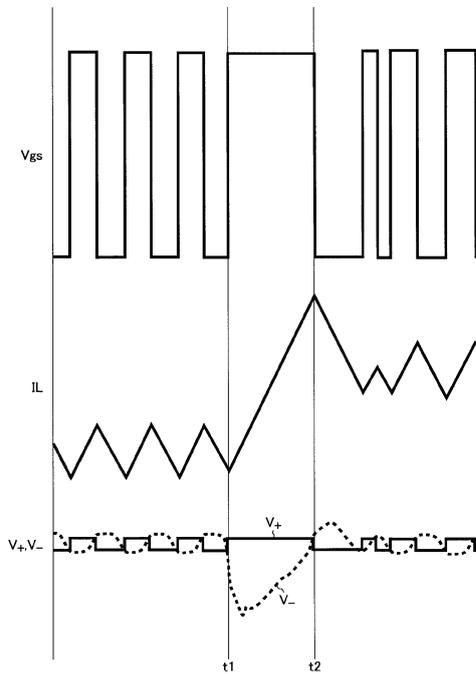
【 3 2 】

$$V_{-}(t) = V_{-a}(t) + V_{-b}(t) + V_{-c}(t) + V_{-d}(t)$$

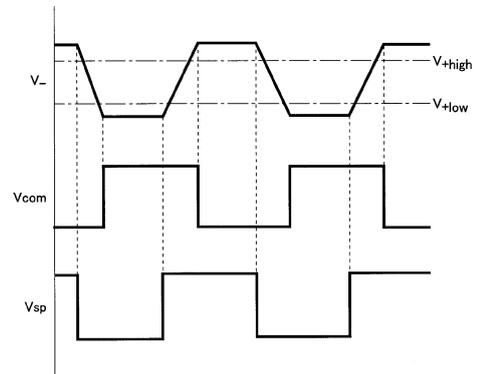


10

【 3 3 】



【 3 4 】



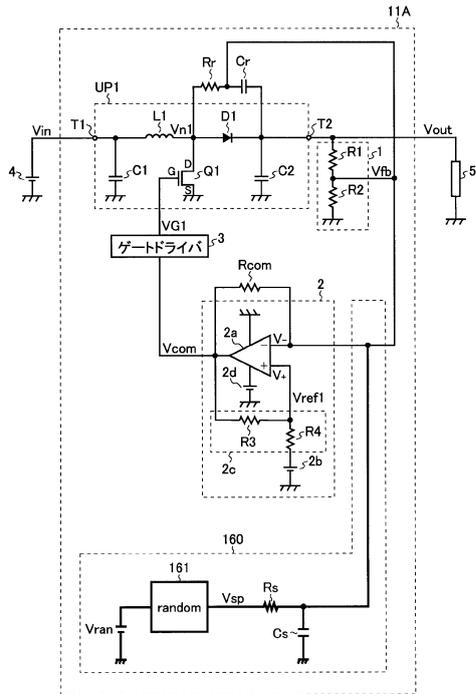
20

30

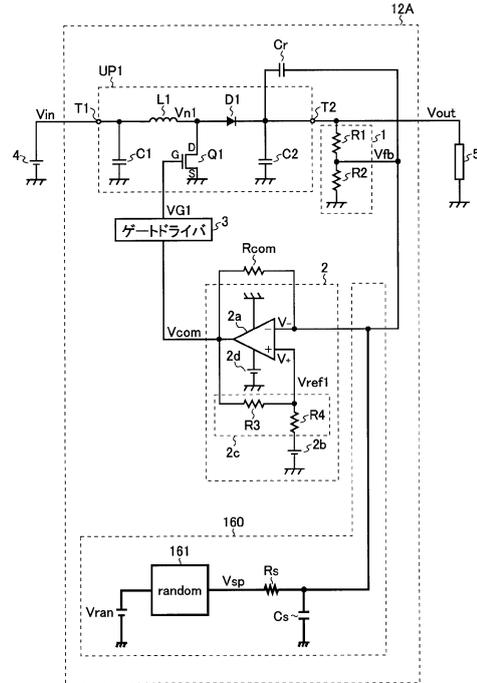
40

50

【図 3 5】



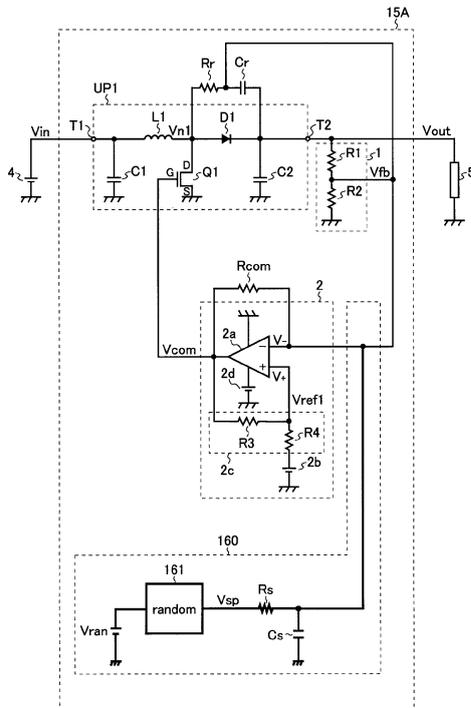
【図 3 6】



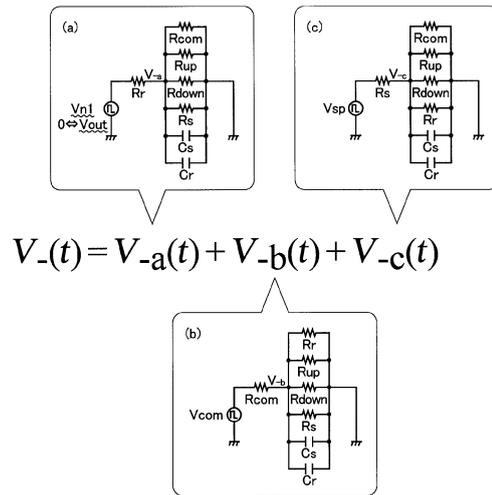
10

20

【図 3 7】



【図 3 8】



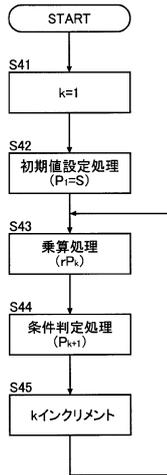
$$V_{-}(t) = V_{-a}(t) + V_{-b}(t) + V_{-c}(t)$$

30

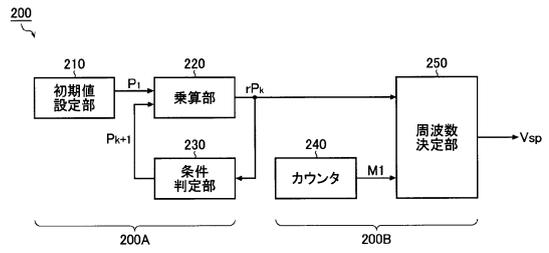
40

50

【 図 3 9 】



【 図 4 0 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 6 - 0 2 7 7 8 3 (J P , A)
特開 2 0 1 4 - 2 0 4 5 4 7 (J P , A)
特開 2 0 1 7 - 2 1 5 9 5 5 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 3 2 6 1 1 6 (U S , A 1)
米国特許第 0 8 1 3 8 7 3 9 (U S , B 1)
特開 2 0 1 0 - 2 5 2 6 2 7 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 2 M 3 / 1 5 5