

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6221243号
(P6221243)

(45) 発行日 平成29年11月1日(2017.11.1)

(24) 登録日 平成29年10月13日(2017.10.13)

(51) Int.Cl.	F I				
G09F 9/30 (2006.01)	G09F	9/30	338		
H01L 29/786 (2006.01)	H01L	29/78	612C		
H01L 21/336 (2006.01)	H01L	29/78	616K		
H01L 21/28 (2006.01)	H01L	21/28	L		
H01L 21/822 (2006.01)	H01L	27/04	H		
請求項の数 4 (全 11 頁) 最終頁に続く					

(21) 出願番号	特願2013-13115 (P2013-13115)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成25年1月28日(2013.1.28)	(74) 代理人	110001276 特許業務法人 小笠原特許事務所
(65) 公開番号	特開2014-145832 (P2014-145832A)	(72) 発明者	鈴木 剛史 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(43) 公開日	平成26年8月14日(2014.8.14)	(72) 発明者	村田 広大 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
審査請求日	平成27年12月18日(2015.12.18)	審査官	田辺 正樹
最終頁に続く			

(54) 【発明の名称】 薄膜トランジスタアレイ及び画像表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に形成されたゲート電極及びキャパシタ電極と、前記ゲート電極及び前記キャパシタ電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成された半導体層と、前記半導体層上に形成された封止層とを有する薄膜トランジスタをマトリックス状に配置し、マトリックス状に配置された前記薄膜トランジスタの周囲にゲート共通電極及びソース共通電極を有し、前記ゲート共通電極とゲート配線との間にはゲート保護素子が接続され、前記ソース共通電極とソース配線との間にはソース保護素子が接続されている薄膜トランジスタアレイであって、

前記ゲート保護素子及び前記ソース保護素子のゲート絶縁膜ビア開口部のテーパ角が60°以下であり、

前記ゲート絶縁膜ビア開口部から露出した前記ゲート電極の表面に、アミノ基及びメルカプト基の両方を含む化合物で形成された単分子膜を有することを特徴とする、薄膜トランジスタアレイ。

【請求項2】

前記ゲート絶縁膜の膜厚が1.5µm以下であることを特徴とする請求項1に記載の薄膜トランジスタアレイ。

【請求項3】

請求項1に記載の薄膜トランジスタアレイと画像表示媒体とからなることを特徴とする

画像表示装置。

【請求項4】

前記画像表示媒体が電気泳動方式によるものであることを特徴とする請求項3に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタアレイ及び画像表示装置に関する。

【背景技術】

【0002】

近年、フレキシブル化、軽量化、低コスト化等の観点から、印刷法による薄膜トランジスタの研究が盛んであり、有機ELや電子ペーパー等の駆動回路や電子タグ等への応用が期待されている。しかしながら、一般に印刷法はフォトリソ法よりパターン解像度が劣り、又、塗布型の有機半導体は一般にキャリア移動度が小さい。したがって、印刷法による薄膜トランジスタの実用化には、各種電極（ゲート電極及びソース・ドレイン電極）の微細形成が特に重要であり技術的課題の一つである。

【0003】

前記各種電極の印刷法として、これまで、スクリーン印刷やインクジェットを用いた例が数多く報告されているが、これらの印刷法はパターン解像度が十分とは言えない。例えば、スクリーン印刷は、スクリーンメッシュの精細度の制約から、パターンの微細度がライン/スペースで20/20 μm 以下となると、パターンの安定形成は困難である。又、パターンが微細となると、粘度が高く流動性の低い印刷ペーストを用いる必要があるため、印刷後のレベリング不足によりパターンに擦れや表面凹凸が残るといった表面平滑性の問題も生じてくる。

【0004】

一方、インクジェットは印刷版に関わる問題は無く、表面平滑性の問題も小さいが、インクの着弾精度は微細パターン形成には十分とは言えず、さらにインクジェット用のインクは低粘度で流動性が大きいため、パターン解像度はスクリーン印刷より悪い。この問題に対し、予め基材表面にインクの流動を制限するための各種パターンニング処理を施すことで、微細パターンを形成した例もあるが、工程が複雑となるため低コスト化や大面積化に対する有効性は限られたものとなる。

【0005】

これらの印刷法に対し、微細なパターンが形成可能な方法として反転オフセット印刷法が知られている。反転オフセット印刷は、剥離性表面を有する印刷ブランケットの全面に転写物を塗布形成し、この印刷ブランケットを凸版に密着させ離すことで、転写物のうち凸版凸部に接触した部分を印刷ブランケットから除去し、続いてこの印刷ブランケットを被転写物に密着させ離すことで転写物を転写する印刷パターンニング方法である。これまでに、線幅10 μm 以下、線間隔が5 μm 以下の電極パターンを反転オフセット印刷にて形成した薄膜トランジスタアレイの報告例等（特許文献1）がある。さらに、薄膜トランジスタアレイの特性劣化（半導体の移動度やON/OFF比の低下等）を抑制すべく、半導体上にストライプ状の封止層を形成する例（特許文献2）等も報告されている。

【0006】

このように薄膜トランジスタアレイの特性劣化を抑制する方法として、薄膜トランジスタの構造を改善する特許案がある一方で、薄膜トランジスタアレイの回路に注目した特許案も報告されている。例えば、薄膜トランジスタアレイの端部に保護素子を施した薄膜トランジスタアレイを作製することで、静電気放電による過渡電圧の影響を抑制し、しきい値電圧のシフトに代表されるデバイス劣化や損傷を回避している（特許文献3、4）。

【先行技術文献】

【特許文献】

【0007】

10

20

30

40

50

【特許文献1】特開2006-332165号公報

【特許文献2】特開2008-270744号公報

【特許文献3】特開平8-179366号公報

【特許文献4】特開平7-287250号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、保護素子の各種電極（ソース電極・ドレイン電極等）を反転オフセット印刷法等の転写印刷法にて形成する際に、ゲート電極上に形成されたゲート絶縁膜のビア開口部の側面にはブランケットが接触できないという問題がある。さらに、ビア開口部から露出したゲート電極の表面エネルギーが小さいと、ソース電極・ドレイン電極をビア開口部に転写することができなく、ゲート電極とソース電極・ドレイン電極の導通がとれないという問題がある。

10

【0009】

本発明は、ゲート絶縁膜ビア開口部に対しても転写印刷法による転写不良を回避することができる薄膜トランジスタアレイ及び保護素子並びに画像表示装置を提供するものである。

【課題を解決するための手段】

【0010】

上記課題を達成するためになされた第1の発明は、絶縁基板上に形成されたゲート電極及びキャパシタ電極と、前記ゲート電極及び前記キャパシタ電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成された半導体層と、前記半導体層上に形成された封止層とを有する薄膜トランジスタをマトリクス状に配置し、マトリクス状に配置された前記薄膜トランジスタの周囲にゲート共通電極及びソース共通電極を有し、前記ゲート共通電極とゲート配線との間にはゲート保護素子が接続され、前記ソース共通電極とソース配線との間にはソース保護素子が接続されている薄膜トランジスタアレイであって、前記ゲート保護素子及び前記ソース保護素子のゲート絶縁膜ビア開口部のテーパ角が60°以下であり、前記ゲート絶縁膜ビア開口部から露出した前記ゲート電極の表面に、アミノ基及びメルカプト基の両方を含む化合物で形成された単分子膜を有することを特徴とする

20

30

【0012】

第2の発明は、前記第1の発明において、前記ゲート絶縁膜の膜厚が1.5µm以下であることを特徴とする。

【0016】

第3の発明は、前記第1の発明の薄膜トランジスタアレイと画像表示媒体とからなることを特徴とする画像表示装置である。

【0017】

第4の発明は、前記第3の発明において、前記画像表示媒体が電気泳動方式によるものであることを特徴とする。

40

【発明の効果】

【0018】

本発明によれば、ゲート保護素子及びソース保護素子におけるゲート絶縁膜ビア開口部のテーパ角を60°以下にすることやビア開口部から露出したゲート電極の表面をアミノ基、エポキシ基、メルカプト基等のような官能基を末端に持つ単分子膜で表面処理することで、転写印刷法にてソース電極・ドレイン電極を単分子膜上に形成する際に、ゲート絶縁膜ビア開口部に対しても転写不良なく形成することができる。そのため、ゲート電極とソース・ドレイン電極の導通を図ることができ、静電気放電に伴う過渡電圧の影響を抑制し、しきい値電圧のシフトに代表されるデバイス劣化や損傷を回避することができる。そして、信頼性の高い薄膜トランジスタアレイ及び画像表示装置を提供することができる

50

。

【図面の簡単な説明】

【0019】

【図1】本発明の実施形態を示すものであり、薄膜トランジスタアレイ全体の概略構成を示すパターンレイアウト平面図である。

【図2】本発明における薄膜トランジスタアレイの概略構成の一部を示すパターンレイアウト平面図である。

【図3】本発明の薄膜トランジスタの断面構造である。

【図4】本発明のゲート保護素子及びソース保護素子の断面構造である。

【発明を実施するための形態】

【0020】

以下、本発明に係る薄膜トランジスタ及び画像表示装置の実施形態を、図面を参照しつつ説明する。実施の形態において、同一構成要素には同一符号を付け、実施の形態間において重複する説明は省略する。

【0021】

図1, 2の薄膜トランジスタアレイのパターンレイアウト平面図に示すように、薄膜トランジスタ1がマトリックス状に配置され、その周囲にゲート共通電極4及びソース共通電極5を有し、ゲート共通電極4とゲート配線2の間にはゲート保護素子6が接続され、ソース共通電極5とソース配線3の間にはソース保護素子7が接続されている。ゲート共通電極4及びソース共通電極5はアース電位に接続されているか、あるいは抵抗を介してアース電位に接続されている。図2においてゲート保護素子6及びソース保護素子7は、1個のフローティングゲートトランジスタの場合を記載しているが、薄膜トランジスタをダイオード接続（即ちゲート電極とドレイン電極を短絡）したものを逆向きに2個並列に接続したものか、薄膜トランジスタをダイオード接続したものを2個直列構造したのもでも良い。

【0022】

薄膜トランジスタ1は、図3に示すように、ボトムゲート・ボトムコンタクト型構造をしており、絶縁基板8、ゲート電極9、キャパシタ電極10、ゲート絶縁膜11、ソース電極12、ドレイン電極13、半導体層14、封止層15によって構成されている。

【0023】

ゲート保護素子6及びソース保護素子7は、図4に示すように、絶縁基板8、ゲート電極9、キャパシタ電極10、ゲート絶縁膜11、ソース電極12、ドレイン電極13、単分子膜16、ビア開口部17によって構成されている。ゲート絶縁膜11とゲート絶縁膜ビア開口部17から露出したゲート電極9上に単分子膜16が形成されている。ゲート絶縁膜ビア開口部17はテーパー形状をしている。

【0024】

本発明の絶縁基板8には、ポリメチレンメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート、シクロオレフィンポリマー、ポリエーテルサルフォン、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン、共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン樹脂等を使用することができるが、本発明はこれらに限定されるものではない。これらは単独でも、二種以上が積層された複合基板としても使用することができる。又ガラスやプラスチック基板上にカラーフィルタのような樹脂層を有する基板も使用することができる。

【0025】

本発明のゲート電極9、キャパシタ電極10、ソース電極12、ドレイン電極13には、Au、Ag、Cu、Cr、Al、Mg、Li等の低抵抗金属材料や酸化物材料が好適に用いられる。具体的には、酸化インジウム(In_2O_3)、酸化錫(SnO_2)、酸化亜

10

20

30

40

50

鉛 (ZnO)、酸化カドミウム (CdO)、酸化インジウムカドミウム ($CdIn_2O_4$)、酸化カドミウム錫 (Cd_2SnO_4)、酸化亜鉛錫 (Zn_2SnO_4)、酸化インジウム亜鉛 ($InZnO$) 等が挙げられる。又、この酸化物材料に不純物をドーブしたのも好ましい。一例として酸化インジウムにモリブデンやチタンをドーブしたものの、酸化錫にアンチモンやフッ素をドーブしたものの、酸化亜鉛にインジウム、アルミニウム、ガリウムをドーブしたものの等が挙げられる。なかでも酸化インジウムに錫をドーブした酸化インジウム錫 (ITO) がとりわけ低い抵抗率を示す。又、PEDOT/PSS (ポリエチレンジオキシチオフェン/ポリアニオンポリ(スチレンスルホン酸塩)) 等の有機導電性材料も好適であり、単体の場合も導電性酸化物材料との複数積層の場合も好んで用いられる。ゲート電極 9、キャパシタ電極 10、ソース電極 12 及びドレイン電極 13 は、すべて同じ材料からできていても、違う材料からできていてもよい。しかし、工程を減らすためにはゲート電極 9 とキャパシタ電極 10 やソース電極 12 とドレイン電極 13 に同一の材料を使用することが望ましい。又、ファインな線幅かつ薄膜な電極を印刷するためには全ての電極 (ゲート電極 9、キャパシタ電極 10、ソース電極 12、ドレイン電極 13) を反転オフセット印刷法等の転写印刷法によって形成することが望ましい。

10

【0026】

本発明のゲート絶縁膜 11 には、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、又は PMMA (ポリメチルメタクリレート) 等のポリアクリレート、PVA (ポリビニルアルコール)、PVP (ポリビニルフェノール) 等が挙げられるが、本発明はこれらに限定されるものではない。又ゲートリーク電流を抑えるために、絶縁材料の好ましい抵抗率は 10^{11} cm 以上、より好ましくは 10^{14} cm 以上である。ゲート絶縁膜の膜厚は $1.5 \mu m$ 以下であることが好ましい。膜厚が $1.5 \mu m$ よりも厚くなると、静電容量が小さいために、トランジスタを起動するための電圧を高くしなければならない。そのため、消費電力がかかる。又、ゲート絶縁膜 11 のビア開口部 17 はフォトリソグラフィ技術によって印刷され、ビア開口部 17 のテーパ角 18 は現像を行う際の時間や現像液の濃度によって制御することができるが、管理のしやすさを考慮すると、現像時間にてテーパ角 18 を制御することが望ましい。

20

【0027】

ビア開口部 17 のテーパ角 18 は 60° 以下であることが望ましい。ゲート絶縁膜 11 の膜厚が $1.5 \mu m$ 以下であることから、 60° よりも大きいと、転写印刷法にてビア開口部 17 から露出したゲート電極 9 にソース電極 12・ドレイン電極 13 を形成する際に、ブランケットがゲート電極 9 の側面に接触しづらく、転写不良を起こす恐れがある。

30

【0028】

本発明で用いられる半導体層 14 として、酸化物半導体や有機半導体が挙げられる。酸化物半導体材料としては、亜鉛、インジウム、錫、タングステン、マグネシウム、ガリウム等のうち一種以上を元素を含む酸化物、すなわち酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化錫、酸化タングステン、酸化亜鉛ガリウムインジウム等公知の材料が挙げられる。有機半導体材料としては、ポリチオフェン、ポリアリルアミン、フルオレンピチオフェン共重合体、及びそれらの誘導体のような高分子有機半導体材料、及びペンタセン、テトラセン、銅フタロシアニン、ペリレン、6,13-ビス(トリイソプロピルシリルエチニル)ペンタセン (TIPS-ペンタセン)、及びそれらの誘導体のような低分子有機半導体材料や加熱処理等で有機半導体に変換される前駆体を半導体材料インキとして用いることができる。又、カーボンナノチューブあるいはフラレン等の炭素化合物や半導体ナノ粒子分散液等も半導体層の材料として用いることができる。半導体材料インキを用いる場合には、溶媒としてトルエンやキシレン、インダン、テトラリン、プロピレングリコールメチルエーテルアセテート等が挙げられるが、これらに限定されるものではない。これらの半導体層は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマ CVD 法、光 CVD 法、ホットワイヤー CVD 法等により形

40

50

成される。又、上述の導電性材料をインキ状、ペースト状にしたものをスクリーン印刷、フレキソ印刷、インクジェット法等により塗布し、乾燥することでも形成可能であるが、本発明はこれらに限定されるものではない。

【0029】

本発明で用いられる封止層15として用いられる材料はポリビニルフェノール、ポリメタクリル酸メチル、ポリイミド、ポリビニルアルコール、エポキシ樹脂、フッ素樹脂等の高分子溶液、アルミナやシリカゲル等の粒子を分散させた溶液が好適に用いられる。又、封止層の形成方法はスクリーン印刷や凸版印刷、インクジェット法等の湿式法を用いて直接パターンを形成する方法が好適に用いられるが、これらに限定されるものではない。

【0030】

本発明に用いられる単分子膜16の化合物はチオール化合物、若しくはジスルフィド化合物、若しくはシランカップリング剤、若しくはホスホン酸化合物等が挙げられるが、これらに限定されるものではない。これらの化合物としては、エタンチオール、プロパンチオール、ブタンチオール、ペンタンチオール、ヘキサンチオール、ヘプタンチオール、オクタンチオール、デカンチオール、オクタデカンチオール等のアルカンチオール類、ベンゼンチオール、フルオロベンゼンチオール、ペンタフルオロベンゼンチオール等の芳香族チオール類、ジフェニルジスルフィド等のジスルフィド化合物、メチルトリメトキシシラン、エチルトリメトキシシラン、プロピルトリメトキシシラン、オクチルトリメトキシシラン、オクチルトリエトキシシラン、オクチルトリクロロシラン、オクタデシルトリメトキシシラン、オクタデシルトリエトキシシラン、オクタデシルトリクロロシラン等のシランカップリング剤、オクタデシルホスホン酸等のホスホン酸化合物等が挙げられるが、これらに限定されるものではない。

【0031】

本発明に用いられる単分子膜16の形成方法は特に限定されるものではないが、ディップコート法、スプレーコート法、スピコート法等のウェットプロセスが望ましいが、真空蒸着法等のドライプロセスも用いることができる。ディップコート法、スプレーコート法、スピコート法等のウェットプロセスは、真空蒸着法等のドライプロセスと比較して、簡便なプロセス及び装置にすることができ、さらに低コストで表面処理を施すことができる。

【0032】

本発明に用いられる単分子膜16の厚さは数nm程度であり、単分子膜16の末端を主々の官能基に置き換えることで単分子膜16上の表面自由エネルギーを制御することができる。例えば、アミノ基、エポキシ基、メルカプト基等を修飾した単分子膜16は、一般的に表面自由エネルギーが大きい傾向にある。そのため、ゲート絶縁膜11及びゲート絶縁膜ピア開口部17上に表面自由エネルギーの大きい単分子膜16を形成することで、転写印刷法にてソース電極12・ドレイン電極13を単分子膜16上に転写不良無く形成することができる。

【実施例1】

【0033】

本実施例では、図1～4に示すボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの作製方法を以下に示す。本トランジスタアレイは、1画素サイズ500 μ m \times 500 μ m、配線幅25 μ m、チャネル長5 μ m、チャネル幅25 μ m、画素数240 \times 320ある。

【0034】

まず、絶縁基板8としてポリエチレンナフタレート(PEN)フィルム(帝人デュボン製)を用いた。PENフィルム上に銀インク(ハリマ化成製)を転写印刷し、180 $^{\circ}$ で1時間乾燥させ、膜厚100nmのゲート電極9、キャパシタ電極10、ゲート配線2を形成した。

【0035】

続いて、ゲート電極9、キャパシタ電極10、ゲート配線2を全面に覆うように、ポジ

10

20

30

40

50

型感光性ポリイミド（旭化成製）をダイコーター塗布した後、60℃で30分間乾燥した。次いで、露光した後、水酸化テトラアンモニウム水溶液2.38%を用いて75秒間現像を行った。その後、レジストを剥離し、180℃で1時間乾燥させ、ゲート絶縁膜11に60°のテーパ角18を有するビア開口部17を形成した。

【0036】

その後、ゲート絶縁膜11とビア開口部17に単分子膜16を形成するための表面処理剤として、9-アミノノ1-オクタンチオール（関東化学製）をイソプロパノール（関東化学製）に0.5重量%となるように溶解させた溶液を用い、30分浸漬した。浸漬後、イソプロパノールで洗浄し、エアブローで乾燥させた。表面自由エネルギーを測定したところ、65mN/mであった。

10

【0037】

続いて、薄膜トランジスタ1の作製方法と同様にして、銀インク（ハリマ化成製）を転写印刷法により100nm成膜することにより、ゲート絶縁膜ビア開口部17から露出したゲート電極9上にもソース電極12・ドレイン電極13を形成することができた。

【0038】

半導体層形成用材料として、テトラリン（関東化学製）と1,13-ビス（トリイソプロピルシリルエチニル）ペンタセン（TIPS-ペンタセン）（Aldrich製）を混合した溶液を用いた。半導体層の形成にはフレキシ印刷法を用いた。フレキシ印刷には感光性樹脂フレキシソ版と150線のアニロックスロールを用い、ストライプ状に半導体材料を印刷した後100℃で60分乾燥させて半導体層14を形成した。

20

【0039】

続いて封止層15を形成した。封止層形成材料としてサイトップ（旭硝子製）を用いた。封止層形成にはフレキシ印刷を用いた。フレキシ版として感光性樹脂フレキシソ版を用い、150線アニロックスロールを用いた。

【0040】

しかる後、対向電極との間に電気泳動媒体を挟んで本実施例によるディスプレイを駆動したところ、しきい値電圧のシフトが±1%以内となり、デバイス劣化の小さい薄膜トランジスタアレイを作製することができた。

【比較例1】**【0041】**

実施例1と同様の手順で、PENフィルム8上にゲート電極9、キャパシタ電極10、ゲート絶縁膜11、ソース電極12、ドレイン電極13、半導体層14、封止層15を形成し、薄膜トランジスタ1を作製した。

30

【0042】

続いて、ゲート保護素子6及びソース保護素子7を作製するために、実施例1と同様にPENフィルム8上にゲート電極9を形成した。

【0043】

続いて、作製したゲート電極9上にゲート絶縁材料としてポジ型感光性ポリイミド（旭化成製）をダイコーターにより塗布し、フォトリソグラフィを行った。現像は水酸化テトラアンモニウム水溶液2.38%を用いて30秒間行った。その後レジストを剥離し、180℃で1時間乾燥させ、ゲート絶縁膜11に80°のテーパ角18を有するビアを形成した。

40

【0044】

その後、ゲート絶縁膜11とビア開口部17に単分子膜16を形成するための表面処理剤として、9-アミノノ1-オクタンチオール（関東化学製）をイソプロパノール（関東化学製）に0.5重量%となるように溶解させた溶液を用い、30分浸漬した。浸漬後、イソプロパノールで洗浄し、エアブローで乾燥させた。表面自由エネルギーを測定したところ、65mN/mであった。

【0045】

続いて、単分子膜16上に銀インク（製）を転写印刷法により100nm成膜すること

50

によりソース電極 1 2・ドレイン電極 1 3を形成しようとしたが、ゲート絶縁膜ビア開口部 1 7から露出したゲート電極上には銀インクが転写することはなく、ゲート電極 9とソース電極 1 2・ドレイン電極 1 3の導通を図ることができなかった。

【 0 0 4 6 】

続いて、実施例 1と同様に半導体層 1 4、封止層 1 5を形成した。

【 0 0 4 7 】

最後に、対向電極との間に電気泳動媒体を挟んで本実施例によるディスプレイを駆動したところ、しきい値電圧のシフトが $\pm 10\%$ 以上となり、デバイス劣化が大きい結果となった。

【 比較例 2 】

【 0 0 4 8 】

実施例 1と同様の手順で、PENフィルム 8上にゲート電極 9、キャパシタ電極 1 0、ゲート絶縁膜 1 1、ソース電極 1 2、ドレイン電極 1 3、半導体層 1 4、封止層 1 5を形成し、薄膜トランジスタ 1を作製した。

【 0 0 4 9 】

続いて、ゲート保護素子 6及びソース保護素子 7を作製するために、実施例 1と同様にPENフィルム 8上にゲート電極 9、ゲート絶縁膜 1 1、ビア開口部 1 7を形成した。

【 0 0 5 0 】

その後、ゲート絶縁膜 1 1とビア開口部 1 7に単分子膜 1 6を形成するための表面処理剤として、オクチルトリクロロシラン(関東化学製)をイソプロパノール(関東化学製)に 0.5 重量%となるように溶解させた溶液を用い、 30 分浸漬した。浸漬後、イソプロパノールで洗浄し、エアブローで乾燥させた。表面エネルギーを測定したところ、 16 mN/mであった。

【 0 0 5 1 】

続いて、薄膜トランジスタ 1の作製方法と同様にして、銀インク(製)を転写印刷法により 100 nm成膜することによりソース電極 1 2・ドレイン電極 1 3を形成しようとしたが、ゲート絶縁膜ビア開口部 1 7から露出したゲート電極上には銀インクが転写することはなく、ゲート電極 9とソース電極 1 2・ドレイン電極 1 3の導通を図ることができなかった。

【 0 0 5 2 】

続いて、実施例 1と同様に半導体層 1 4、封止層 1 5を形成した。

【 0 0 5 3 】

しかる後、対向電極との間に電気泳動媒体を挟んで本実施例によるディスプレイを駆動したところ、しきい値電圧のシフトが $\pm 10\%$ 以上となり、デバイス劣化が大きい結果となった。

【 産業上の利用可能性 】

【 0 0 5 4 】

本発明は、有機ELや電子ペーパー等の表示装置の駆動回路や電子タグ等に適用可能である。

【 符号の説明 】

【 0 0 5 5 】

- 1・・・薄膜トランジスタ
- 2・・・ゲート配線
- 3・・・ソース配線
- 4・・・ゲート共通電極
- 5・・・ソース共通電極
- 6・・・ゲート保護素子
- 7・・・ソース保護素子
- 8・・・絶縁基板
- 9・・・ソース電極

10

20

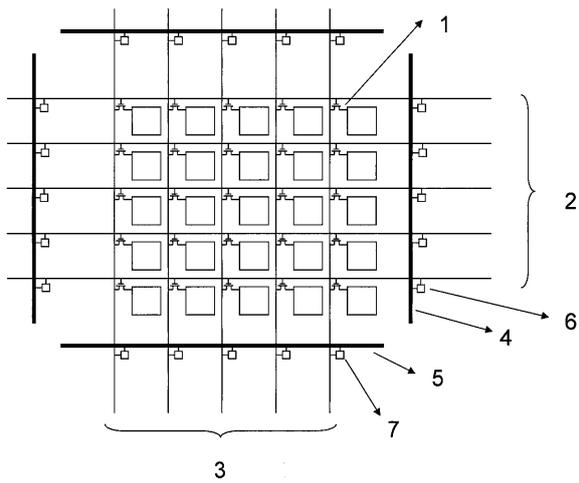
30

40

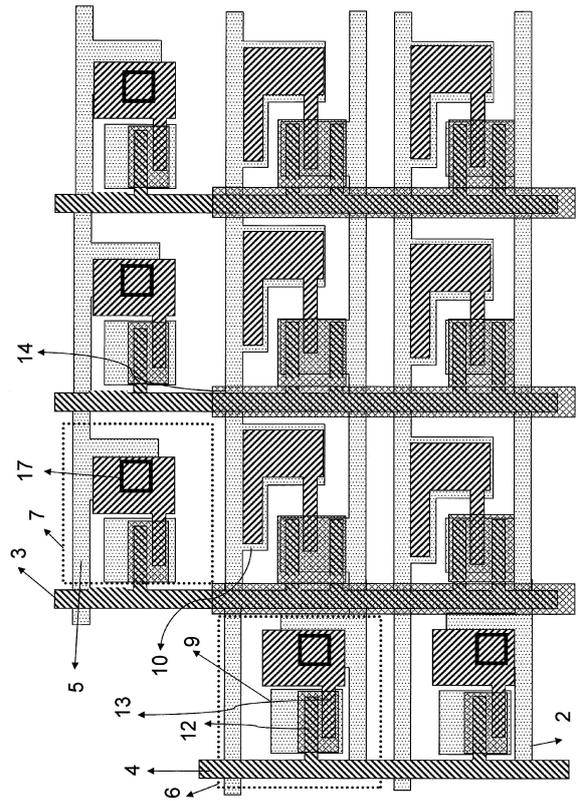
50

- 10・・・キャパシタ電極
- 11・・・ゲート絶縁膜
- 12・・・ソース電極
- 13・・・ドレイン電極
- 14・・・半導体層
- 15・・・封止層
- 16・・・単分子膜
- 17・・・ビア開口部
- 18・・・テーパー角

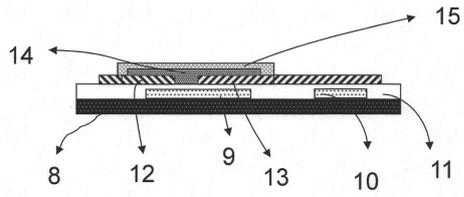
【図1】



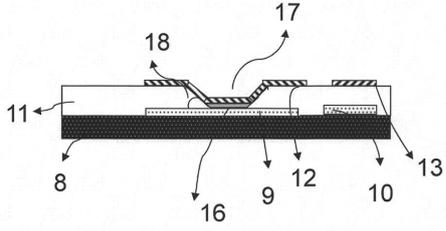
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/04 (2006.01)	H 0 1 L	29/28	1 0 0 A
H 0 1 L	51/05 (2006.01)	H 0 1 L	29/28	2 2 0 D
H 0 1 L	51/30 (2006.01)	H 0 1 L	29/28	2 5 0 H
G 0 2 F	1/1368 (2006.01)	G 0 2 F	1/1368	
G 0 9 F	9/37 (2006.01)	G 0 9 F	9/37	
		G 0 9 F	9/30	3 4 8 A

(56)参考文献 特開2010-199556(JP,A)
 特開2008-270494(JP,A)
 特開2012-054520(JP,A)
 特開2011-082419(JP,A)
 特開2006-332165(JP,A)
 特開2009-295670(JP,A)
 特開2006-215086(JP,A)
 特開2012-203148(JP,A)
 特開2005-085799(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5、1 / 1 3 5
 G 0 9 F 9 / 0 0 - 9 / 4 6
 H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8、2 1 / 3 2 9、2 1 / 3 3 6、
 2 1 / 4 4 - 2 1 / 4 4 5、2 1 / 8 2 2、2 7 / 0 4、
 2 7 / 3 2、2 9 / 4 0 - 2 9 / 4 9、2 9 / 7 8 6、2 9 / 8 7 2