

公告本

198776

申請日期	81. 9. 15
案 號	811. 7239
類 別	H3K19 / 57069 / 18

A4  
C4

(以上各欄由本局填註)

發明 專利 說明 書  
新 型

一、發明 創作 名稱	中 文	最大查詢電路
	英 文	MAXIMUM SEARCH CIRCUIT
二、發明 創作 人	姓 名	保羅·W·丹特 (Paul W. Dent) 傑普·C·哈特森 (Jaap C. Haartsen)
	籍 貫 (國籍)	英 國 荷 蘭
	住、居所	美國，北卡羅萊納州 27513，凱瑞，海德公園區，201 F 號 美國，北卡羅萊納州 27707，德漢，斯諾克瑞街 413 號
三、申請人	姓 名 (名稱)	艾瑞克森—奇異行動通訊股份有限公司 (Ericsson GE Mobile Communications Inc.)
	籍 貫 (國籍)	美 國
	住、居所 (事務所)	美國，紐澤西，派拉摩斯，東密蘭街 15 號 (15 East Midland Avenue, Paramus, New Jersey 07652, U.S.A.)
	代表人 姓 名	艾克·藍德維斯 (Ake Lundqvist)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

198776

## 五、發明說明 ( 1 )

本發明一般乃關於用於數位信號處理或計算作業之方法及裝置。

我們往往需要尋求一組可以電氣儲存於諸如：暫存器、隨機存取記憶器 ( RAM ) 或唯讀記憶器 ( ROM ) 等記憶元件中做為一組數位字元之值之最大值。也時常需要，譬如藉找尋其相關之索引號碼，來鑑別可能是儲存該最大值之記憶元件的號碼之值的最大值。

找尋一組值之最大值的一般方法，涉及順序地掃描該組值。用以儲存該最大值之記錄器或暫存器被饋入以第一值 ( 及其索引 ) ，而後，令該暫存器的內容與第二值比較，如果第二值較大時，該第二值與其索引取代暫存器中的第一值及其索引。此步驟繼續進行，一直到所有在該組值中之後續值全部與暫存器內容值比較完為止。

不幸的，像這種順序查尋所需要的時間是與該組中的值之數目成正比例，以致當該組值大時，一次順序查尋速度可能太慢。如下文更詳細的說明，本發明提供一種全並行尋查方法及電路配置，其係利用在一時段內決定最大值及其索引之數元串列呈現數位值而達成，且此時段與被查尋組中之值的數目毫無關係。

本發明對於細胞式無線電話通訊系統中之碼分割多路進接 ( CDMA ) 通訊技術特別有用。此系統乃指諸如；根據多路 CDMA 信號依信號強度次序之逐步信號減法之增強 CDMA 解調技法，描述於同申請人之 1990 年 12 月 17 日向美國申請之案號第 07/628,359 號專利案中。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (2)

按該專利申請案中提及利用錯誤改正編碼之頻譜展開一諸如發生於 CDMA 系統中之資訊信號之優異方法。當一單一資訊位元膨脹成爲一 R 個位元之虛擬隨機順序時，該資訊頻帶寬度即展開而不帶來錯誤改正編碼增益，按此技術可稱之爲「單純型展開」。另一方面，將一 M 個資訊位元區段（其中  $M > 1$ ）展開成  $M \times R$  個位元之虛擬隨機順序時，會提供一展開比 R 之錯誤改正編碼增益，此技巧則稱爲「智慧型展開」，可包含要被傳送之資訊信號之正交或雙正交區段編碼。

在正交區段編碼中，要被傳送之 M 個位元被轉換成  $2^M$  個可用  $2^M$  一位元正交編碼字之一。解碼則涉及使一接收信號與正交編碼字組之所有各部份相關，而給予最高相關的編碼字之索引產生所期望之資訊。例如：若一信號之與索引編號 0 至 15 之 16 個 16 位元編碼字在第 10 個編碼字上產生最高相關時，所期望的信號資訊就是 4 位元的二進位字 1010（十進位 10）。

一比較處理機可決定那一個相關具有最大強度及藉開放一相關開關而可將該信號設定於零。依此方式，解調信號從合成信號有效地被解除。具有一成份被移除之殘留頻譜經處理且經再擾頻以重現無剛解碼信號之正交信號樣本。相關信號之大小代表信號強度，且可以與信號的對應擾頻碼一齊儲存於一排序處理機中。此處理機將該擾頻碼從最強至最弱之相關信號大小依次定序，然後該相當於最大強度之碼被傳送至解擾頻器爲次步信號解頻之用。

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂  
線

## 五、發明說明 (3)

如此，在比較處理機偵測出實與虛的相關之後，藉計算該實與虛成份之平方和之平方根而決定複數相關大小。該選定之相關之實與虛成份也可以在該複數平面分析以決定是否相位有變動。

在一實施例中，本發明提供一用以選擇及輸出呈現為位元串列而最高有效位元排列在先之較大的第一及第二電氣的二進編碼輸入值之電子比較器，包含：第一及第二輸入端子；一可運作地連結至第一及第二輸入端子以形成一指示一第一及第二輸入值之邏輯互斥「或」閘；一可運作地連結於該邏輯互斥「或」閘之第一可重置正反器，其中第一正反器之一個輸出在互斥「或」閘信號指示第一與第二輸入值是相等時被設定為從「0」狀態至「1」狀態；一可運作地連結於第一正反器及第一輸入端子之第二正反器，其中第二正反器之一個輸出在第一正反器之輸出變動狀態時對應於第一輸入值而被設定為「0」狀態或「1」狀態；及可運作地連結至第一及第二輸入端子與第二正反器以便選擇輸入值中之一個做為比較器之一輸出之裝置，其中，此選擇裝置於第二正反器設定於「1」狀態時選擇第一輸入值，而於第二正反器設定於「0」狀態時則選擇第二輸入值。

在第二實施例中，本發明提供一用於選擇及輸出呈現為位元串列而最高有效位元排列在先之較大的第一及第二電氣的進編碼輸入值之電子比較器，包括：第一及第二輸入端子；一可運作地連結至第一及第二輸入端子以形成一

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (4)

指示第一及第二輸入值之邏輯互斥「或」閘；一可運作地連結至該邏輯互斥「或」閘以記錄一指示第一及第二輸入值之對應位元是否相等或不相等之第一正反器，其中該第一正反器記錄下與施加於第一正反器之一串數元時鐘脈衝連列同步之值；一可運作地連結於第一正反器之第二可重置正反器，其中第二正反器之一輸出係於記錄在第一正反器之值指示該二輸入值之位元為相等時被設定為從"0"狀態至"1"狀態；一可運作地連結至第二正反器及第一輸入端子之第三正反器，其中該第三正反器之一輸出係於第二正反器之輸出變動狀態時被設定為對應於第一輸入值之位元之"0"狀態或"1"狀態；及可運作地連結至第一及第二輸入端子與第二及第三正反器以便選擇輸入值中之一個做為比較器之一輸出之裝置，其中該選擇裝置於第二正反器在"0"狀態時選擇邏輯互斥「或」閘信號為輸出，於第三正反器設定在"1"狀態時選擇第一輸入值做為輸出，及於第三正反器設定在"0"時選擇第二輸入值做為輸出。

在另一種情況下，亦可提供後退追蹤信號以指示第一及第二輸入值中何者被選擇裝置所選定及一信號以指示最大值已被辨認。

圖面之簡單說明：

本發明之特點及優點可從詳閱以下配合附圖之詳細說明而獲得明瞭。附圖中：

圖 1 表示用以尋找八個值中最大值之二進位樹狀結構

## 五、發明說明 (5)

圖；

圖 2 A 係依本發明之位元串列且最高有效位元在先之比較器一實施例之方塊圖；

圖 2 B 為用以找尋八個值中最大值之圖 2 A 所示比較器之結構之方塊圖；

圖 3 為依本發明之比較器之另一實施例之方塊圖；

圖 4 為用以產生一指示最大值已被辨認之信號之裝置之方塊圖。

詳細說明：

本說明雖以包含行動或可携式無線電話及／或個人通訊網路之細胞式通訊系統為論點加以說明，惟精於此技術之業者均可明白本發明可應用於其他各種用途。此外，在此敘述之二元值（二進值）皆為正數，以 00……0 為最小值，而以 11……1 為最大值，然而吾人亦可明白此說明亦適用於其他二元格式。

為有助於瞭解本發明，用以決定一組數值 M 中之最大值（或最小值，為該件事）之方法或裝置可以二元樹表示，此二元樹在  $M = 2^N$  時係呈對稱或有規則的。舉例而言，當  $M = 8$  如圖 1 所示時，M 個輸入值  $V_0 \sim V_7$  中之成對值先在具有  $M/2 = 4$  個比較器 11-1 ~ 11-4 之樹之第一階段中比較，每對值中之較大值被選出並送至具有  $M/4 = 2$  個比較器 12-1 及 12-2；最後該二對中較大值被送至最後也就是具有  $M/8 = 1$  個比較器 13 之第三階段，此比較器 13 使最大值  $V_{MAX}$  通過並輸出。吾人可知找尋 M 個輸入值所需之階段數



198776

## 五、發明說明 (7)

比較，該具有二進制 " 1 " 之輸入值在兩個不相等位元遭遇時之第一種情況下被認為是較大值。(吾人可知兩個輸入位元只要是相同，即不可能知道那一個值是較大，但是在此情形下，兩個輸入中究竟那一個通過而達輸出是無關緊要的)。

當 X O R 閘 102 之輸出變成 HIGH，表示輸入 A、B 是不同的，該輸出即設定一仍然為該對輸入值之其餘位元保持設定之鎖定器 104。此鎖定器 104，可以是一習用之置位復位正反器，亦具有提供一用以啓動鎖定器輸出至邏輯 LOW (低位) 或 " 0 " 之一適當控制信號之重置輸入，於輸入值組之間或第一組之前。鎖定器 104 之輸出係接至一 D 型正反器 106 之計時輸入，如此，當鎖定器 104 之輸出成為 HIGH 時，輸入中之一輸入值 (例如：輸入 A) 即記錄時間於正反器 106 內。

如圖 2 A 所示，當該 A 輸入值大於 B 輸入值 (例如，A 值之 MSB 為 " 1 "，而 B 值之 MSB 為 " 0 ") 時，正反器 106 之 Q 輸出即成為高位 (HIGH)。此 Q 輸出即作為虛線所指示一控制信號促使一輸入選擇開關 108，諸如一場放電晶體 (" FET ")，切換至如圖示之 " 1 " 位置，藉此以將 A 輸入連接至供成對輸入值之其餘者用之比較器輸出在圖 2 A 所示之實施例中正反器 106 之  $\bar{Q}$  輸出未使用。

另一方面，如 A 輸入於鎖定器 104 之輸出成為高位時是 " 0 " 時，該 A 輸入再次記錄時間於正反器 106 中，而

(請先閱讀背而之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明 (8)

Q 輸出則成爲低位，促使輸入、選擇開關 108 切換至 "0" 位置。於是 B 輸入連結至供其餘之成對輸入值用之輸出。如上所提，因爲輸入值呈現 M S B 在先，所以在 X O R 閘 102 成爲 HIGH 之前究竟那一個輸入值連接至輸出並無關係要。

吾人可知，正反器 106 之 Q 輸出指示二輸入中何者被選定（即，何者之值爲 "1"），如是該 Q 輸出供做爲比較器之後退追蹤信號輸出 C。此二元後退追蹤信號可藉例如任意指定其值 "0" 至輸入 A 及值 "1" 至輸入 B 而被用爲較大值之指標。

比較器 100 亦可具有一關聯之後退追蹤 - 選擇開關 110，此開關 110 可具有多數個極（圖 2 A 中只表示一個）。開關 110 之狀態也是由正反器 106 之 Q 輸出所控制，而開關 110 之每一極皆可使來自前一階段之比較器之 A 後退追蹤信號或 B 後退追蹤信號通過。設置在後退追蹤 - 選擇開關 110 之極數端視究竟有多少後退追蹤信號應從前階段通過此及關聯之在二進制樹之比較器之位置而定。如此，一個二元樹可由適當數個之比較器 100 及開關 110 所構成，此開關不僅產生一組輸入值之最大值而且產生該最大值之指標。

譬如，要找尋  $M = 128$  個值之最大值時，二元樹將有七個階級，第一階級有 64 個比較器。第一階級之比較器將不需要後退追蹤 - 選擇開關，但每一個比較器將會產生一個（第一）後退追蹤信號。如此，該 32 個第二階級之比較

（請先閱讀背面之注意事項再填寫本）

· · · · · 裝 · · · · · 訂 · · · · · 線 · · · · ·

## 五、發明說明 (9)

器每一個將具有一相結合之單極後退追蹤 - 選擇開關，且每一個會產生一個第二後退追蹤信號。第 63 階級比較器每一個將會有一相結合之雙極後退追蹤 - 選擇開關及每一個將會產生一個第三後退追蹤信號。這種情況將一直連下去，直到第七階級，在此第七階級中，該一個比較器會有一個 6 極後退追蹤 - 選擇開關，且每一個將會產生一個第七後退追蹤信號。該 7 位元後退追蹤字，包含第七階級產生及通過此級之後退追蹤信號者，將會是具有指定給如上所述之比較器輸入之符號 " 1 " 及 " 0 " 的該 128 個輸入值之指標。

由此種比較器及後退追蹤 - 選擇開關構成之圖 1 之對稱狀樹 10 在圖 2 B 中加以說明。8 個輸入值  $V_0$  至  $V_7$  傳送給四個第一階級比較器 11 - 1 至 11 - 4，其中設有一個具有後退追蹤 - 選擇開關，但每一個却會產生第一後退追蹤信號  $C_1 - 1$  至  $C_1 - 4$  中之一個信號。第一階級比較器之輸出被供給二個第二階級比較器 12 - 1、12 - 2 之輸入，每一個比較器各具有一個單極後退追蹤 - 選擇開關 110-1，110-2，分別供各對後退追蹤信號  $C_1 - 1$ ， $C_1 - 2$  及  $C_1 - 3$ ， $C_1 - 4$  通過，及產生第二後退追蹤信號  $C_2 - 1$ ， $C_2 - 2$ 。第三階級比較器之輸出被供給第三階級比較器 13 之輸入，此比較器具有一個雙極後退追蹤 - 選擇開關 110-3，並產生第三後退追蹤信號  $C_3$ 。後退追蹤 - 選擇開關 110-3 之一個極供後退追蹤信號對  $C_2 - 1$ ， $C_2 - 2$  中之一個信號通過，而另一個極則供來自前階級之後退追蹤 - 選擇開關 110-1，110-2 之一對輸出

## 五、發明說明(10)

之一個通過。第三階級比較器 13 之輸出  $V_{MAX}$  便是輸入值  $V_0$  至  $V_7$  中之最大值。

吾人可知，圖 2 B 所示之裝置輸出及辨識輸入組中之最大輸入值係在使該等輸入值出現所需要之時間較短之時間內完成的。事實上，由後退追蹤字所做之最大值之辨認可於非常短時間內達成，例如：一個單一大數輸入值能被早期辨認。這些優點是相當有用的，無論有多少輸入值必需找尋。有時，從硬體之大小及成本之觀點而言，將大組群輸入值分割成爲次組群，從每一次組群中找尋最大值，然後找尋這些次組群中各最大值中之最大值是更爲有效率的。

實際上，一類二元樹包括如圖 2 A 所示之許多比較器可能會由於不定的傳播延遲而遇到不期望之邏輯雜訊脈衝。因此，圖 3 乃示能避免這些邏輯雜訊脈衝發生之本發明比較器 100' 之一較佳實施例。一對二進編碼輸入值係呈現位元串列，M B C 在先之狀態於輸入 A' 及 B' 上並連至一不同狀態的習用 X O R 閘 102'。此閘 102' 之輸出連接至一第二 D 型正反器 103'，而非如同比較器 100 之情形直接連接至一置位復位正反器 104' 之 S E T 輸入。正反器 103' 藉由與輸入位元之出現同步化之一 BITCLOCK (位元時鐘) 而記錄時間。正反器 103' 之 Q 輸出則被傳送至鎖定器 104' 之 SET 輸入，而鎖定器 104' 之輸出則如同前述比較器 100 對另一 D 型正反器 106' 計時。

除了利用使比較器之運作與位元時鐘 (BITCLOCK) 信號同步而有利地消除變動的傳播延遲效應之外，第二正反

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( II )

器 103' 之另一效果為，無論二輸入位元是相同或不相同，稍微延遲閘 102' 之決定結果。如此，若正反器 103' 係經單純地插入比較器 100' 時，輸入選擇開關 108 除非在輸入位元出現稍後之時間不會呈現正確狀態，而該錯誤值可能會暫時出現於比較器 100' 之輸出。

為避免因延遲之結果而暫時選擇錯誤輸入值，在這裡提供一種改良之輸入選擇開關 108'，包括 5 個傳統型反及閘 108'-1 至 108'-5。此輸入選擇開關 108' 有下列三種狀態：

- (1) 起始狀態，在此狀態時，開關 108' 之動作如同「或」閘；
- (2) 選擇 A 狀態；及
- (3) 選擇 B 狀態。

在起始狀態時，輸入選擇開關之 OR 功能具有當不同之 A' 及 B' 輸入出現時比較器輸出立即成為 " 1 " 之效果。如此，屬於較大輸入之位元值，不會等待 XOR 閘 102' 之輸出被記錄時間於正反閘 103'，立即出現於輸出。在選擇 A 狀態時，在輸入 A' 之 A 值連接至比較器之輸出；而在選擇 B 狀態時，在輸入 B' 之 B 值連接至比較器之輸出，兩者如上所述對其餘之成對輸入值。

由圖 3 可知，一適宜之三個狀態輸入選擇開關 108' 包括五個雙輸入反及 ( NAND ) 閘 108'-1 至 108'-5，此反及閘 108'-1、108'-2 在鎖定器 104' 起始 ( 設定 ) 下，兩者皆於不同輸入位元相遇之前，便從鎖定器 104' 輸入 " 0 " 值，而不管閘 106' 之輸出如何迫使其輸出成為 " 1 "。如此，反及閘 108'-3、108'-4 之各輸出僅僅分別為 A 及 B 輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

198776

## 五、發明說明(12)

之相反而已。閘 108'-5 輸出也是其(相等)輸入亦即 A 或 B 之相反,此輸入只要是 A 及 B 輸入兩者一直相等時是相同的。

當 X O R 閘 102' 之輸出與正反器 103' 之輸出變成 HIGH (高)時,鎖定器 104' 將 A 輸入計時於正反器 106', 並將 " 1 " 設定於閘 108'-1、108'-2 之輸入中,藉此 A 及 B 輸入為 " 1 " 之資訊乃通過閘 108'-3、108'-4。如此,正反器 106' (即 A) 之 Q 輸出之反轉被送至閘 108'-4 之輸入,而  $\bar{Q}$  輸出(即 A) 之反轉則被送至閘 108'-3。

若輸入 A 是 " 1 " , 則此 " 1 " 及一個 " 1 " 出現於閘 108'-3 之輸入,而其輸出則變成 LOW (低位)。B - 輸入 " 0 " 及一個 " 0 " 出現於閘 108'-4 之輸入時,其輸出則變成 HIGH (高位),如此,閘 108'-5 之輸出即變成 HIGH。又如 A 輸入是 " 0 " , 則此 " 0 " 及一個 " 0 " 出現於閘 108'-3 之輸入,其輸出則變成 HIGH。B - 輸入 " 1 " 及一個 " 1 " 出現於閘 108'-4 之輸入時,其輸出變成 LOW, 如此,閘 108'-5 之輸出再變成 HIGH。無論何為情況下,閘 108'-5 之輸出,乃不斷地追蹤輸入,該輸入便是其餘成對之輸入值所需之 " 1 "。

如配合圖 2 A 所作前面說明,正反器 106' 之 Q 輸出會指示 A 及 B 二輸入中何者被選定,及該輸出正是做為後退追蹤信號 C' 之輸出。

如同以上討論,由後退追蹤字之最大值辨識,將可於一段較輸入值出現所需時間非常短之時間之後,成為有用。

(請先閱讀背面之注意事項再填寫本頁)

裝訂後

## 五、發明說明 ( 13 )

圖 4 乃表示用於產生指示最大值已被辨識之適合裝置 112。此種產生裝置 12 可具備比較器 100, 100' 及後退追蹤選擇器 110, 110'。

請參照圖 4, 選擇開關 114 之狀態是由比較器之 D 型正反器 (即比較器 100 中之正反器 106, 或比較器 100' 中之正反器 106') 所控制。開關 114 之輸出是供給一 AND 閘 116 之一輸入端, 而此 AND 閘 116 之另一輸入端則連接於比較器之鎖定器 (即, 分別為在比較器 100, 100' 中之鎖定器 104, 104') 之 SET 輸出。這些輸入決定了 AND 閘之輸出信號 D 之狀態。供給開關 114 之輸入端之信號 E, F 是來自前段階級之 AND 閘 116 之輸出; 由此吾人可知該信號 E, F 是與由選擇開關 110, 110' 所控制之後退追蹤信號不同的。

產生裝置 112 係依照大體上與後退追蹤選擇開關所設置者相似之方式配設。正如同二元樹之第一階級並不需要任何選擇開關, 該樹之第一階級不需要有任何產生裝置 112。信號 E, F, 亦即在配合樹之第二階級所設產生裝置中之各個開關 114 之輸入, 正是第一階級之比較器 100 或 100' 之鎖定器 104 或 104' 之 SET 輸出。當最後一級之產生裝置之 AND 閘 116 之輸出成為 " 1 " 時, 來自樹之最後一級之後退追蹤字是有效的 (即, 後退追蹤位元辨認了最大值), 而搜尋可告停止。

吾人當然可瞭解, 本發明除上述實施例外, 在無背離本發明之精神下尙可做種種特定形態之實施。以上所舉實

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

五、發明說明 ( 14 )

施例僅僅是為方便說明之用，而無論如何不應被認為一種限制。本發明之範圍係由下列申請專利範圍所包含，而非前文之說明，凡涵蓋於申請專利範圍內之種種變更及等效配置，當被認為包含於本範圍中。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 四、中文發明摘要(發明之名稱：最大查詢電路)

一種用以選擇及輸入呈現位元串列且最高有效位元在先的第一及第二電氣二進碼輸入值中較大者之電子比較器具有：第一及第二輸入端子；一邏輯互斥「或」閘；一第一可復置正反器(flip-flop)；一第二正反器；及一用以選擇該輸入值之一做爲該比較器之一個輸出之裝置。在第二種實施例中，該電子比較器具有：第一及第二輸入端子；一邏輯互斥「或」閘；一與一位元時鐘脈衝列同步之第一正反器；一第二可復置正反器；一第三正反器；及一用以選擇該輸入值之一做爲該比較器之一個輸入之裝置。用以產生指示究竟那些輸入值被選定之回掃描信號及指示最大值已被辨認之一信號之裝置在此亦被揭示。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 英文發明摘要(發明之名稱：MAXIMUM SEARCH CIRCUIT)

An electronic comparator for selecting and outputting the larger of first and second electrical, binary-coded input values presented bit-serially, most-significant-bit first, has first and second input terminals; a logical exclusive-OR gate; a first resettable flip-flop; a second flip-flop; and a device for selecting one of the input values as an output of the comparator. In a second embodiment, the electronic comparator has first and second input terminals; a logical exclusive-OR gate; a first flip-flop synchronized with a train of bitclock pulses; a second resettable flip-flop; a third flip-flop; and a device for selecting one of the input values as an output of the comparator. Devices for generating traceback signals indicating which input values were selected and a signal indicating that the maximum value has been identified are also disclosed.

附註：本案已向 美國 國(地區) 申請專利，申請日期：1991.9.18 案號：761,380 號



198776

六、申請專利範圍

1 一種用以選擇並輸出呈現位元串列且最高有效位元在先之第一及第二電氣的二進編碼輸入值中一較大值之電子比較器，包括：

第一及第二輸入端子；

邏輯互斥「或」閘可運作地連結至該第一及第二輸入端子，用以形成一指示該第一及第二輸入值之一邏輯互斥「或」信號；

第一可重置正反器可運作地連結於該邏輯互斥「或」閘，其中該第一正反器之一輸出，係於該邏輯互斥「或」閘信號指示第一及第二輸入值為相等時，從「0」狀態設定於「1」狀態；

第二正反器，可運作地連結於該第一正反器及第一輸入端子，其中該第二正反器之一輸出，係回應第一正反器之輸出變動狀態之該第一輸入值，而交互地設定於「0」狀態或「1」狀態；及

第一選擇裝置可運作地連結至該第一及第二輸入端子以及第二正反器，用以選擇輸入值中之一個作為比較器之一輸出，其中該選擇裝置於第二正反器設定為「1」狀態時選擇第一輸入值，而於第二正反器設定於「0」狀態時選擇第二輸入值。

2 依申請專利範圍第1項之電子比較器，其中該第二正反器乃會產生一後退追蹤信號，以指示第一及第二輸入值中何者被第一選擇裝置所選定。

3 依申請專利範圍第2項之電子比較器，尚包括第二選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

裝置，可回應後退追蹤信號而選擇配合第一輸入值之第一後退追蹤信號，或根據由第一選擇裝置所選定之輸入值而選擇配合第二輸入值之第二後退追蹤信號。

4. 依申請專利範圍第3項之電子比較器，尚包括可運作地連結於第一及第二正反器，用以產生一指示較大值已被確認之信號之裝置。
5. 一種用以選擇並輸出呈現位元串列且最高有效位元在先之第一及第二電氣的二進編碼輸入值中一較大值之電子比較器，包括：

第一及第二輸入端子：

邏輯互斥「或」閘，可運作地連結於第一及第二輸入端子，用以形成一指示該第一及第二輸入值之一邏輯互斥「或」信號；

第一正反器，可運作地連結於邏輯互斥「或」閘，用以記錄一指示第一及第二輸入值之相當位元是否相等或不等之值，其中該第一可重置正反器會記錄與施加於第一正反器之一串位元時鐘脈衝列同步之值；

第二可重置正反器，可運作地連結於第一正反器，其中該第二正反器之一輸出於由第一正反器產生之值指示該二輸入值之位元不相等時，從"0"狀態設定為"1"狀態；

第三正反器，可運作地連結於第二正反器及第一輸入端子，其中該第三正反器之一輸出係對應於回應第二正反器之輸出變動狀態之第一輸入值，而選擇性地設定於

六、申請專利範圍

" 0 " 狀態或 " 1 " 狀態；及

第一選擇裝置，可運作地連結於第一及第二輸入端子，以及第二及第三正反器，用以選擇二輸入值中之一個作為比較器之輸出，其中第一選擇裝置於第二正反器處於 " 0 " 狀態時，選擇第一及第二輸入值之邏輯互斥「或」閘作為輸出，及第三正反器處於 " 0 " 狀態時，第一選擇裝置選擇第二輸入值作為輸出。

6. 依申請專利範圍第 5 項之電子比較器，其中該第三正反器會產生一後退追蹤信號以指示第一及第二輸入值中何者被第一選擇裝置所選定。

7. 依申請專利範圍第 6 項之電子比較器，尚包括第二選擇裝置，將回應後退追蹤信號以根據由第一選擇裝置所選擇之輸入值而選擇性地選擇配合第一輸入值之第一後退追蹤信號，或配合第二輸入值之第二後退追蹤信號。

8. 依申請專利範圍第 6 項之電子比較器，尚包括產生裝置，可運作地連結於第二及第三正反器，用以產生一指示該較大值已被確認之信號。

9. 一種用以選擇並輸出多數個電氣的二進編碼值中最大之電子邏輯回路，包括：多個用以選擇及輸出二選擇裝置之輸入值中之一較大值之選擇裝置，該多個選擇裝置係以樹狀連結而形成一選擇裝置樹狀結構，每一選擇裝置包括用以產生一指示二選擇裝置輸入值中何者被選定之後退追蹤信號之裝置，其中該成對之多個值係呈現位元串列且最高有效位元在先地送給設置在樹狀之第一階

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

級中之選擇裝置中之各對應第一選擇裝置，每一個第一選擇裝置輸出該二選擇裝置輸入值中較大值作為第一階級輸出信號及輸出其後退追蹤信號作為第一階級後退追蹤信號，該第一階級輸出信號乃呈現位元串列且最高有效位元在先地送給設在樹狀之第二階級中之選擇裝置中之各個第二選擇裝置，對於樹狀之後續階級乃如此類推，直到輸入值中之最大值通過，而作為來自設置在樹狀之最後階級中之最後選擇裝置之一輸出信號為止，而該第一階級後退追蹤信號乃供給設置在樹狀之第二階級中之選擇裝置中之各對應第二選擇裝置，每一第二選擇裝置包括用以選擇結合第二選擇裝置之第一選擇裝置輸入值之第一後退追蹤信號，或者結合第二選擇裝置之第二選擇裝置輸入值之第一後退追蹤信號，至於樹狀之後續階級則如同以上方式類推。

10. 依申請專利範圍第 9 項之電子比較器，尚包括可運作地連結於選擇及輸出裝置，用以產生一指示該最大值已被確認之信號。

(請先閱讀背面之備註事項再填寫本頁)

裝

訂

線

198776

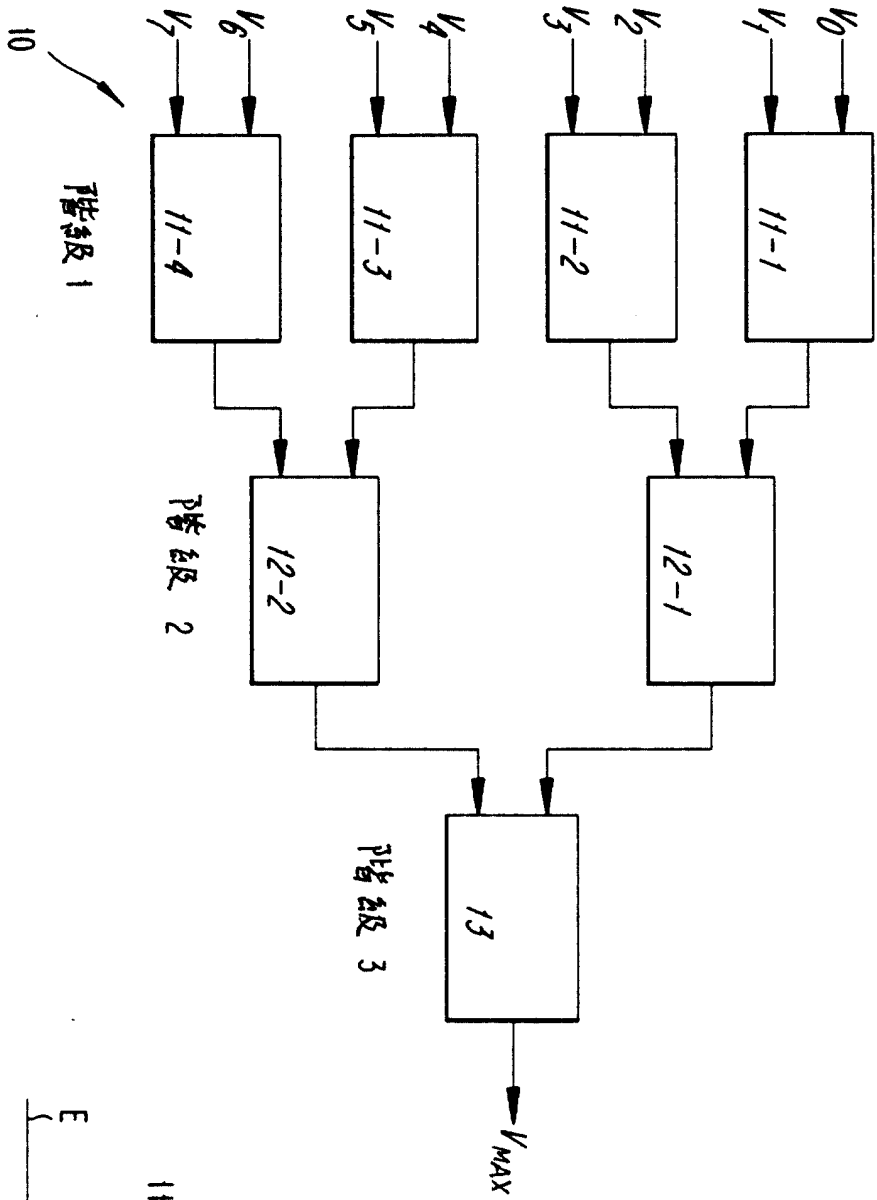


FIG. 1

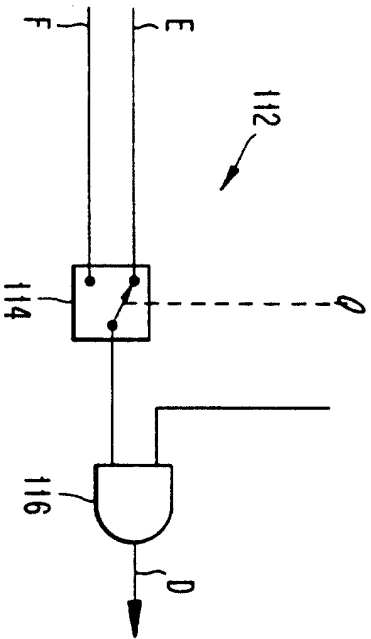
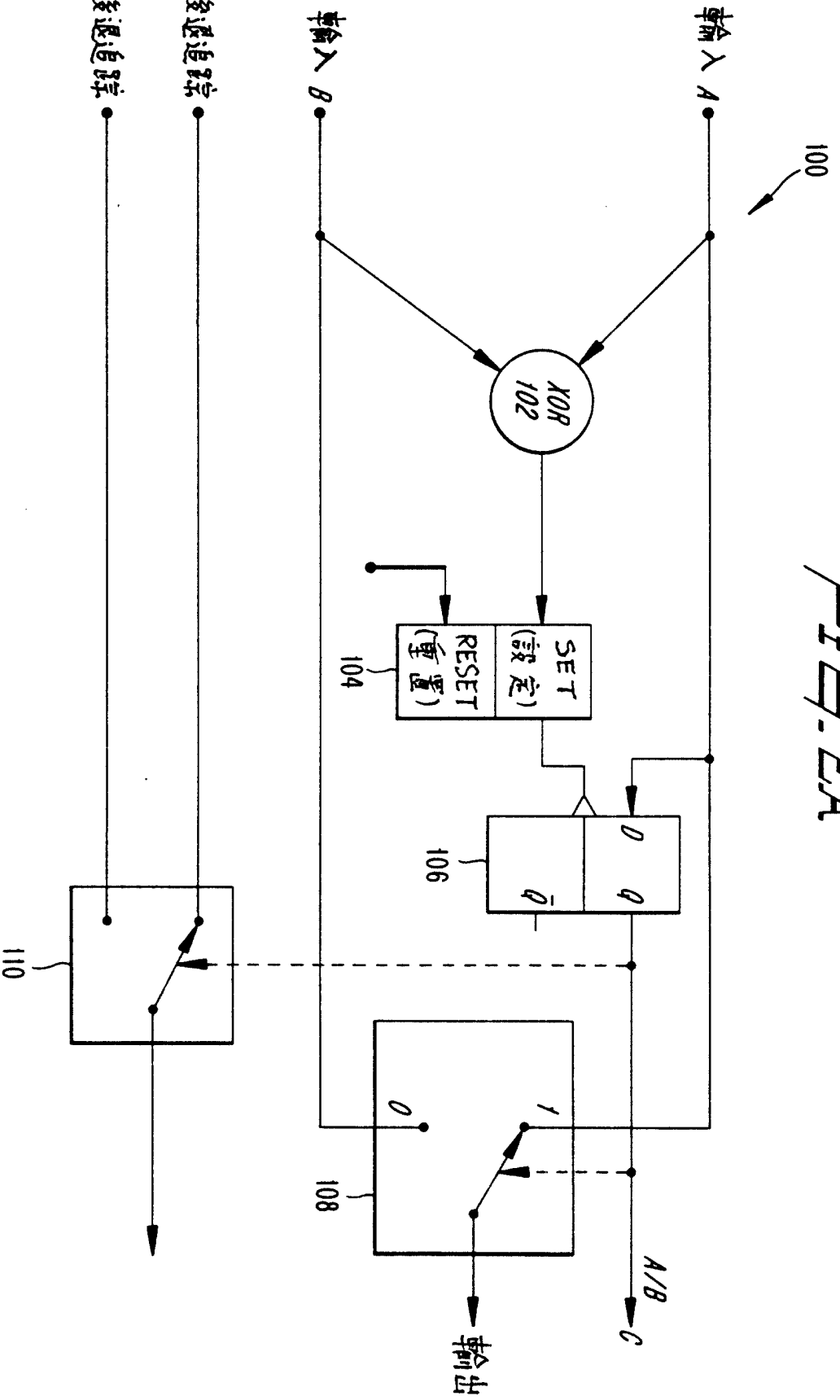


FIG. 4

# FIG. 2A



198776

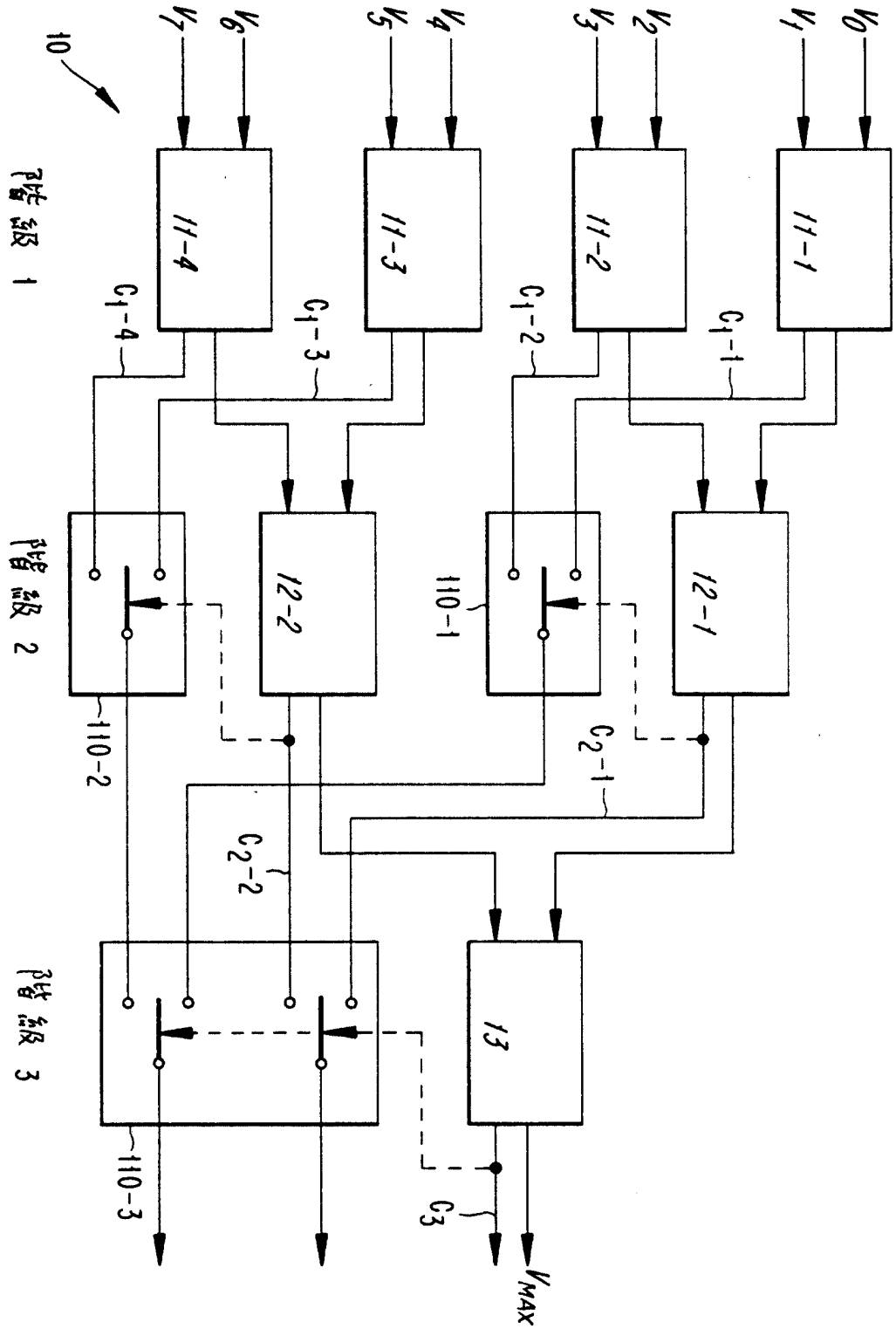
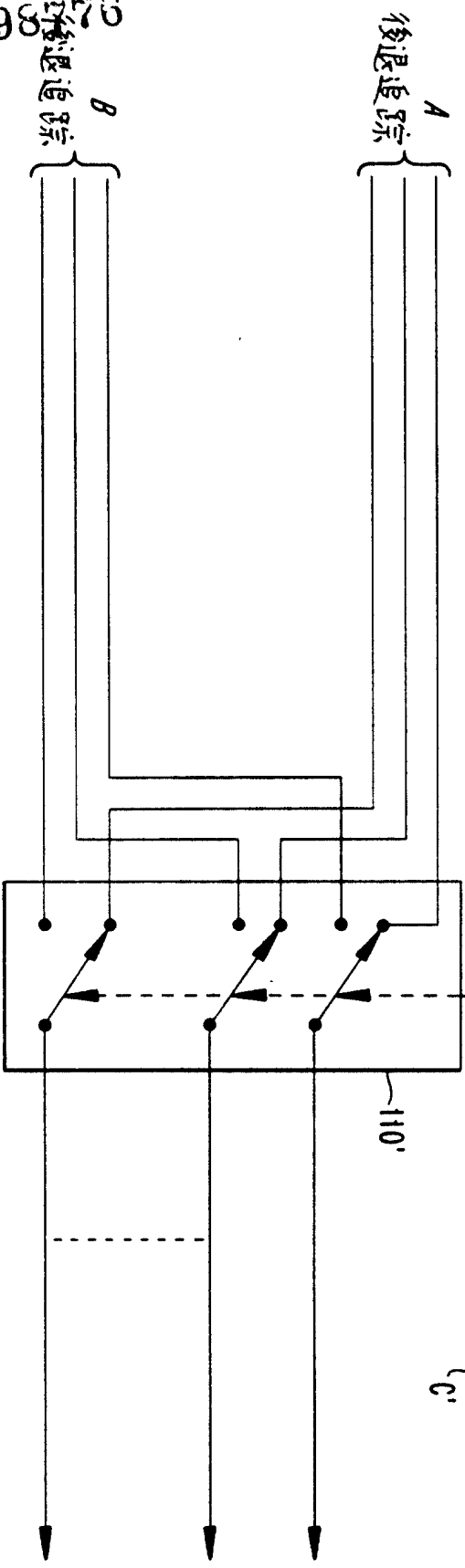
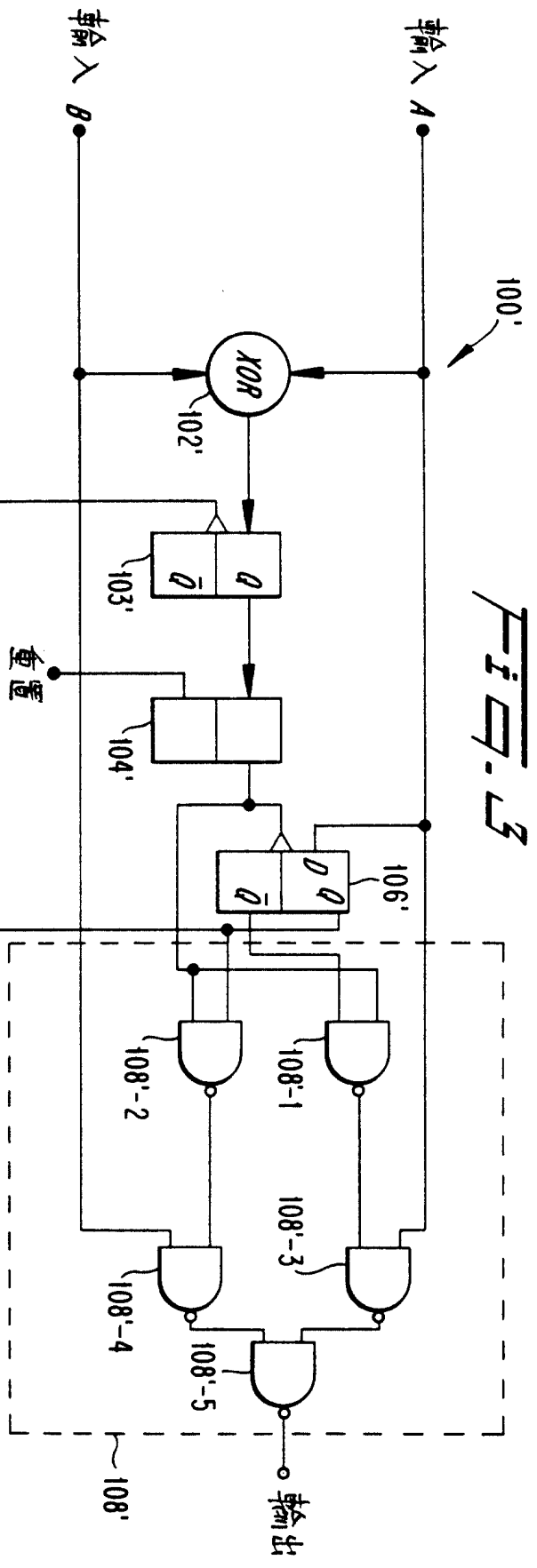


FIG. 3



198276  
後退追蹤  
198276