

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4822620号
(P4822620)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月16日(2011.9.16)

(51) Int.Cl. F I
G 1 1 C 11/4072 (2006.01) G 1 1 C 11/34 3 7 1 E
H O 3 K 17/22 (2006.01) H O 3 K 17/22 C

請求項の数 5 (全 10 頁)

<p>(21) 出願番号 特願2001-207025 (P2001-207025) (22) 出願日 平成13年7月6日(2001.7.6) (65) 公開番号 特開2003-22670 (P2003-22670A) (43) 公開日 平成15年1月24日(2003.1.24) 審査請求日 平成20年6月10日(2008.6.10)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地 (74) 代理人 100095407 弁理士 木村 満 (72) 発明者 石栗 斉 山形県山形市北町四丁目12番12号 山形日本電気株式会社内 審査官 加藤 俊哉</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

R A M及びパワーオンクリア回路が内蔵された半導体集積回路において、リセット信号がアクティブの場合に前記 R A Mのワード線を非選択にする第1回路部と、前記リセット信号がアクティブになった後所定の遅延をもってシステムリセット信号を出力する第2回路部と、電源電位が所定の低電圧検出電位以下に低下したか否かを判定し、該電源電位が所定の低電圧検出電位以下に低下したか否かを示す値のフラグをセットする第3回路部と、を有し、前記リセット信号がアクティブになった場合に、前記 R A Mの全てのワード線を非選択にした後、システムリセットし、システムリセットが解除されたときに前記電源電位が所定の低電圧検出電位以下に低下したことを前記フラグの値が示す場合にのみ、前記 R A Mが初期化されることを特徴とする半導体集積回路。

10

【請求項2】

前記第3回路部は、電源電位と低電圧検出電位とを比較し前記電源電位が前記低電圧検出電位以下に低下したときに低電圧検出フラグを出力するコンパレータを有することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

前記第1回路部は、外部リセット端子からの外部リセット信号と、前記パワーオンクリア回路からのリセット信号が入力され、いずれかのリセット信号がアクティブの場合にアクティブとなる内部リセット信号を出力する第4回路部と、前記 R A Mのアドレス信号と前記内部リセット信号とが入力され、前記内部リセット信号がアクティブの場合に、アド

20

レス信号に拘わらず、ワード線の非選択信号を出力し、前記リセット信号が非アクティブの場合にアドレス信号に応じてワード線の選択及び非選択の信号を出力する第5回路部とを有することを特徴とする請求項1又は2に記載の半導体集積回路。

【請求項4】

前記第4回路部は、前記パワーオンクリア回路からのリセット信号と前記外部リセット信号とが入力され、アクティブ状態が“0”の内部リセット信号を出力するAND回路であり、前記第5回路部は、前記内部リセット信号とアクティブのときに“1”となるアドレス信号とが入力され、前記内部リセット信号が非アクティブであって前記アドレス信号がアクティブの場合にのみ前記RAMのワード線に選択信号を出力するNAND回路であることを特徴とする請求項3に記載の半導体集積回路。

10

【請求項5】

前記第4回路部は、前記パワーオンクリア回路からのリセット信号と前記外部リセット信号とが入力され、アクティブ状態が“0”の内部リセット信号を出力するAND回路であり、前記第5回路部は、前記内部リセット信号とRAMアクセス時にアクティブ“1”となるコントロール信号とが入力され、前記内部リセット信号が非アクティブであって前記コントロール信号がアクティブの場合にのみ前記RAMのワード線に選択信号を出力するAND回路であることを特徴とする請求項3に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、プリセットリモコン及び電池駆動のマイコンシステム等に使用されるPOC（パワー・オン・クリア回路）を内蔵する半導体集積回路に関し、特に、RAM保持電圧を検出する低電圧検出回路及び非同期リセットによるRAMデータ破壊を防止するための回路等を有する半導体集積回路に関する。

【0002】

【従来の技術】

近年、プリセットリモコン及び電池駆動のマイコンシステム等に使用される半導体集積回路において、POCを内蔵するケースが多くなってきている。このプリセットリモコンとは、リモコン波形を作成する上で必要なデータを予めROM（Read Only Memory）に記憶させて内蔵しているリモコンのことである。リモコンには各メーカー毎に多様な波形データがある。これらの波形データをリモコンになるべくたくさん内蔵しておくことにより、1つのリモコンで種々の装置の操作が可能になる。また、プリセットリモコンには、ユーザーが設定したデータを格納しておくためのRAM（Random Access Memory）が内蔵されている。

30

【0003】

図4は従来のRAM内蔵型の半導体集積回路を示す回路図である。各メモリセル101においては、トランスファゲートとなるトランジスタ102、103のゲートに1本のワード線が共通接続されており、トランジスタ102はビット線（/Q）5に接続され、トランジスタ103はビット線（Q）106に接続されている。また、トランジスタ102、103間には、2個のインバータの入力と出力とが相互に接続されて構成されたフリップフロップ104が接続されている。各メモリセル101のワード線は組み合わせ回路107に接続されており、この組み合わせ回路107に入力されたアドレス信号により、所定のメモリセルに接続されたワード線が活性化され、このメモリセルが選択される。なお、組み合わせ回路107には、その他のコントロール信号も入力されている。

40

【0004】

このようなRAM内蔵型のプリセットリモコンにおいて、POCを内蔵し、又は外付けで搭載する例が多くなってきている。そして、従来、このPOCによるリセットがかかった場合には、当然にRAMデータを初期化するように設定されていた。

【0005】

【発明が解決しようとする課題】

50

しかしながら、POCによるリセット中であっても、電源電圧の降下がRAM保持電圧より低くならなければ、RAMのデータは保持されている。このため、このような場合は、RAMデータの保持を保証したいところであるが、RAMデータの保持を保証しようとしても、POCによるリセットが非同期にかかった場合に、その非同期リセットのタイミングによっては、RAMのデータが破壊されてしまう虞がある。

【0006】

即ち、POCによるリセット又は外部システムリセットが、RAMデータアクセス時にかかった場合、リセットによるアドレス線の過渡状態によって、アクセスデータ以外のワード線もイネーブル状態（選択状態）になってしまい、アクセスしていないRAM領域のトランジスタ2, 3がオン状態になり、RAMデータの破壊にいたってしまう。極端な場合には、RAMのデータが書きかえられてしまうことになる。このように、RAMデータ保持を保証しようにも、リセット信号によるRAMデータの破壊が起きてしまつては、RAMデータの保証ができないという問題点がある。

10

【0007】

本発明はかかる問題点に鑑みてなされたものであって、非同期リセットによるRAMデータの破壊を防止して、RAMデータの保持を保証することができる半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る半導体集積回路は、RAM及びパワーオンクリア回路が内蔵された半導体集積回路において、リセット信号がアクティブの場合に前記RAMのワード線を非選択にする第1回路部と、前記リセット信号がアクティブになった後所定の遅延をもってシステムリセット信号を出力する第2回路部と、電源電位が所定の低電圧検出電位以下に低下したか否かを判定し、該電源電位が所定の低電圧検出電位以下に低下したか否かを示す値のフラグをセットする第3回路部と、を有し、前記リセット信号がアクティブになった場合に、前記RAMの全てのワード線を非選択にした後、システムリセットし、システムリセットが解除されたときに前記電源電位が所定の低電圧検出電位以下に低下したことを前記フラグの値が示す場合にのみ、前記RAMが初期化されることを特徴とする。

20

【0009】

また、前記第3回路部は、例えば、電源電位と低電圧検出電位とを比較し前記電源電位が前記低電圧検出電位以下に低下したときに低電圧検出フラグを出力するコンパレータを有する。

30

【0010】

また、前記第1回路部は、例えば、外部リセット端子からの外部リセット信号と、前記パワーオンクリア回路からのリセット信号が入力され、いずれかのリセット信号がアクティブの場合にアクティブとなる内部リセット信号を出力する第4回路部と、前記RAMのアドレス信号と前記内部リセット信号とが入力され、前記内部リセット信号がアクティブの場合に、アドレス信号に拘わらず、ワード線の非選択信号を出力し、前記リセット信号が非アクティブの場合にアドレス信号に応じてワード線の選択及び非選択の信号を出力する第5回路部とを有する。

40

【0011】

更に、前記第4回路部は、例えば、前記パワーオンクリア回路からのリセット信号と前記外部リセット信号とが入力され、アクティブ状態が“0”の内部リセット信号を出力するAND回路であり、前記第5回路部は、前記内部リセット信号とアクティブのときに“1”となるアドレス信号とが入力され、前記内部リセット信号が非アクティブであつて前記アドレス信号がアクティブの場合にのみ前記RAMのワード線に選択信号を出力するNAND回路である。

【0012】

又は、他の第4回路部は、例えば、前記パワーオンクリア回路からのリセット信号と前記外部リセット信号とが入力され、アクティブ状態が“0”の内部リセット信号を出力す

50

るAND回路であり、前記第5回路部は、前記内部リセット信号とRAMアクセス時にアクティブ“1”となるコントロール信号とが入力され、前記内部リセット信号が非アクティブであって前記コントロール信号がアクティブの場合にのみ前記RAMのワード線に選択信号を出力するAND回路である。

【0013】

本発明においては、RAM保持電圧を保証できる電圧を検出するための低電圧検出回路(第3回路部)を備え、リセット信号がアクティブになった時、先ずRAMのワード線をディスエーブルし、その後CPU等他のシステムをリセットするようにした回路(第2回路部)を備えているので、RAMにアクセス中、リセット信号がアクティブになっても、RAMのデータが破壊されることがない。

10

【0014】

また、本発明においては、前記第3回路部はRAM保持電圧より高めの電圧を低電圧検出電位として設定することによって、リセット解除後、前記低電圧検出回路により電源電圧が前記低電圧検出電位以下に低下していかないことがわかれば、電源電位がRAM保持電位より低下していかないものであるから、RAMのデータは保持されていると判断できる。

【0015】

従って、本発明の半導体集積回路においては、リセットがかかった場合であっても、電源電位が所定の低電圧検出電位以下に低下したことを検出していなければ、つまりRAM保持電圧まで電源電圧が降下していかないのであれば、RAMのデータ保持を保証できる。

【0016】

20

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体集積回路について添付の図面を参照して詳細に説明する。図1は本発明の第1の実施形態に係る半導体集積回路を示す回路図である。本実施形態の半導体集積回路1はPOC1を内蔵又は外付けで搭載するものであり、RAM保持電圧を検出するための低電圧検出回路部2と、RAMアクセス中のリセットによるRAMデータ破壊を防ぐためのRAMデータ破壊防止ブロック3と、組み合わせ回路4とを有する。

【0017】

RAMの各メモリセル20には、トランスファゲートとしてのトランジスタ23、24と、入力と出力が相互に接続された2個のインバータからなるフリップフロップ25が設けられており、トランジスタ23、24は夫々ビット線21及び22に接続されている。

30

【0018】

POC1は半導体集積回路の電源電圧が動作保証電圧より低下した場合、システムの暴走等による誤動作を防止するためのシステムリセットをかけるために搭載されている。POC1においては、コンパレータ6の正端子に電源電圧が入力され、負端子にPOC検出電圧源5からのPOC検出電圧(動作保証電圧)が入力される。コンパレータ6は電源電圧が基準電圧(POC検出電圧(動作保証電圧))より低下すると、“0”を出力し、この出力信号はバッファ7を介してリセット信号“0”としてAND回路10の一方の入力端に入力される。

【0019】

40

一方、外部リセット端子8には、外部からリセットをかけるときに、“0”の信号が入力され、このリセット信号はバッファ9を介してAND回路10の他方の入力端に入力される。これにより、POC1からのリセット信号“0”が出力されるか、又は外部リセット端子8にリセット信号“0”が入力された場合に、AND回路10から内部リセット信号として“0”が出力される。

【0020】

この内部リセット信号は、RAMデータ破壊防止ブロック3に入力される。RAMデータ破壊防止ブロック3には、リセットがかかったとき、後述するようにしてRAMのメモリセル20のワード線をディスエーブルにした後、CPU等のリセット動作を行わせるために、遅延ブロック11が設けられている。即ち、内部リセット信号は、遅延ブロック11

50

を通過して伝搬するので、内部リセット信号が後述するようにしてワード線をディスエーブルにし、更に遅延ブロック 11 により遅延した後、CPU 等のリセットを行うシステムリセット信号として CPU 等に送られる。

【0021】

また、ブロック 3 には、各メモリセル 20 に対応して、NAND 回路 12 が設けられている。各 NAND 回路 12 には、内部リセット信号と、組み合わせ回路 4 から出力されたアドレス信号が入力され、その出力はメモリセル 20 のワード線に与えられる。アドレス信号は、“1”の場合にそのメモリセルが選択され、ワード線が活性化される。従って、NAND 回路 12 に内部リセット信号として“0”が入力されている場合は、アドレス信号が“0”か、“1”かに拘わらず、NAND 回路 12 から“1”が出力され、ワード線が“1”（ディスエーブル）になり、メモリセル 20 の P チャンネルトランジスタ 23, 24 が閉になる。また、POC のリセット及び外部リセットのいずれもかかっていない場合には、内部リセット信号は“1”となり、これが NAND 回路 12 に入力される。そして、組み合わせ回路 4 から NAND 回路 12 に、アドレス信号として、ワード線を選択していない信号“0”が入力された場合は、NAND 回路 12 から“1”が出力され、ワード線はディスエーブルとなる。一方、NAND 回路 12 にワード線を選択する信号“1”が入力された場合は、その NAND 回路 12 から“0”が出力され、ワード線がイネーブルとなる。従って、内部リセット信号が“0”の場合には、アドレス信号に拘わらずワード線はディスエーブルであり、内部リセット信号が“1”の場合には、アドレス信号により選択されたワード線はイネーブルとなり、選択されていないワード線はディスエーブルとなる。

【0022】

低電圧検出回路部 2 は、コンパレータ 32 を有し、コンパレータ 32 の正端子には電源電圧が入力され、負端子には低電圧検出電圧源 31 が接続されている。そして、電源電圧が所定の低電圧検出電圧以下に低下した場合に、コンパレータ 31 から低電圧検出信号として“0”の信号が出力され、この検出信号はインバータ 33 により反転され、低電圧検出フラグ 34 として“1”が立つ。この低電圧検出フラグは内部バス 30 に供給される。

【0023】

低電圧検出フラグ 34 は、電池交換時及び電池電圧降下時等に、電源電圧が RAM のデータが破壊する電圧レベルまで低下したか否かを示すフラグである。低電圧検出フラグ 34 は、電源電圧が低電圧検出電圧（RAM 保持電圧より若干高い）以下になると“1”になる。そこで、低電圧検出フラグ 34 が“1”の場合、RAM のデータが壊れているか、又は電源投入直後であると判断できる。このフラグ 34 が“1”である場合に、ソフトウェアにて RAM の初期化を行う。この場合、RAM を初期化し、RAM に必要なデータを書き込んだ後に、ソフトウェアにより、低電圧検出フラグ 34 を“0”にすれば、即ち、低電圧検出フラグ 34 が存在するレジスタにアクセスして“0”にすれば（書き込み動作）、RAM が初期化されたということが判断できる。なお、このフラグ 34 の値が“0”であるということは、RAM にデータが設定されたことを意味する。また、本実施形態において、ソフトウェアとは、一般のマイコンにおける ROM に書くべきソフトウェアのことである。また、低電圧検出フラグ 34 の書き込み動作及び読み込み動作は制御手段（図示せず）から出力された制御信号により制御されている。

【0024】

次に、本実施形態に係る半導体集積回路の動作について説明する。図 2 は電源電圧と POC 検出電圧及び低電圧検出フラグとの関係を示す図である。図中、実線は電源電圧である。動作保証電圧である POC 検出電圧 V_{POC} と、RAM のデータが保持されている最低電源電位である RAM 保持電圧 V_I と、この RAM 保持電圧 V_I よりも若干高い低電圧検出電位 V_{LV_I} とは図 2 に示すような大小関係となる。

【0025】

先ず、図 2 の (1) の期間において、乾電池等をセットしたことにより、電源電圧が上昇すると、この電源電圧が POC 検出電圧を超えたときに、リセットが解除される。これに

10

20

30

40

50

より、内部リセット信号は“ 1 ”になる。また、電源電圧が低電圧検出電圧以下の 0 V から上昇するため、低電圧検出フラグ 3 4 は“ 1 ”になる。

【 0 0 2 6 】

(2) の期間は、電源電圧として、動作可能電圧が供給されている期間である。R A M のメモリセル 2 0 に必要なデータを書き込み、低電圧検出フラグ 3 4 を“ 0 ”に設定する。

【 0 0 2 7 】

(3) の期間においては、電源電圧が低下し、P O C 検出電圧以下になると、リセットがかかる。また、図 2 の (A) 点の電位は低電圧検出電圧よりも高いため、低電圧検出フラグ 3 4 は“ 0 ”のままである。

【 0 0 2 8 】

(4) の期間においては、電源電圧が上昇し、再び P O C 検出電圧以上になると、リセットが解除される。リセット解除後、ソフトウェアにて低電圧検出フラグ 3 4 の値を確認した場合、即ち、低電圧フラグ 3 4 を格納するレジスタを読み込んだ場合、低電圧検出フラグ 3 4 が“ 0 ”となっているため、R A M のデータが壊れていないと判断できる。従って、この場合 R A M データはリセット前の状態に保持されていると判断でき、ソフトウェアによる R A M データの初期化の必要性はないということになる。

【 0 0 2 9 】

(5) の期間においては、電源電圧が低下して P O C 検出電圧以下になると、リセットがかかる。(B) 点の電位は低電圧検出電圧よりも低いため、低電圧検出フラグ 3 4 は“ 0 ” “ 1 ”となる。リセット解除後、ソフトウェアにて低電圧検出フラグ 3 4 の値を確認した場合、低電圧検出フラグ 3 4 が“ 1 ”となっているため、R A M データが壊れている可能性があるという判断できる。従って、この場合はソフトウェアによる R A M データの初期化を行う必要がある。

【 0 0 3 0 】

(6) の期間においては、電源電圧が上昇し、再び V_{poc} 以上になると、リセットが解除される。そのリセット解除後に、ソフトウェアにて低電圧検出フラグ 3 4 の値を確認すると、“ 1 ”になっているため、R A M のデータが破壊されている可能性があるという判断できる。従って、この場合、ソフトウェアによって R A M のデータの初期化を行う。

【 0 0 3 1 】

そして、本実施形態においては、外部リセット信号が入力され、又は P O C 1 によるリセット信号が発生すると、A N D 回路 1 0 から内部リセット信号が出力され、R A M のメモリセル 2 0 のワード線が全てディスエーブルとなる。そして、この内部リセット信号は遅延ブロック 1 1 を介して遅延した後、C P U 等のシステムをリセットする(システムリセット)。

【 0 0 3 2 】

図 4 に示すような従来の R A M においては、非同期に P O C によるリセットがかかったり、又は外部端子によるリセットが発生した場合には、このリセット時に、R A M のあるメモリセルのデータにアクセス中であったときは、メモリセルのワード線が半導体集積回路のアドレスバス及びコントロール信号の組み合わせ回路によって選択されているため、アドレスバスがリセット時に示す値への変化による過渡状態によって、アクセスしていないメモリセルのワード線がイネーブル状態になり、アクセスしていないメモリセルのトランジスタがオン状態になってしまう虞がある。この場合、最悪データが書きかえられてしまうことになる。

【 0 0 3 3 】

しかし、本実施の形態においては、内部リセット信号が全てのメモリセル 2 0 のワード線をディスエーブルにし、所定時間遅延した後、C P U 等をシステムリセットするので、非同期リセットによる R A M データの破壊を防止することができる。

【 0 0 3 4 】

そして、このリセットの間、低電圧検出回路部 2 は電源電圧が低電圧検出電位以下まで低下したか否かを監視しており、低下した場合は低電圧検出フラグ 3 4 として“ 1 ”がたっ

10

20

30

40

50

ていて、制御装置において、この低電圧検出フラグ34を読むことにより、リセット中にRAMのデータが破壊された可能性があるか、又はないかを判断することができる。このようにして、低電圧検出回路2とRAMアクセス中のリセットによるRAMデータの破壊を防止するブロック3とによって、半導体集積回路のユーザが、POC1によるリセット中、電源電圧がRAM保持電圧以下になっていなかったかの判断が可能になり、RAM保持電圧以下に降下していない場合、RAMのデータの保持を保証できる。即ち、一般にRAM保持電圧はPOC検出電圧より低い電圧であるので、POCによるリセット中又は外部端子によるリセット中でも、電源電圧がRAM保持電圧より低下しなければ、RAMのデータは保持されたままということになり、これを保証することができる。

【0035】

次に、図3を参照して、本発明の他の実施形態について説明する。なお、図1に示す実施形態と同一構成物には同一符号を付してその詳細な説明は省略する。本実施形態が図1に示す実施形態と異なる点は、低電圧検出回路2aとリセットによるRAMデータ破壊防止ブロック3aとであり、本実施形態は、ASICのようにRAMがメモリマクロ40として準備されている場合のものである。

【0036】

メモリマクロ40には、アドレス信号とコントロール信号とが入力され、RAMデータ破壊防止ブロック3aには、RAMアクセス時にアクティブ“1”になるコントロール信号が入力される。このブロック3aにおいては、AND回路10からの内部リセット信号が入力されるAND回路41が設けられており、このAND回路41の他方の入力には、前述のRAMアクセス時にアクティブになるコントロール信号が入力される。そして、AND回路41から、内部リセット信号が“0”（リセットがかかっている場合）の場合には、前記コントロール信号の状態に拘わらず、“0”が出力され、内部リセット信号が“1”（リセットがかかっていない場合）の場合には、前記コントロール信号が“0”（非アクティブでメモリセルにアクセスしていない場合）のときに“0”が出力され、前記コントロール信号が“1”（アクティブでメモリセルにアクセスしている場合）のときに“1”が出力される。そして、メモリマクロ40においては、AND回路41から、“0”（ディスエーブル）が入力されている場合に、メモリセルにアクセスせず、“1”（イネーブル）が入力されている場合に、アクセスを可能とする。

【0037】

低電圧検出回路2aにおいては、RAMのメモリセルよりデータ保持特性が悪いメモリセル51、つまり、通常のRAMセルより高い電圧でデータを保持できなくなるRAMセル51が設けられている。即ち、低電圧検出回路2aに設けられたメモリセル51は、しきい値 V_T が通常のRAMセルより高いトランジスタ52、53がトランスファゲートとして設けられ、これらのトランジスタ52、53間にフリップフロップ54が接続されている。そして、この低電圧検出回路2aの各メモリセル51にも、内部バス30を介してRAMセルのデータを読み込むようになっている。

【0038】

本実施形態においては、RAMアクセス時にアクティブになるコントロール信号がブロック3aに入力されても、内部リセット信号が“0”（リセットがかかっている状態）においては、メモリマクロ40にアクセスを可能とする信号が入力されない。内部リセット信号が“1”（リセットがかかっていない状態）の場合において、RAMアクセス時にアクティブになる信号がブロック3aに入力されると、メモリマクロ40にアクセスが可能となる。よって、メモリマクロ40にアクセスしている場合に、リセット信号が発生しても、メモリマクロ40のデータの破壊を防止することができる。このように、RAMがマクロとして準備されている場合においても、RAMマクロ40のデータアクセス時にアクティブになる信号を内部リセット信号と組み合わせることにより、RAMアクセス時のリセットによるデータ破壊を防止することができる。

【0039】

また、低電圧検出回路2aにおいては、RAMのメモリセルより保持特性が悪い低電圧検

10

20

30

40

50

出用メモリセル51が設けられており、電源電位が低下していくと、メモリマクロ40のデータが破壊される前に、メモリセル51がデータを保持できなくなる。従って、このメモリセル51のデータが保持されているか否かを確認することにより、電源電位が低電圧検出電位以下に低下したか否かを判断することができる。

【0040】

本実施形態においても、リセット信号が入力された場合のRAMデータの破壊を防止することができると共に、リセット信号が入力された場合においても、電源電位が低電圧検出電位以下に低下しなかったときには、RAMデータの保持を保証することができると共に、電源電位が低電圧検出電位以下に低下した場合にのみメモリセルを初期化すればよい。

【0041】

【発明の効果】

以上詳述したように本発明によれば、RAMにアクセス中に、POCによるリセット又は外部端子からのリセットが入っても、RAMのデータの破壊を防止できると共に、そのリセット中、RAM保持電圧より電源電圧が低下していないか、又は低下した可能性があるかを低電圧検出回路により確認でき、低下していない場合は、RAMのデータは保持されていると判断できる。従って、本発明によれば、リセット解除後、先ず、電源電圧が低電圧検出電位以下に低下したか否かを確認し、低電圧検出電位以下に低下しなかった場合には、RAMデータの保持を保証でき、電圧検出電位以下に低下した場合にのみRAMのデータ初期化を行うようにすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体集積回路を示す回路図である。

【図2】本実施形態における電源電圧とPOC検出電圧及び低電圧検出フラグとの関係を示す図である。

【図3】本発明の第2実施形態に係る半導体集積回路を示す回路図である。

【図4】従来の半導体集積回路を示す回路図である。

【符号の説明】

1：POC

2、2a：低電圧検出回路

3、3a：RAMデータ破壊防止ブロック

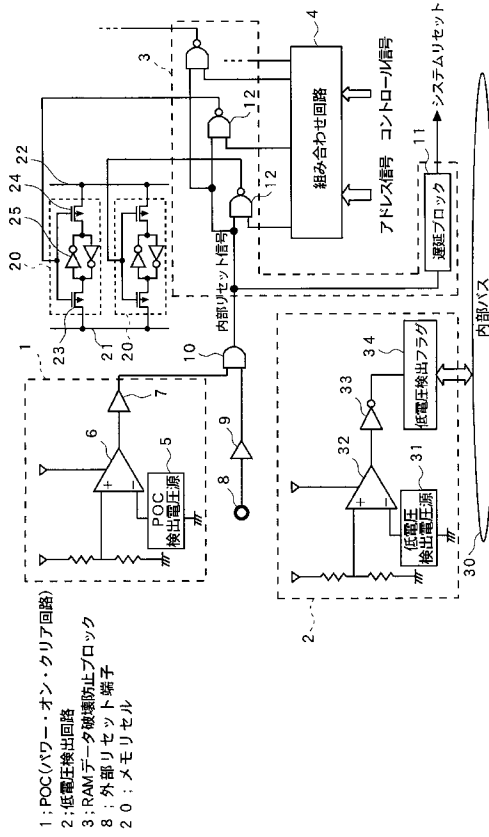
34：低電圧検出フラグ

10

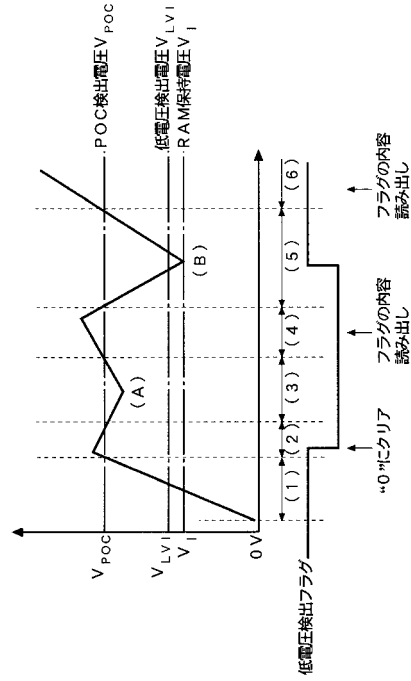
20

30

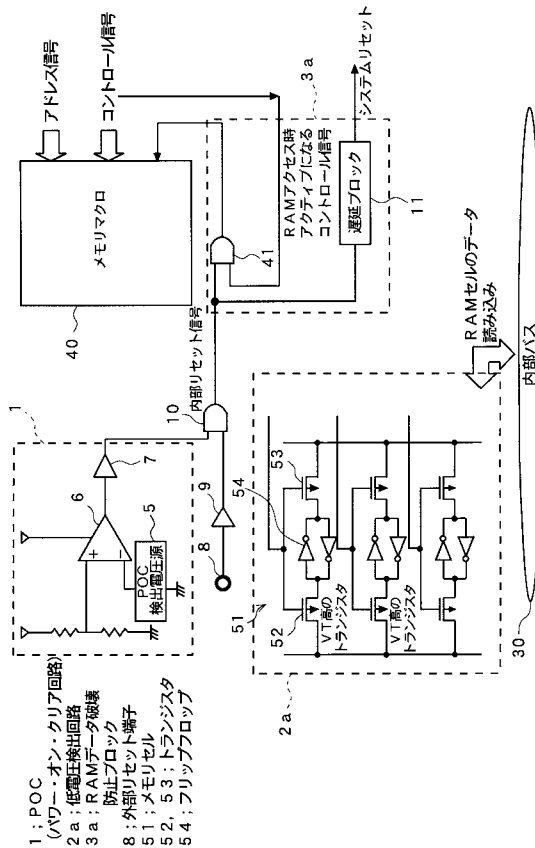
【図1】



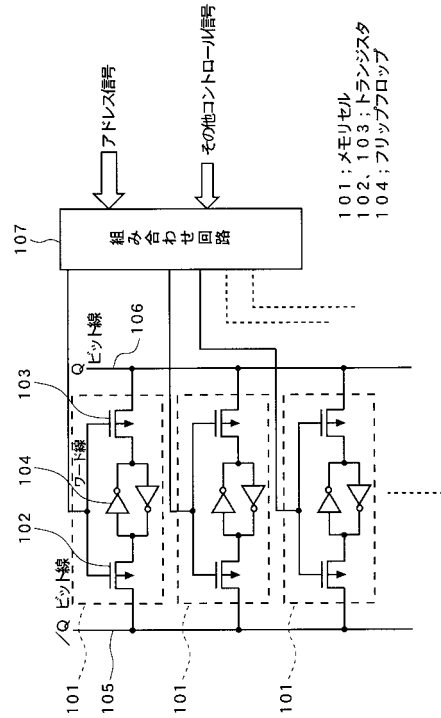
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開昭59-188883(JP,A)
特開昭63-026747(JP,A)
特開平04-025919(JP,A)
特開平04-021143(JP,A)
特開昭62-243017(JP,A)
特開平06-044786(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4072

H03K 17/22