

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-268679

(P2005-268679A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int. Cl.<sup>7</sup>

H01L 29/78

F I

H01L 29/78 652D  
 H01L 29/78 652B  
 H01L 29/78 652F  
 H01L 29/78 653C

テーマコード (参考)

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2004-81986 (P2004-81986)  
 (22) 出願日 平成16年3月22日 (2004.3.22)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100105647  
 弁理士 小栗 昌平  
 (74) 代理人 100105474  
 弁理士 本多 弘徳  
 (74) 代理人 100108589  
 弁理士 市川 利光  
 (74) 代理人 100115107  
 弁理士 高松 猛  
 (74) 代理人 100090343  
 弁理士 濱田 百合子  
 (72) 発明者 郡司 浩幸  
 大阪府門真市大字門真1006番地 松下  
 電器産業株式会社

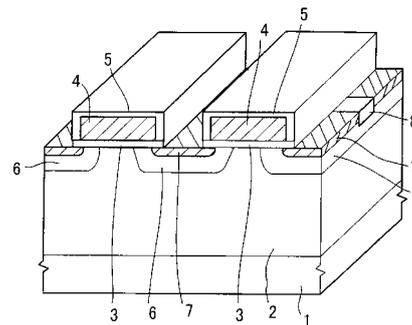
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MISFET構造のトランジスタのゲート電極の配列ピッチを上げ、その駆動能力向上、オン抵抗低減を簡便にしかも低コストで可能にする。

【解決手段】 n<sup>+</sup>型基板1上にn<sup>-</sup>型エピタキシャル層2を形成し、n<sup>-</sup>型エピタキシャル層2表面にゲート絶縁膜3を介して直線状パターンのゲート電極4を設け、ゲート電極4の表面部に層間絶縁膜5を被覆し、ゲート電極4に対してセルフアラインにp型ベース拡散層6とn<sup>+</sup>型ソース拡散層7を形成する。ここで、n<sup>+</sup>型ソース拡散層7はp型ベース拡散層6の表面部分に形成し、ゲート電極4下にゲート絶縁膜3を介してオーバーラップしているp型ベース拡散層6表面部をDMOSFETのチャンネル領域とし、p型ベース拡散層6に接続するp<sup>+</sup>型ベースコンタクト拡散層8をn<sup>+</sup>型ソース拡散層7の途中で切断し設ける。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体基板に形成した M I S F E T 構造のトランジスタを備えた半導体装置であって、  
一導電型半導体層を備えた半導体基板と、  
前記一導電型半導体層に少なくとも形成したドレイン領域と、  
前記一導電型半導体層の表面上にゲート絶縁膜を介して並行する複数の直線状パターンの導電体で形成したゲート電極と、  
隣接する前記導電体で区画された前記一導電型半導体層表面に形成した逆導電型拡散層からなり、前記ゲート電極と前記ゲート絶縁膜を介してオーバラップするチャンネル領域と、  
前記導電体で区画された前記逆導電型拡散層表面全域に形成した一導電型拡散層から成るソース領域と、  
を有する半導体装置。

10

**【請求項 2】**

前記導電体で区画されたソース領域である前記一導電型拡散層の一部領域に、前記逆導電型拡散層の引き出し部である拡散層が前記隣接する導電体で区画され形成されていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

請求項 1 に記載の半導体装置の製造方法であって、  
前記半導体基板の一導電型半導体層表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上に互いに並行する複数の直線状パターンの導電体を形成する工程と、  
前記導電体に対してセルフアラインに前記逆導電型拡散層と前記一導電型拡散層とを形成する工程と、  
を有する半導体装置の製造方法。

20

**【請求項 4】**

請求項 2 に記載の半導体装置の製造方法であって、  
前記半導体基板の一導電型半導体層の表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上に互いに並行する複数の直線状パターンの導電体を形成する工程と、  
前記導電体に対してセルフアラインに前記逆導電型拡散層と前記一導電型拡散層とを形成する工程と、  
前記一導電型拡散層の所定の領域に前記導電体に対してセルフアラインに前記引き出し部である拡散層を形成する工程と、  
を有する半導体装置の製造方法。

30

**【請求項 5】**

半導体基板に形成した M I S F E T 構造のトランジスタを備えて成る半導体装置において、  
一導電型半導体層と前記一導電型半導体層に形成した逆導電型半導体層を備えた半導体基板と、  
前記逆導電型半導体層上で並行する複数の直線状パターンからなり、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチ内にゲート絶縁膜を介し導電体を埋め込んで成るゲート電極と、  
前記導電体で区画された前記逆導電型半導体層表面の全域に形成した一導電型拡散層から成るソース領域と、  
を有する半導体装置。

40

**【請求項 6】**

前記導電体で区画されたソース領域である前記一導電型拡散層の一部領域に、前記逆導電型半導体層の引き出し部である拡散層が前記隣接する導電体で区画され形成されていることを特徴とする請求項 5 に記載の半導体装置。

**【請求項 7】**

請求項 5 に記載の半導体装置の製造方法であって、

50

前記半導体基板の前記逆導電型半導体層上で互いに並行する複数の直線状パターンからなり、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチを形成する工程と、

前記トレンチ内面にゲート絶縁膜を形成し、更に前記トレンチ内に前記ゲート絶縁膜を被覆して導電体を充填する工程と、

前記導電体に対してセルフアラインに前記逆導電型半導体層表面に前記一導電型拡散層を形成する工程と、

を有する半導体装置の製造方法。

#### 【請求項 8】

請求項 6 に記載の半導体装置の製造方法であって、

10

前記半導体基板の前記逆導電型半導体層上で互いに並行する複数の直線状パターンからなり、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチを形成する工程と、

前記トレンチ内面にゲート絶縁膜を形成し、更に前記トレンチ内に前記ゲート絶縁膜を被覆して導電体を充填する工程と、

前記導電体に対してセルフアラインに前記逆導電型半導体層表面に前記一導電型拡散層を形成する工程と、

前記一導電型拡散層の所定の領域に前記導電体に対してセルフアラインに前記引き出し部である拡散層を形成する工程と、

を有する半導体装置の製造方法。

20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体装置およびその製造方法に関し、特に M I S F E T 構造のトランジスタを有して成る半導体装置およびその製造方法に関する。

#### 【背景技術】

#### 【0002】

従来、高電圧で大電流を制御する絶縁ゲート電界効果トランジスタ ( M I S F E T ) 構造のトランジスタとして、二重拡散による M O S 型トランジスタ ( D M O S F E T ) が広く知られており、そのソース領域、レイン領域が共に半導体基板の表面部に形成される横型構造の D M O S F E T、あるいは、そのソース領域が半導体基板の表面側に形成されドレイン領域が裏面側に形成される縦型構造の D M O S F E T が、単体トランジスタの半導体装置、あるいは、制御回路部等と共に混載したインテリジェント I C といわれるような半導体装置に用いられてきた。近年、この D M O S F E T の変形したものとして、チャンネル領域を溝 ( トレンチ ) 側面に形成し微細化の対応が容易な構造となる、いわゆるトレンチゲート構造の縦型電界効果トランジスタ ( 以下、 T M O S F E T と呼称する ) も新しく使用されるようになってきている。

30

#### 【0003】

上述した従来 of D M O S F E T は、一般的に図 9 , 10 に示すような構造をもつ。図 9 は上記 D M O S F E T の平面構造であり、図 10 は、図 9 の Y<sub>1</sub> - Y<sub>2</sub> で矢視した断面図である。その平面構造では、図 9 に示すように、判り易くするために斜線を施したゲート電極 104 がメッシュ状に配列され、このメッシュ状のゲート電極 104 で区画された多数の正方形の中にそれぞれ p 型ベース拡散層 103 ( 後述する ) のベースコンタクト部 103 a および n<sup>+</sup> 型ソース拡散層 105 を設ける構造になっている。このようにゲート電極 104 をメッシュ状にすることで、ゲート電極 104 の縁端の実効長が増えトランジスタの全体のチャンネル幅が増大し、トランジスタの大電流駆動能力が向上する。そして、ソース電極 107 が全面に被覆している ( 図示せず ) 。

40

#### 【0004】

そして、この D M O S F E T の断面構造は、図 10 に示すように、n<sup>+</sup> 型基板 101 上に n<sup>-</sup> 型エピタキシャル層 102 が形成され、その n<sup>-</sup> 型エピタキシャル層 102 上部に

50

熱拡散法で上述した p 型ベース拡散層 103 が設けられている。この p 型ベース拡散層 103 内には、ゲート電極 104 を挟み p 型ベース拡散層 103 のベースコンタクト部 103a を形成するように、 $n^+$  型ソース拡散層 105 が設けられている。ここで、ゲート電極 104 は、p 型ベース拡散層 103 表面をチャンネル領域とする姿態に、この  $n^-$  型エピタキシャル層 102 の上にまたがるゲート絶縁膜を介して形成されており、その表面部は層間絶縁膜 106 が被覆されている。この p 型ベース拡散層 103 を形成するための熱拡散と  $n^+$  型ソース拡散層 105 を形成するための熱拡散とでいわゆる上述した二重拡散と呼称される。そして、ベースコンタクト部 103a と  $n^+$  型ソース拡散層 105 に電氣的に接続するソース電極 107 がアルミ金属等の導電体膜で形成される。ここで、 $n^+$  型ソース拡散層 105 間のベースコンタクト部 103a にボロン不純物をドーピングしこの領域を高濃度領域にしてもよい。

10

**【0005】**

上記の構造において、大電流は、ゲート電極 104 で制御され、ドレイン側である  $n^+$  型基板 101 から  $n^-$  型エピタキシャル層 102 を通り、p 型ベース拡散層 103 の上記チャンネル領域を通過して、ソース側の  $n^+$  型ソース拡散層 105 からソース電極 107 へと流れる。上記構造は n チャンネル型の DMOSFET であるが、p チャンネル型の DMOSFET もその導電型は逆となるが同様の構造となる。

**【0006】**

これに対し、上述した T MOSFET は、図 11 に示すような基本構造である。図に示すように、 $n^+$  型基板 201 上に  $n^-$  型エピタキシャル層 202 が形成され、その  $n^-$  型エピタキシャル層 202 上部に熱拡散法で p 型ウェル層 203 が形成され、この p 型ウェル層 203 内に  $n^+$  型ソース拡散層 204 が形成され、更にボディコンタクト部 203a が設けられている。そして、上記  $n^-$  型エピタキシャル層 202 の一部、p 型ウェル層 203 および  $n^+$  型ソース拡散層 204 を貫通するようにしてトレンチ 205 が形成されている。このトレンチ 205 内には、その側面にゲート絶縁膜 206 が形成され、このトレンチ 205 を充填するトレンチゲート電極 207 が不純物ドーブの多結晶シリコンで形成されている。そして、このトレンチゲート電極 207 の上部は絶縁酸化膜 208 で覆われ、全面にアルミ金属等の導電体膜でソース電極 209 が形成されている。ここで、ソース電極 209 はボディコンタクト部 203a および  $n^+$  型ソース拡散層 204 に接続されている。

20

30

**【0007】**

上記 T MOSFET の平面構造は、トランジスタの駆動能力を上げると共にそのオン抵抗を低減するために、これまでに種々の検討がなされている。図 12, 13 は、上記縦型電界効果トランジスタの平面構造の 2 例である。図 12 はトレンチゲート電極の配列がメッシュ状となる場合であり、図 13 はトレンチゲート電極の配列が直線状となる場合である。

**【0008】**

トレンチゲート電極の配列がメッシュ状となる場合は、図 12 に示すように、斜線を施したトレンチゲート電極 207 がメッシュ状に配列され、このメッシュ状のトレンチゲート電極 207 で区画された多数の正方形の中にそれぞれ上記ボディコンタクト部 203a および  $n^+$  型ソース拡散層 204 が設けられる構造になっている（例えば、特許文献 1 参照）。このようにトレンチゲート電極 207 をメッシュ状にすることで、トレンチゲート電極 207 の実効長が増えトランジスタの全体のチャンネル幅が増大し、トランジスタの駆動能力が向上する。ここで、図 12 中に記した点線のところの断面が図 11 に示した断面に対応している。そして、図 11 に示したソース電極 209 が全面に被覆している（図示せず）。

40

**【0009】**

そして、トレンチゲート電極の配列が直線状となる場合は、図 13 に示すように、多数のトレンチゲート電極 207 が直線状に長細く配設されており、それらの終端部に位置するゲート周辺配線 210 下において互いに結合している。そして、この直線状の長細いト

50

レンチゲート電極 207 に沿って  $n^+$  型ソース拡散層 204 が設けられ、隣接する  $n^+$  型ソース拡散層 204 間にはボディコンタクト部 203a が形成されている（例えば、特許文献 2 参照）。ここで、図 13 中に記した点線のところの断面が図 11 に示した断面に対応している。そして、図 11 に示したソース電極 209 が全面に被覆している（図示せず）。

【特許文献 1】特許第 2662217 号公報（第 9 図）

【特許文献 1】特許第 3367857 号公報（図 1）

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述した DMOSFET および TMOSFET においては、その最重要な課題である駆動能力の向上およびオン抵抗の低減は、ゲート電極 104 およびトレンチゲート電極 207 の配列密度を高くしゲート電極の縁端長を増大することにより効果的に達成できる。これにより、DMOSFET あるいは TMOSFET の所定領域におけるチャンネル長が増大するからである。そこで、上述したように（トレンチ）ゲート電極の平面パターン形状が種々に検討され、メッシュ状のゲート電極あるいは直線状のゲート電極等が提案されてきた。

【0011】

しかしながら、従来の DMOSFET においては、ゲート電極 104 をメッシュ状に配列し、メッシュ状のゲート電極 104 で区画された多数の矩形の中にそれぞれ  $n^+$  型ソース拡散層 105 とベースコンタクト部 103a とを設けている。このために、ゲート電極 104 の配列ピッチは、図 9 に示すように、ゲート電極 104 幅を  $G$ 、ベースコンタクト部 103a 寸法を  $C$ 、 $n^+$  型ソース拡散層 105 幅を  $S$  とすると、 $(G + C + 2S)$  となり、そのピッチを上げその配列密度を高くすることに限界が生じ、パターン寸法が一定の設計基準の下では、DMOSFET の駆動能力の向上およびオン抵抗の低減が困難となるという問題があった。

【0012】

また、従来の DMOSFET の製造においては、メッシュ状のゲート電極 104 のパターンに対して位置合わせをして、 $n^+$  型ソース拡散層 105 とベースコンタクト部 103a とを、メッシュ状のゲート電極 104 で区画された多数の矩形の中に設けなければならない。そこで、フォトリソグラフィ工程での位置合わせマージンが必要になり、これが上述したゲート電極 104 の配列ピッチの向上をして更に難しくしている。また、DMOSFET 製造工程全体におけるフォトリソグラフィでのパターン位置合わせは、特に、 $n^+$  型ソース拡散層 105 とベースコンタクト部 103a の形成工程で最も厳しくなっており、製造コストを高くする大きな要因の一つともなっている。

【0013】

上記従来の TMOSFET においてトレンチゲート電極の配列がメッシュ状となる場合にも、同様に、トレンチゲート電極 207 はメッシュ状に配列しており、メッシュ状のトレンチゲート電極 207 で区画された多数の矩形の中にそれぞれ  $n^+$  型ソース拡散層 204 とボディコンタクト部 203a とを設けている。このために、上述した DMOSFET の場合と全く同じで、トレンチゲート電極 207 の配列のピッチを上げその配列密度を高くすることが構造の上で難しく、TMOSFET の更なる駆動能力の向上およびオン抵抗の低減に限界が生じてくるという問題があった。

【0014】

この TMOSFET におけるメッシュ状のトレンチゲート電極の配列ピッチ縮小の制約は、微細化対応が容易なトレンチゲート電極構造の TMOSFET の場合には、DMOSFET の場合よりも更に重要な解決すべき問題となっている。なぜなら、微細化なトレンチゲート電極構造によりその配列密度を高くしてゲート長を増大する最も効果的な方法が有効に作用しなくなるためである。

【0015】

10

20

30

40

50

また、上記特許文献2のT M O S F E Tにおいては、多数の直線状のトレンチゲート電極207を並行して配列し、この直線状の長細いトレンチゲート電極207に沿って $n^+$ 型ソース拡散層204を形成し、隣接する $n^+$ 型ソース拡散層204間にボディコンタクト部203aを設けている。このために、トレンチゲート電極207の配列ピッチは、上記メッシュ状の(トレンチ)ゲート電極の配列の場合と同様に、図13に記しているように(G+C+2S)となり、このような構造においても、トレンチゲート電極207の配列のピッチを上げ配列密度を高くすることには限界がある。

【0016】

本発明は、上述した従来の問題を解決するためになされたもので、M I S F E T構造のトランジスタのゲート電極あるいはトレンチゲート電極の配列密度を向上させ、更にその微細化を容易にして、M I S F E T構造のトランジスタの駆動能力の向上及びオン抵抗の低減を簡便にしかも低コストに達成できる半導体装置およびその製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0017】

本発明の半導体装置は、半導体基板に形成したM I S F E T構造のトランジスタを備えて成る半導体装置において、一導電型半導体層を備えた半導体基板と、前記一導電型半導体層に少なくとも形成したドレイン領域と、前記一導電型半導体層の表面上にゲート絶縁膜を介して並行する複数の直線状パターンの導電体で形成したゲート電極と、隣接する前記導電体で区画された前記一導電型半導体層表面に形成した逆導電型拡散層であって前記ゲート電極と前記ゲート絶縁膜を介してオーバーラップするチャンネル領域と、前記導電体で区画された前記逆導電型拡散層表面の全域に形成した一導電型拡散層から成るソース領域と、を有する。

20

【0018】

そして、好ましくは、前記導電体で区画されたソース領域である前記一導電型拡散層の一部領域に、前記逆導電型拡散層の引き出し部である拡散層が前記隣接する導電体で区画され形成される。

【0019】

このような構成により、D M O S F E Tのようなトランジスタのゲート電極の配列ピッチが向上し、半導体基板上で高密度なゲート電極形成が可能になり、半導体装置の高密度あるいは縮小化、更には大電流駆動化あるいは高パワー化が容易に達成される。

30

【0020】

そして、本発明の半導体装置の製造方法は、上記半導体装置の製造方法であって、前記半導体基板の一導電型半導体層表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上に互いに並行する複数の直線状パターンの導電体を形成する工程と、前記導電体に対してセルフアラインに前記逆導電型拡散層と前記一導電型拡散層とを形成する工程とを有する。

【0021】

あるいは、本発明の半導体装置の製造方法は、上記半導体装置の製造方法であって、前記半導体基板の一導電型半導体層の表面にゲート絶縁膜を形成し、前記ゲート絶縁膜上に互いに並行する複数の直線状パターンの導電体を形成する工程と、前記導電体に対してセルフアラインに前記逆導電型拡散層と前記一導電型拡散層とを形成する工程と、前記一導電型拡散層の所定の領域に前記導電体に対してセルフアラインに前記引き出し部である拡散層を形成する工程とを有する。

40

【0022】

このような構成により、D M O S F E Tのようなトランジスタのソース拡散層がゲート電極パターンに対してセルフアラインに形成できるようになる。このために、フォトリソグラフィ工程での上記ソース拡散層の位置合わせマージンが不要になり、微細化しなくても一定の設計基準の下で上記ゲート電極の配列ピッチを向上することが可能になる。そして、上記位置合わせの不要化は、D M O S F E Tのようなトランジスタの製造コストを大幅に低減させる。

50

## 【0023】

また、本発明の半導体装置は、半導体基板に形成したMISFET構造のトランジスタを備えて成る半導体装置において、一導電型半導体層と前記一導電型半導体層に形成した逆導電型半導体層を備えた半導体基板と、前記逆導電型半導体層上で並行する複数の直線状パターンであって、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチ内にゲート絶縁膜を介し導電体を埋め込んで成るゲート電極と、前記導電体で区画された前記逆導電型拡散層表面の全域に形成した一導電型拡散層から成るソース領域とを有する。

## 【0024】

そして、好ましくは、前記導電体で区画されたソース領域である前記一導電型拡散層の一部領域に、前記逆導電型半導体層の引き出し部である拡散層が前記隣接する導電体で区画され形成される。

10

## 【0025】

このような構成により、TMOSEFETのようなトランジスタのトレンチゲート電極の微細化による配列ピッチの大幅な向上が可能になり、大電流駆動の半導体装置の高密度化、そしてその駆動能力の向上及びオン抵抗の低減が簡便に達成される。更に、半導体装置の縮小化、大電流駆動化あるいは高パワー化が容易に達成される。

## 【0026】

そして、本発明の半導体装置の製造方法は、上記半導体装置の製造方法であって、前記半導体基板の前記逆導電型半導体層上で互いに並行する複数の直線状パターンであって、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチを形成する工程と、前記トレンチ内面にゲート絶縁膜を形成し、更に前記トレンチ内に前記ゲート絶縁膜を被覆して導電体を充填する工程と、前記導電体に対してセルフアラインに前記逆導電型半導体層表面に前記一導電型拡散層を形成する工程とを有する。

20

## 【0027】

あるいは、本発明の半導体装置の製造方法は、上記半導体装置の製造方法であって、前記半導体基板の前記逆導電型半導体層上で互いに並行する複数の直線状パターンであって、前記逆導電型半導体層を貫通し前記一導電型半導体層に延在するトレンチを形成する工程と、前記トレンチ内面にゲート絶縁膜を形成し、更に前記トレンチ内に前記ゲート絶縁膜を被覆して導電体を充填する工程と、前記導電体に対してセルフアラインに前記逆導電型半導体層表面に前記一導電型拡散層を形成する工程と、前記一導電型拡散層の所定の領域に前記導電体に対してセルフアラインに前記引き出し部である拡散層を形成する工程とを有する構成になっている。

30

## 【0028】

このような構成により、この場合にもトランジスタのソース拡散層がトレンチゲート電極パターンに対してセルフアラインに形成できる。そして、上述したDMOSEFET構造の場合と同様に、トレンチゲート電極配列ピッチの向上およびトランジスタの製造コストの低減を可能にする。

## 【発明の効果】

## 【0029】

本発明によれば、新構造のDMOSEFETおよびTMOSEFETにより、ゲート電極あるいはトレンチゲート電極の配列密度を向上させ、更にその微細化を容易にすることができ、DMOSEFETおよびTMOSEFETの駆動能力の向上及びオン抵抗の低減が簡便にしかも低コストに達成できる。

40

## 【発明を実施するための最良の形態】

## 【0030】

本発明の特徴は、DMOSEFETあるいはTMOSEFET等の高電圧で大電流を制御するMISFET構造のトランジスタにおいて、複数の直線状パターンのゲート電極あるいはトレンチゲート電極を並行に配列する構造にし、その隣接する(トレンチ)ゲート電極で区画する領域に隙間なく自己整合的にソース拡散層を形成するところにある。

50

## 【0031】

(第1の実施形態)

本発明の第1の実施形態を図1乃至4を参照して説明する。図1は本発明のDMOSFETの基本構造を説明する斜視図であり、図2は本発明のDMOSFETから成る半導体装置の一部を拡大したところの平面図である。そして、図3,4はこの半導体装置の製造方法を示すための製造工程順の断面図である。なお、この実施形態では、nチャネル型のMOSトランジスタの場合について説明する。

## 【0032】

はじめに、本発明のDMOSFETの基本構造を説明する。図1に示すように、ドレイン領域になる $n^+$ 型基板1上に一導電型半導体層である $n^-$ 型エピタキシャル層2が形成され、その $n^-$ 型エピタキシャル層2表面にゲート絶縁膜3を介してストライプ状になった直線状パターンの導電体でゲート電極4が設けられている。ここで、ゲート電極4の表面部は層間絶縁膜5で被覆されている。

10

## 【0033】

そして、上記ゲート電極4に対してセルフアラインに逆導電型拡散層であるp型ベース拡散層6がイオン注入法あるいは熱拡散法でもって形成され、同様にしてゲート電極4に対してセルフアラインに一導電型拡散層である $n^+$ 型ソース拡散層7が設けられている。ここで、 $n^+$ 型ソース拡散層7はp型ベース拡散層6の全表面部を覆うように形成されている。

## 【0034】

そして、ゲート電極4下にゲート絶縁膜3を介してオーバーラップしているp型ベース拡散層6表面の部分がDMOSFETのチャンネル領域となっている。更に、図1に示すように、p型ベース拡散層6の引き出し部である $p^+$ 型ベースコンタクト拡散層8が上記 $n^+$ 型ソース拡散層7を途中で切断しp型ベース拡散層6に接続する姿勢に設けてある。そして、図示していないが、図10の従来技術で説明したのと同じようにして、 $n^+$ 型ソース拡散層7および $p^+$ 型ベースコンタクト拡散層8に電氣的に接続するソース電極がアルミ金属等の導電体膜で形成されている。ここで、 $p^+$ 型ベースコンタクト拡散層8は不純物濃度が低いp型の拡散層であってもよい。

20

## 【0035】

上記の構造において、大電流は、図10で説明したのと同様にゲート電極4で制御され、ドレイン側である $n^+$ 型基板1から $n^-$ 型エピタキシャル層2を通り、p型ベース拡散層6の上記チャンネル領域を通して、ソース側の $n^+$ 型ソース拡散層7からソース電極へと流れる。そして、p型ベース拡散層6に対してバックゲート電圧(ソースと同電圧)が $p^+$ 型ベースコンタクト拡散層8を通して印加される。上記構造はnチャネル型のDMOSFETであるが、pチャネル型のDMOSFETもその導電型は逆になるが同様の構造になる。

30

## 【0036】

次に、本発明のDMOSFETから成る半導体装置の平面構造について図2を参照して説明する。ここで、図1で示したのと同じものは同一符号で示している。図2に示すように、ゲート周辺配線9が形成され、これに接続した多数の長細い直線状パターンの導電体から成るゲート電極4が一定のピッチで並行に配列されている。そして、これらのゲート電極4間は隙間なくストライプ状の $n^+$ 型ソース拡散層7が形成され、上記ゲート電極4パターンに直交するパターン形状の $p^+$ 型ベースコンタクト拡散層8が、所定のピッチ配列で上記ストライプ状の $n^+$ 型ソース拡散層7を切断するように形成されている。ここで、 $p^+$ 型ベースコンタクト拡散層8の配列ピッチは、非常に大きくすればよく、ゲート電極4のピッチの10倍~100倍にしてよい。そして、 $n^+$ 型ソース拡散層7および $p^+$ 型ベースコンタクト拡散層8に電氣的に接続するソース電極10がアルミ金属等の導電体膜で形成されている。

40

## 【0037】

この実施形態では、図2に記しているようにゲート電極4の配列ピッチは、ゲート電極

50

4の幅をGとし、 $n^+$ 型ソース拡散層7の幅をSとすると $(G+S)$ となる。このために、設計基準が同じであるとして単純に計算すると、図9で説明した従来の技術の場合のゲート電極104の配列ピッチよりも、 $(S+C)$ 分だけ向上する。例えば、設計基準を $1\mu\text{m}$ とすると、 $(S+C) = (1\mu\text{m} + 1\mu\text{m})$ の $2\mu\text{m}$ だけゲート電極4間隔が減少する。そして、後述の半導体装置の製造方法で説明するようにゲート電極4の幅を $2.5\mu\text{m}$ で設計すると、従来の技術のゲート電極104の配列ピッチが $5.5\mu\text{m}$ になるのに対して、この実施形態ではゲート電極4の配列ピッチは $3.5\mu\text{m}$ となり、1.5倍強に向上する。このゲート電極の配列ピッチの向上は、設計寸法が小さくなり微細になるほど顕著になる。このようにして、トランジスタのゲート電極の配列ピッチが向上し、半導体基板上で高密度なゲート電極形成が可能になり、半導体装置の高密度化あるいは縮小化、更には大電流駆動化あるいは高パワー化が容易に達成される。

10

## 【0038】

次に、上記半導体装置の製造方法について、図3, 4を参照して少し具体的に説明する。図3, 4は、図1を参照して説明したDMOSFETで構成された半導体装置の製造工程順の断面図である。ここで、これらの図は、図2の $X_1 - X_2$ で矢視した箇所の断面図である。ここで、図1, 2と同様のものは同一符号で記す。

## 【0039】

図3(a)に示すように、比低効率が $0.001 \sim 0.005$ 程度の $n^+$ 型基板6上に、厚さが $5\mu\text{m}$ 程度で不純物濃度が $5 \times 10^{15} \text{cm}^{-3}$ 程度の $n^-$ 型エピタキシャル層2を形成する。そして、この $n^-$ 型エピタキシャル層2表面に熱酸化法で膜厚が $10\text{nm}$ から $100\text{nm}$ 程度のシリコン酸化膜を成長させてゲート絶縁膜3を形成する。

20

## 【0040】

次に、膜厚が $300\text{nm}$ 程度のリン不純物含有の多結晶シリコン膜を公知の化学気相成長(CVD)法で堆積し、更にシリコン酸化膜をその上面に堆積し、公知のフォトリソグラフィ技術とドライエッチング技術とで上記シリコン酸化膜と多結晶シリコン膜とを加工し、図3(b)に示すようなストライプ状のゲート電極4とキャップ絶縁膜5aとを形成する。ここで、ゲート電極4の幅は $2.5\mu\text{m}$ 程度であり、並行するゲート電極4間のスペースは $1\mu\text{m}$ 程度である。また、キャップ絶縁膜5aの膜厚は $0.25\mu\text{m}$ 程度である。

## 【0041】

次に、全面にボロン不純物を含むイオン注入と熱処理とを施し、図3(c)に示すように、底面の深さが $1\mu\text{m}$ 程度で不純物濃度が $1 \times 10^{16} \text{cm}^{-3}$ 程度のp型ベース拡散層6をゲート電極4にセルフアラインに形成する。ここで、DMOSFETのチャンネル領域となるp型ベース拡散層6とゲート電極4のオーバーラップ幅は $0.8\mu\text{m}$ 程度になる。

30

## 【0042】

次に、公知のCVDによるシリコン酸化膜の成膜と異方性ドライエッチングによるエッチバックとで、膜厚が $0.2\mu\text{m}$ 程度のサイドウォール絶縁膜5bを形成し、キャップ絶縁膜5aとサイドウォール絶縁膜5bから構成された層間絶縁膜5でゲート電極4の表面を被覆する。

## 【0043】

次に、図4(a)に示すように、公知のフォトリソグラフィ技術で所定の開口11を有するレジストマスク12を形成し、これを注入マスクにしてボロン不純部を含有するボロンイオンを注入して $p^+$ 型ベースコンタクト拡散層8を形成する。ここで、熱処理後での $p^+$ 型ベースコンタクト拡散層8の不純物濃度は $5 \times 10^{19} \text{cm}^{-3}$ 程度にする。

40

## 【0044】

そして、全面でのリンあるいはヒ素イオンの注入と熱処理とを行う。これにより、図4(b)に示すように、深さが $0.2\mu\text{m}$ 程度で不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 程度の $n^+$ 型ソース拡散層7をゲート電極4およびサイドウォール絶縁膜5bにセルフアラインに形成する。ここで、 $p^+$ 型ベースコンタクト拡散層8の不純物濃度は $5 \times 10^{19} \text{cm}^{-3}$ 程度と $n^+$ 型ソース拡散層7の不純物濃度よりも高いので、この領域の導電型は $p^+$ 型のまま

50

である。

【0045】

最後に、 $n^+$ 型ソース拡散層7および $p^+$ 型ベースコンタクト拡散層8に電氣的に接続するソース電極10をアルミ金属等の導電体膜で形成する。このようにして、図4(c)に示すように、 $n^+$ 型基板6上に $n^-$ 型エピタキシャル層2が形成され、その $n^-$ 型エピタキシャル層2表面にゲート絶縁膜3を介して多数の直線状パターンの導電体から成るゲート電極4が形成され、これらのゲート電極4に対してセルフアラインに $p$ 型ベース拡散層6が形成され、同様にゲート電極4に対してセルフアラインに $n^+$ 型ソース拡散層7が形成され、そして、ゲート電極4下にゲート絶縁膜3を介してオーバーラップしている $p$ 型ベース拡散層6表面の部分がDMOSFETのチャンネル領域となり、更に $p^+$ 型ベースコンタクト拡散層8が上記 $n^+$ 型ソース拡散層7を途中で切断し $p$ 型ベース拡散層6に接続する姿態に設けられ、 $n^+$ 型ソース拡散層7および $p^+$ 型ベースコンタクト拡散層8に電氣的に接続するソース電極10が設けられて、本発明の半導体装置が出来上がる。

10

【0046】

以上の実施形態では、 $p$ 型ベース拡散層6の引き出し部である $p^+$ 型ベースコンタクト拡散層8を形成した後に $n^+$ 型ソース拡散層7を形成しているが、逆に $n^+$ 型ソース拡散層7をゲート電極4に対してセルフアラインに形成してから、 $p^+$ 型ベースコンタクト拡散層8を形成してもよい。

【0047】

この実施形態では、 $n^+$ 型ソース拡散層7はゲート電極4に対してセルフアラインに形成される。このために、上述したようにフォトリソグラフィ工程での上記 $n^+$ 型ソース拡散層7の位置合わせマージンが不要になり、一定の設計基準の下でも上記ゲート電極の配列ピッチを大幅に向上することが可能となる。そして、このように位置合わせが不要となるため、DMOSFETのようなトランジスタ製造において、高性能な製造装置たとえばフォトリソグラフィ工程で用いる高性能なステッパー装置を使用しなくても、ゲート電極の配列ピッチを向上させ、トランジスタの駆動能力を上げそのオン抵抗を下げるができる。そして、上記位置合わせが不要となることによりは、DMOSFETのようなトランジスタの製造コストが低減される。

20

【0048】

(第2の実施形態)

本発明の第2の実施形態を図5乃至8を参照して説明する。図5は本発明のTMOSEFETの基本構造を説明する斜視図であり、図6は本発明のTMOSEFETから成る半導体装置の一部を拡大したところの平面図である。そして、図7, 8はこの半導体装置の製造方法を示すための製造工程順の断面図である。なお、この実施形態では、 $p$ チャンネル型のMOSトランジスタの場合について説明する。

30

【0049】

ここで、本発明のTMOSEFETの基本構造は、図5に示しているように、ドレイン領域となる $p^+$ 型基板21上に一導電型半導体層である $p^-$ 型エピタキシャル層22形成され、その $p^-$ 型エピタキシャル層22上部に逆導電型半導体層である $n$ 型ウェル層23がイオン注入法あるいは熱拡散法でもって形成される。ここで、この $n$ 型ウェル層23がDMOS構造でのいわゆるベース拡散領域に相当する。そして、上記 $p^-$ 型エピタキシャル層22一部、 $n$ 型ウェル層23を貫通するようにしてトレンチ24が $n$ 型ウェル層23上で並行して直線状の形成されている。このトレンチ24の側面にゲート絶縁膜25が形成され、このトレンチ24を充填するトレンチゲート電極26が導電体である不純物ドーパの多結晶シリコンで形成されている。そして、このトレンチゲート電極26の上部は保護絶縁膜27で覆われている。更に、トレンチゲート電極26で区画された $n$ 型ウェル層23表面領域には隙間がなく、一導電型拡散層であるソース領域となる $p^+$ 型ソース拡散層28が設けてある。更に、 $n$ 型ウェル層23に接続する $n^+$ 型ボディ拡散層29が上記トレンチゲート電極26パターンに直交するパターン形状で形成されている。ここで、 $n^+$ 型ボディ拡散層29は $n$ 型ウェル層23の引き出し部となっている。そして、図5では図

40

50

示しないが、ソース電極が全面に形成され  $p^+$  型ソース拡散層 28 および  $n^+$  型ボディ拡散層 29 に接続する構造となる。上記の構造において、逆導電型半導体層である  $n$  型ウェル層 23 は、公知のエピタキシャル成長による  $n$  型エピタキシャル層であってもよい。

#### 【0050】

上記の構造において、大電流は、トレンチゲート電極 26 で制御され、ソース側の  $p^+$  型ソース拡散層 28 から  $n$  型ウェル層 23 のチャンネル領域を通過して、 $p^-$  型エピタキシャル層 22 を通り、ドレイン側である  $p^+$  型基板 1 へと流れる。そして、 $n$  型ウェル層 23 に対してバックゲート電圧（ソースと同電圧）が  $n^+$  型ボディ拡散層 29 を通して印加される。上記構造は  $p$  チャンネル型の T M O S F E T であるが、 $n$  チャンネル型の T M O S F E T もその導電型は逆になるが同様の構造となる。

10

#### 【0051】

次に、本発明の T M O S F E T から成る半導体装置の平面構造について図 6 を参照して説明する。ここで、図 5 で示したものと同一ものは同一符号で示している。図 6 に示すように、ゲート周辺配線 30 が形成され、これに接続した多数の長細い直線状パターンとなる導電体から成るトレンチゲート電極 26 が一定のピッチで並行に配列されている。そして、これらのトレンチゲート電極 26 間は隙間なくストライプ状の  $p^+$  型ソース拡散層 28 が形成され、上記トレンチゲート電極 26 パターンに直交するパターン形状の、 $n^+$  型ボディ拡散層 29 が、所定のピッチ配列で上記ストライプ状の  $p^+$  型ソース拡散層 28 を切断するように形成されている。ここで、 $n^+$  型ボディ拡散層 29 の配列ピッチは、非常に大きくすればよく、トレンチゲート電極 26 のピッチの 100 倍程度にしてもよい。そして、 $p^+$  型ソース拡散層 28 および  $n^+$  型ボディ拡散層 29 に電氣的に接続するソース電極 31 がアルミ金属等の導電体膜で形成されている。

20

#### 【0052】

この実施形態でも、第 1 の実施形態で説明したように、トレンチゲート電極 11 の配列ピッチは、トレンチゲート電極 26 の幅を  $G$  とし、 $p^+$  型ソース拡散層 28 の幅を  $S$  とすると  $(G + S)$  となる。ここで、微細化対応の T M O S F E T のようなトランジスタであるので、例えば、後述するが設計基準を  $0.25 \mu\text{m}$  とすると、上記配列ピッチは  $0.5 \mu\text{m}$  となる。これに対して、従来の T M O S F E T 構造では、図 12, 13 に示したように、配列ピッチは  $(S + C) = (0.25 \mu\text{m} + 0.25 \mu\text{m})$  分の  $0.5 \mu\text{m}$  増加する。このように、この実施形態では従来の場合よりもトレンチゲート電極 26 の配列ピッチは 2 倍に向上するようになる。このようにして、トランジスタのゲート電極の配列ピッチは更に向上し、半導体装置の高密度化あるいは縮小化、更には大電流駆動化あるいは高パワー化が容易に達成される。

30

#### 【0053】

次に、この発明の半導体装置の製造方法について、図 7, 8 を参照して説明する。図 7, 8 は、図 5 を参照して説明した T M O S F E T で構成された半導体装置の製造工程順の断面図である。ここで、これらの図は、図 5 の  $X_3 - X_4$  で矢視した箇所の断面図である。ここで、図 5, 6 と同様のものは同一符号で記す。

#### 【0054】

図 7 (a) に示すように、 $p^+$  型基板 21 上に  $5 \mu\text{m}$  程度の  $p^-$  型エピタキシャル層 22 を形成する。そして、その  $p^-$  型エピタキシャル層 22 の 1 部にイオン注入法あるいは熱拡散法で深さが  $1 \mu\text{m}$  程度の  $n$  型ウェル層 23 を形成し、その表面にシリコン酸化膜でマスク絶縁膜 32 を形成する。

40

#### 【0055】

そして、図 7 (b) に示すように、公知のフォトリソグラフィ技術とドライエッチング技術とでマスク絶縁膜 32 の所定の領域をエッチングし所望の開口を形成し、これをエッチングマスクにして  $n$  型ウェル層 23 を貫通し  $p^-$  型エピタキシャル層 22 に延在するように、深さが  $1.5 \mu\text{m}$  程度の多数のトレンチ 24 を形成する。ここで、これらのトレンチ 24 の幅は共に同じで  $0.25 \mu\text{m}$  程度であり、トレンチ 24 間の間隔も  $0.25 \mu\text{m}$  程度である。

50

## 【0056】

次に、図7(c)に示すように、トレンチ24の側壁の熱酸化により膜厚15nm程度のシリコン酸化膜でゲート絶縁膜25を形成し、引続いて、公知のCVD法で多結晶シリコン膜33を、トレンチ24を充填するように全面に堆積し、ボロン不純物あるいはリン不純物をドーピングする。そして、エッチバック等で多結晶シリコン膜33をエッチングし、図7(d)に示すように、トレンチ24内にトレンチゲート電極26を埋設する。

## 【0057】

次に、図8(a)に示すように高密度プラズマ(HDP)によるプラズマ(PE)CVD法でシリコン酸化膜を全面に堆積し保護用絶縁膜34を形成する。ここで、PECVD法ではバイアスCVDにすることで、シリコン酸化膜を緻密性の高い絶縁膜にするとよい。引続いて、化学機械研磨(CMP)あるいはエッチバックで不要の部分を削り取り、図8(b)に示すようにトレンチゲート電極26上部に保護絶縁膜27を形成する。

## 【0058】

そして、フォトリソグラフィ技術により形成したレジストマスクを注入マスクにしたリンのイオン注入とその後の熱処理とで、図8(c)に示すように、所定の領域のn型ウェル層23表面部にn<sup>+</sup>ボディ拡散層29を形成する。

## 【0059】

そして、図8(d)に示すように、上記リンのイオン注入の場合より低ドーズのボロンのイオン注入とその後の熱処理とで、p<sup>+</sup>型ソース拡散層28を形成する。そして、図示しないが、p<sup>+</sup>型ソース拡散層28およびn<sup>+</sup>ボディ拡散層29を露出させ、ソース電極31を形成する。このようにして、図5で説明したTMOSEFTから成る半導体装置が出来上がる。ここで、全てのトレンチゲート電極26、p<sup>+</sup>型ソース拡散層28およびn<sup>+</sup>型ボディ拡散層29は、n型ウェル層23表面において全く隙間なく形成されるようになる。

## 【0060】

上記の実施形態では、n型ウェル層23の引き出し部であるn<sup>+</sup>型ボディ拡散層29を形成した後にp<sup>+</sup>型ソース拡散層28を形成しているが、逆にp<sup>+</sup>型ソース拡散層28をトレンチゲート電極26に対してセルフアラインに形成してから、n<sup>+</sup>型ボディ拡散層29を形成してもよい。

## 【0061】

この実施形態では、p<sup>+</sup>型ソース拡散層28はトレンチゲート電極26に対してセルフアラインに形成される。このために、第1の実施形態で説明したのと全く同様にフォトリソグラフィ工程での上記p<sup>+</sup>型ソース拡散層28の位置合わせマージンが不要となる。そして、この位置合わせ不要は、TMOSEFTで構成されるトランジスタの微細化を更に促進させ、トレンチゲート電極の配列ピッチを更に向上させ、トランジスタの駆動能力を更に上げそのオン抵抗を更に低減すると共に、上記位置合わせが不要となることによって、TMOSEFTのようなトランジスタの場合にもその製造コストの低減をはかることができる。

## 【0062】

本発明は、上記の実施形態に限定されず、本発明の技術思想の範囲内において、実施の形態は適宜に変更されうる。上述した実施形態では、縦型構造のDMOSFETあるいはTMOSEFTの場合について説明しているが、横型構造のDMOSFETあるいはTMOSEFTの場合でも本発明は同様に適用できる。また、本発明では、p型ベース拡散層6の引き出し部となるp型ベースコンタクト拡散層8およびn型ウェル層8の引き出し部となるn<sup>+</sup>型ボディ拡散層14は、半導体チップ1の周辺部あるいは内部の一部に形成するようにしても良い。これは、p型ベース拡散層6およびn型ウェル層8にはバックゲート電圧(ソース電位と同じ)が印加できればよいからである。また、本発明は、同一の半導体チップ上に、電力用のトランジスタを構成するDMOSFETあるいはTMOSEFTと制御回路部を構成する通常のMOSトランジスタが混載された半導体装置に対しても全く同様に適用できるものである。

10

20

30

40

50

## 【図面の簡単な説明】

## 【0063】

【図1】本発明の第1の実施形態を説明するためのDMOSFETの基本構造を示す斜視図である。

【図2】本発明の第1の実施形態を説明するための半導体装置の一部の平面図である。

【図3】本発明の第1の実施形態を説明するための半導体装置の製造工程順の断面図である。

【図4】上記工程の続きの工程順の断面図である。

【図5】本発明の第2の実施形態を説明するためのTMOSFETの基本構造を示す斜視図である。

10

【図6】本発明の第2の実施形態を説明するための半導体装置の一部の平面図である。

【図7】本発明の第2の実施形態を説明するための半導体装置の製造工程順の断面図である。

【図8】上記工程の続きの工程順の断面図である。

【図9】従来技術を説明するためのDMOSFETの平面図である。

【図10】従来技術を説明するためのDMOSFETの基本構造を示す断面図である。

【図11】従来技術を説明するためのTMOSFETの基本構造を示す断面図である。

【図12】従来技術を説明するためのTMOSFETの平面図である。

【図13】従来技術を説明するための別のTMOSFETの平面図である。

## 【符号の説明】

20

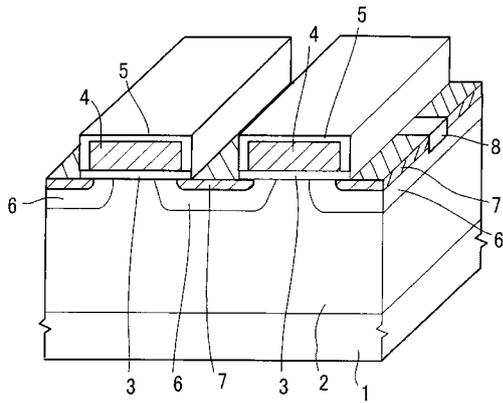
## 【0064】

- 1  $n^+$  型基板
- 2  $n^-$  型エピタキシャル層
- 3, 25 ゲート絶縁膜
- 4 ゲート電極
- 5 層間絶縁膜
- 6 p型ベース拡散層
- 7  $n^+$  型ソース拡散層
- 8  $p^+$  型ベースコンタクト拡散層
- 9, 30 ゲート周辺配線
- 10, 31 ソース電極
- 11 開口
- 12 レジストマスク
- 21  $p^+$  型基板
- 22  $p^-$  型エピタキシャル層
- 23 n型ウェル層
- 24 トレンチ
- 26 トレンチゲート電極
- 27 保護絶縁膜
- 28  $p^+$  型ソース拡散層
- 29  $n^+$  型ボディ拡散層
- 32 マスク絶縁膜
- 33 多結晶シリコン膜
- 34 保護用絶縁膜

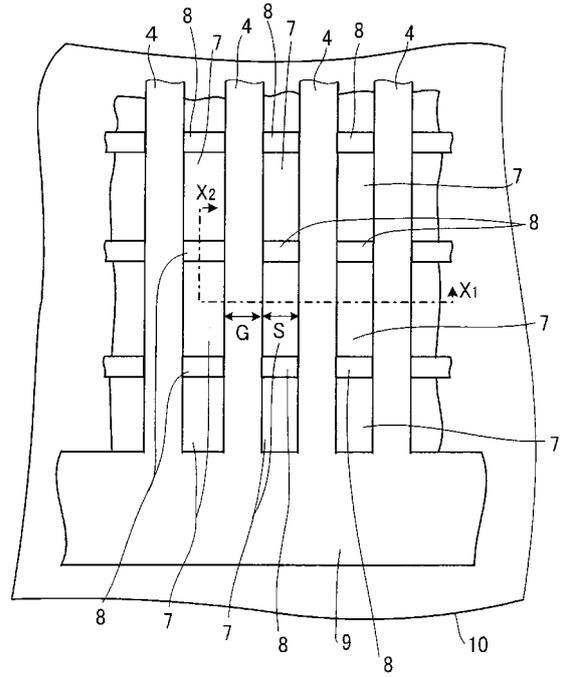
30

40

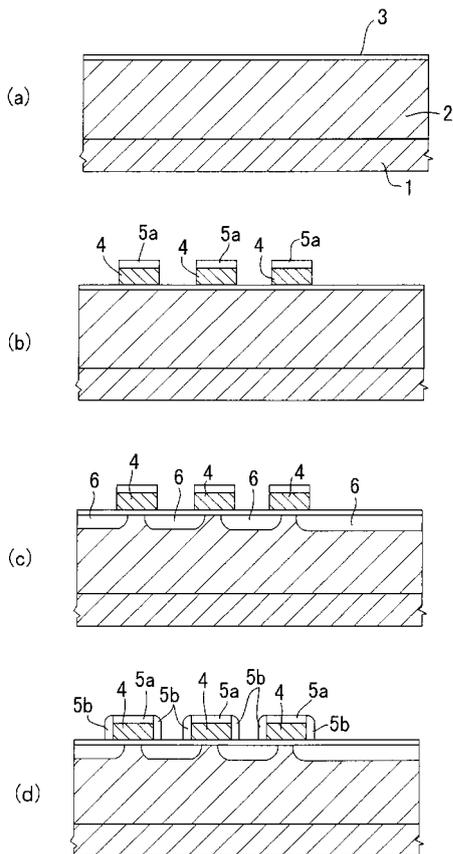
【 図 1 】



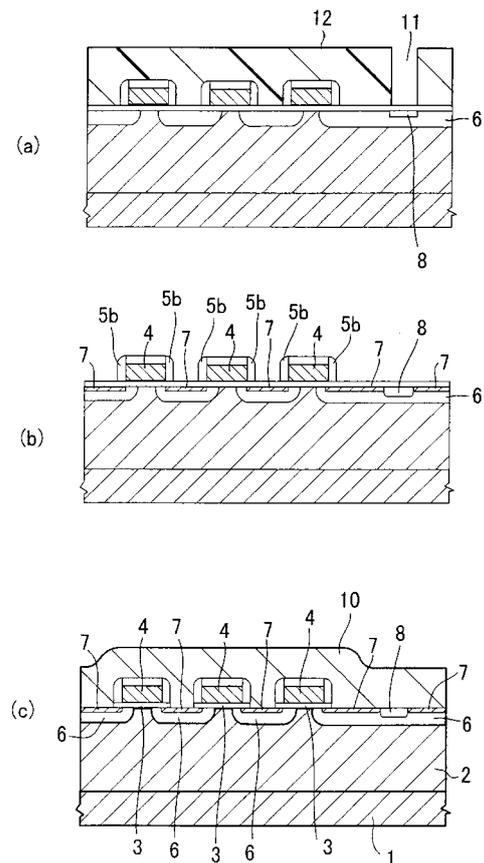
【 図 2 】



【 図 3 】

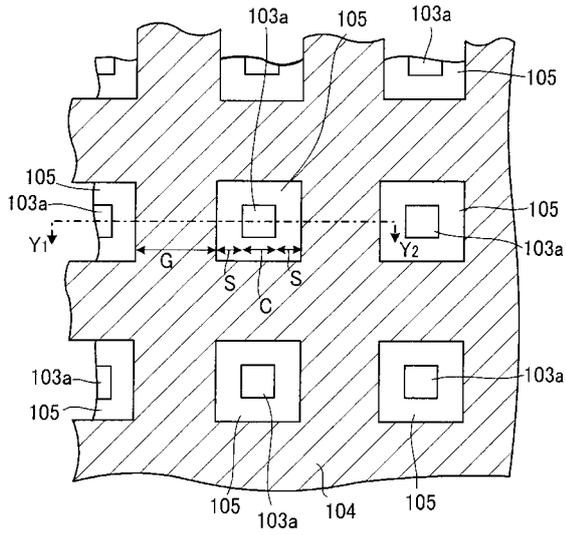


【 図 4 】

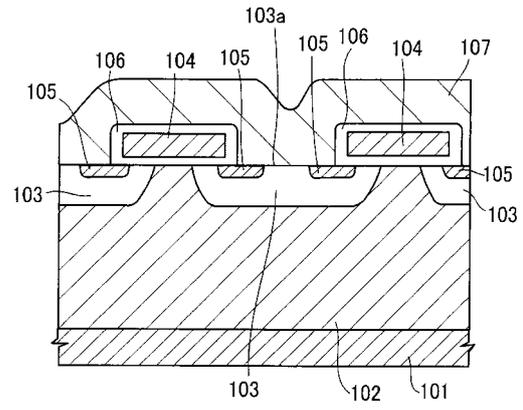




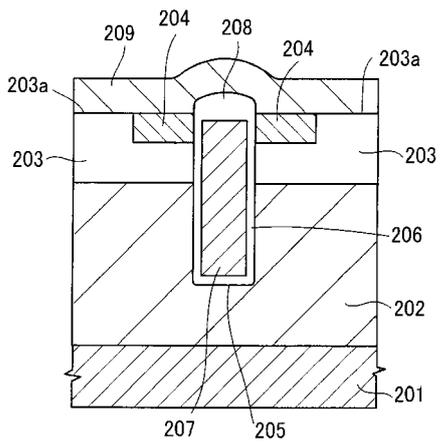
【 図 9 】



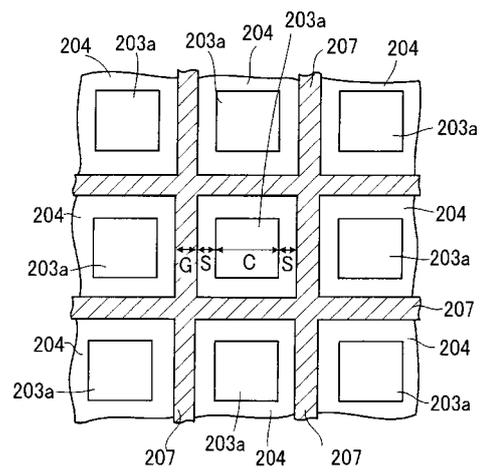
【 図 10 】



【 図 11 】



【 図 12 】



【 図 1 3 】

