

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-73704

(P2007-73704A)

(43) 公開日 平成19年3月22日(2007.3.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 0 3
HO 1 L 21/203 (2006.01)	HO 1 L 21/203 S	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 E	
	HO 1 L 29/78 6 1 8 A	

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号	特願2005-258275 (P2005-258275)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成17年9月6日(2005.9.6)	(74) 代理人	100065385 弁理士 山下 穰平
		(74) 代理人	100122921 弁理士 志村 博
		(74) 代理人	100130029 弁理士 永井 道雄
		(72) 発明者	饗場 利明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		Fターム(参考)	5F103 AA08 DD30 GG03 HH04 LL13 NN10 RR04 RR05 RR06

最終頁に続く

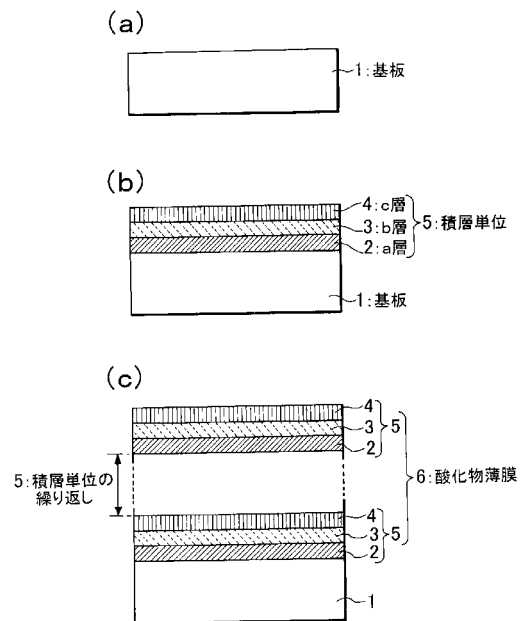
(54) 【発明の名称】 半導体薄膜

(57) 【要約】

【課題】 多元系の酸化物薄膜を作製する場合に、面内方向に組成分布が生じ難い酸化物半導体薄膜、及びその製造方法を提供する。

【解決手段】 組成又は構成元素が互いに異なる複数の酸化物層による積層構造からなる半導体薄膜において、前記酸化物層の一部又は全部がアモルファスである。前記酸化物層の厚さが0.05~10nmである。前記酸化物層の一部又は全部が、In、Ga、Zn、Sn、Sb、Ge、又はAsのいずれかの元素を含有する。前記組成の異なる複数種以上の酸化物層の積層構造は、1積層単位が繰り返し成膜された複数の積層単位としてもよい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

組成又は構成元素が互いに異なる複数の酸化物層による積層構造からなる半導体薄膜において、前記酸化物の一部又は全部がアモルファスであることを特徴とする半導体薄膜。

【請求項 2】

前記酸化物層の厚さが 0.05 ~ 10 nmであることを特徴とする請求項 1 に記載の半導体薄膜。

【請求項 3】

前記酸化物層の一部又は全部が、In、Ga、Zn、Sn、Sb、Ge、又はAsのいずれかの元素を含有することを特徴とする請求項 1 又は 2 に記載の半導体薄膜。

10

【請求項 4】

前記積層構造は、1 積層単位が繰り返し成膜された複数の積層単位とされていることを特徴とする請求項 1 ~ 3 のいずれかに記載の半導体薄膜。

【請求項 5】

請求項 1 ~ 4 に記載の前記積層構造は、交互成膜により形成されることを特徴とする半導体薄膜の作製方法。

【請求項 6】

前記交互成膜において、複数種以上の成膜原料を用いることを特徴とする請求項 5 に記載の半導体薄膜の作製方法。

【請求項 7】

前記交互成膜は、スパッタ法により行われることを特徴とする請求項 5 又は 6 に記載の半導体薄膜の作製方法。

20

【請求項 8】

請求項 1 ~ 4 のいずれかに記載の半導体薄膜における前記酸化物層がチャンネル層であることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイス、光デバイス、マイクロデバイスなどに広く利用される、半導体薄膜、特に、アモルファス酸化物を用いた半導体薄膜に関する。

30

【背景技術】

【0002】

In、Znを含むアモルファス酸化物材料をデバイスの電極として用いたり（下記特許文献 1）、薄膜トランジスタのチャンネル層に適用する試みが行われている（下記非特許文献 1）。

【0003】

そして、このような多元系の酸化物薄膜の作製は、複数の元素を含むターゲットを用いて、パルスレーザ堆積法やスパッタリング法により行われる。例えば、樹脂基板上に低温で形成されるという利点を持っている。

【特許文献 1】特開 2000 - 44236 号公報

40

【非特許文献 1】K.Nomura et.al, Nature, Vol.432 (2004-11) (英), p. 488-492

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、多元系の酸化物を大面積に成膜する場合、得られる薄膜が面内で組成分布を生じてしまう場合がある。

【0005】

勿論、薄膜の用途にもよるが、このような組成分布に起因して、所望の特性が得られないことは、避けたい課題である。特に上記酸化物をトランジスタなどの半導体材料として使用する場合には、なるべく面内の組成分布は少なくすることが好ましい。

50

【0006】

そこで、本発明は、多元系の酸化物薄膜を作製する場合に、面内方向に組成分布が生じ難い酸化物半導体薄膜、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するため、本発明の半導体薄膜は、組成又は構成元素が互いに異なる複数の酸化物層による積層構造からなる半導体薄膜において、前記酸化物層の一部又は全部がアモルファスであることを特徴とする。

【発明の効果】

【0008】

本発明は、多元系の酸化物を用いて半導体薄膜を作製する場合に、組成又は構成元素が互いに異なる複数の酸化物層による積層構造からなる半導体薄膜において、前記酸化物層の一部又は全部をアモルファスとするものである。そしてこのような構成とすることにより、各層における面内方向の組成分布を少なくすることができる。酸化物層の少なくとも一部をアモルファスとすることにより表面平坦性を向上させることができる。また面内方向の組成分布を少なくすることで、層中の欠陥を抑制し、移動度を向上させることができる。

【0009】

さらに各層毎に組成の制御を行うことで、半導体膜の電気特性等を最適に制御することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を用いて、本発明における実施形態のアモルファス酸化物を用いた半導体薄膜の作製について説明する。

【0011】

半導体薄膜について作製方法に準じて説明する。

【0012】

図1は、本発明における実施形態の半導体薄膜及びその作製方法の一例を示す模式図である。

【0013】

図1のa)～c)の順に追って説明する。以下の工程a)～c)は、図1のa)～c)に対応する。

【0014】

a) 基板の準備

基板1を準備する。

【0015】

本発明における基板の構成としては、基板のみからなるもの、基板の上に1層以上の膜を形成したものなどが挙げられるが、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。ただし実デバイスに本発明を適用する場合には、基板の上に電極などの膜を形成したものを使用する。

【0016】

基板の材質としては、金属、半導体、ガラス、セラミックス、有機材料などの任意のものが挙げられるが、酸化物薄膜の形成などに不都合がなければ、基板の材質は特に制限されるものではない。また上記の基板の材質は単一のものでも、複数以上の材質を組み合わせたものでも、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。ただし、ガラスやプラスチックなどのような透光性の材質の基板を用いると、液晶表示デバイスなどのように透光性が求められるデバイスにも適用可能となる。

【0017】

基板の結晶性としては、シリコンを始めとする単結晶や多結晶のものや、石英ガラスを始めとするアモルファスのもの、あるいはそれらを組み合わせたものなどが挙げられるが

10

20

30

40

50

、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。

【0018】

基板の形状としては平滑な板状のものが一般的であるが、それに限らず、曲面を有するもの、表面にある程度の凹凸や段差を有するもの、あるいはそれらを組み合わせたものなどが挙げられる。さらに酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。

【0019】

b) 酸化物薄膜の形成工程 I (積層単位、すなわち積層の1周期分の成膜)

基板1上に、組成の異なる酸化物層である、a層2、b層3、c層4の各層を順番に成膜することにより、上記の3層から構成される積層単位5を1つ形成する。

10

【0020】

なお、本実施態様においては、積層単位に含まれる層を3個とする例について説明しているが、発明の積層単位に含まれる層数は複数以上であれば任意のもので良く、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。

【0021】

本発明の酸化物薄膜の積層単位を構成する各酸化物層の含有元素の種類としては、酸化物を形成するものであれば任意のものでよく、酸化物薄膜の形成などに不都合がなければ、含有元素の種類は特に制限されるものではない。また、上記の各酸化物層の(O以外の)含有元素の種類は単一のものでも、複数以上のものを組み合わせたものでも、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。

20

【0022】

なお、本発明でいうところの酸化物とは、広い意味でOを含有する物質ということであり、炭酸化物、水酸化物なども含んでもかまわない。さらに本発明でいうところの組成又は構成元素の互いに異なる酸化物とは、含有元素の種類が異なる場合のみならず、含有元素の種類は同じであるが含有比が異なる場合も含むことも意味している。

【0023】

また、本発明の酸化物薄膜の積層単位を構成する各酸化物層の含有元素の種類としては、その一部ないし全部が、In、Ga、Zn、Sn、Sb、Ge、又はAsのいずれかの元素であることがより好ましい場合がある。

【0024】

本発明では、酸化物薄膜の積層単位を構成する各酸化物層の結晶性について、全ての酸化物層がアモルファスであるもの、あるいは各酸化物層の一部がアモルファスであるものが、薄膜表面の平坦性などの点で採用される。

30

【0025】

なお、複数の酸化物層とは、例えば、第1(例In)、第2(例Ga)、第3(例Zn)の元素を含む酸化物の場合には、いくつかのパターンが考えられる。パターン(1)として1層目がIn酸化物、2層目がGa酸化物、3層目がZn酸化物、またはパターン(2)として1層目がIn酸化物、2層目がZnとGaの酸化物、などのパターンが実施される。

【0026】

また、本発明の酸化物薄膜は、半導体であるためATO(AI酸化物とTi酸化物の積層)などのアモルファス絶縁積層体とは差異があり、アモルファスを含むことから、超格子構造体とも差異がある。

40

【0027】

なお、酸化物薄膜としては、代表的にはIn-Ga-Znを含み構成されるものが挙げられるが、本発明には、他にSn、In、Znの少なくとも1種類の元素を含み構成されるものにも適用される。

【0028】

更に、酸化物薄膜の構成元素の少なくとも一部にSnを選択する場合、Snを、 $Sn_x M_{4-x}$ ($0 < x < 1$ 、M4は、Snより原子番号の小さい4族元素のSi、Geある

50

いはZrから選ばれる。)に置換することもできる。

【0029】

また、酸化物薄膜の構成元素の少なくとも一部にInを選択する場合、Inを、 $In_{1-y}M_3y$ ($0 < y < 1$ 、 M_3 は、Lu、またはInより原子番号の小さい3族元素のB、Al、Ga、あるいはYから選ばれる。)に置換することもできる。また、酸化物薄膜の構成元素の少なくとも一部にZnを選択する場合、Znを、 $Zn_{1-z}M_2z$ ($0 < z < 1$ 、 M_2 は、Znより原子番号の小さい2族元素のMgあるいはCaから選ばれる。)に置換することもできる。

【0030】

具体的に本発明に適用できる酸化物材料は、Sn-In-Zn酸化物、In-Zn-Ga-Mg酸化物、In酸化物、In-Sn酸化物、In-Ga酸化物、In-Zn酸化物、Zn-Ga酸化物、Sn-In-Zn酸化物などである。勿論、構成材料の組成比は必ずしも1:1である必要はない。なお、ZnやSnは、単独ではアモルファスを形成し難い場合があるが、Inを含ませることによりアモルファス相が形成され易くなる。例えば、In-Zn系の場合は、酸素を除く原子数割合が、Inが約20原子%以上含まれる組成にするのがよい。Sn-In系の場合は、酸素を除く原子数割合が、Inが約80原子%以上含まれる組成にするのがよい。Sn-In-Zn系の場合は、酸素を除く原子数割合が、Inが約15原子%以上含まれる組成にするのがよい。

10

【0031】

また、アモルファスとは、測定対象薄膜に、入射角度0.5度程度の低入射角によるX線回折を行った場合に明瞭な回折ピークが検出されない(すなわちハローパターンが観測される)ことで確認できる。なお、本発明は、上記した材料を薄膜トランジスタのチャネル層に用いる場合に、当該チャネル層が結晶状態、又は微結晶状態の構成材料を含むことを除外するものではない。

20

【0032】

本発明の酸化物薄膜の積層単位を構成する各酸化物層の厚さとしては、酸化物薄膜の形成などに不都合がなければ、任意のものが挙げられるが、より好ましくは上記酸化物層の厚さが0.05~10nmのものが挙げられる。

【0033】

本発明の酸化物薄膜の成膜方法としては、交互成膜が、積層単位の形成の容易性などでより好ましい場合があるが、酸化物薄膜の形成などに不都合がなければ、その他のものでもかまわない。

30

【0034】

なお、本発明のいうところの交互成膜とは、広い意味での成膜条件(例えば成膜原料の種類のみならず、成膜時のチャンパ内のガス雰囲気、電磁界の印加や光照射の有無なども含む)を変更しての成膜を互いに繰り返すということである。ただし、このうち成膜原料の種類を変更することが最も一般的である場合が多い。

【0035】

本発明の酸化物薄膜の成膜手法としては、スパッタ法、抵抗加熱蒸着法、電子ビーム蒸着法、レーザーアブレーション法など及びそれらから派生したものなどの任意のものが挙げられる。さらに酸化物薄膜の形成などに不都合がなければ、成膜手法は特に制限されるものではない。また、上記の成膜手法は単一のものでも、複数以上の手法を組み合わせたものでも、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。ただし、成膜の面積化のためには、レーザーアブレーション法は好ましくない場合もある。それに対して、成膜の面積化のためにはスパッタ法あるいはそれから派生した方法が好ましい場合がある。

40

【0036】

本発明の酸化物薄膜の成膜温度としては、室温や加熱した温度などの任意のものが挙げられるが、酸化物薄膜の形成などに不都合がなければ、成膜温度は特に制限されるものではない。ただし、プラスチックなどの熱に弱い材質を含む基板を用いた場合には室温近傍

50

での成膜が好ましい場合がある。

【0037】

c) 酸化物薄膜の形成工程II(積層単位の繰り返し成膜)

基板1上に、b)で前記した積層順を有する組成の異なる積層単位5を繰り返し成膜することにより、酸化物薄膜6を形成する。

【0038】

本発明の酸化物薄膜の積層単位の繰り返し成膜の回数としては、1以上であれば任意のもので良く、酸化物薄膜の形成などに不都合がなければ、特に限定されるものではない。

【0039】

以上説明してきたように作製された本発明の酸化物薄膜は、様々な手法(例えば、X線回折、MISFET素子化後の特性評価など)で評価することが可能である。 10

【0040】

以上、本発明の実施形態における半導体薄膜について、以下のような作用効果がある。

【0041】

1) 単結晶基板を用いてエピタキシャル成長を行わせることが必須要件ではないので、エピタキシャル成長用基板以外の基板やアモルファス基板を使用することが可能である。

【0042】

2) 高温アニールが必須要件ではなく、室温成膜も可能であるので、耐熱性の低い基板を使用することが可能である。

【0043】

3) 積層された構造を採っており、薄膜トランジスタのチャンネル層に適用した場合、ソース・ドレイン電極は各積層面内とほぼ平行な方向に配置されるので、チャンネル部での移動度をより向上させることが可能である。なお、移動度は、半導体薄膜自体としても評価することができる。 20

【0044】

4) 各積層の厚さが小さいのでグレインの成長を抑制できるので、グレインの存在に起因する表面凹凸を抑制することが可能であり、表面平坦性を向上させることが可能である。

【0045】

5) 交互成膜によって作製できるので、組成の制御を容易に行うことが可能である。 30

【0046】

6) スパッタ法など大面積で成膜可能な手段でも作製できるので、実デバイスへの適用範囲を大きくすることができる。

【実施例】

【0047】

以下実施例を挙げて、本発明のアモルファス酸化物を用いた半導体薄膜の作製について説明する。

【0048】

(実施例1)

(酸化物薄膜の作製)

a) 基板の準備

基板1としてガラス基板(コーニング社製1737)を準備する。 40

【0049】

b) 酸化物薄膜の形成工程I(積層単位、すなわち積層の1周期分の成膜)

基板1上に、組成の異なる酸化物層である、Inの酸化物層を ~ 0.5 nm、Gaの酸化物層を ~ 0.5 nm、Znの酸化物層を ~ 2 nmの各層を順番に成膜することにより、上記の3層から構成される積層単位5を1つ形成する。

【0050】

なお、成膜には、スパッタ法を用いた交互成膜を行った。ここでスパッタターゲットとして、Inの酸化物の焼結体、Gaの酸化物の焼結体、及びZnの酸化物の焼結体を用い 50

、室温にて行った。

【0051】

c) 酸化物薄膜の形成工程II(積層単位の繰り返し成膜)

b) で前記した積層順を有する組成の異なる積層単位5を繰り返し成膜することにより、酸化物薄膜6を形成した。

【0052】

なお、酸化物薄膜の厚さが $\sim 30\text{nm}$ になった時点で成膜を終了させた。

次に薄膜のすれすれ入射のX線回折(薄膜法、入射角 0.5 度)を行ったところ、ハローパターンの他にZnOの半値幅の大きなピークがわずかに検出されたことから、この酸化物薄膜にはアモルファスの他にZnOの微結晶を含んでいた。

10

【0053】

(MISFET素子の作製)

薄膜トランジスタであるトップゲート型MISFET素子を作製した。

【0054】

図2は、本発明の実施例で作製したトップゲート型MISFET素子構造を示す模式図である。

【0055】

まず、ガラス基板7上に上記の酸化物薄膜の作製法により、チャンネル層8として用いる厚さ $\sim 30\text{nm}$ のアモルファス酸化物膜を形成した。さらにその上に、パルスレーザー堆積法によりAu膜を $\sim 30\text{nm}$ 積層し、フォトリソグラフィ法とリフトオフ法により、ドレイン端子9及びソース端子10を形成した。

20

【0056】

最後にゲート絶縁膜11として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する(厚み: $\sim 110\text{nm}$ 、比誘電率: ~ 15 、リーク電流密度: 0.5MV/cm 印加時に 10^{-3}A/cm^2)。そしてその上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子12を形成した。

【0057】

(MISFET素子の特性評価)

図3は、本発明の実施例で作製したトップゲート型MISFET素子の室温下で測定した電流-電圧特性を示す図である。

30

【0058】

ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。このことは、自然超格子を形成するIn-Ga-Zn-O系半導体がn型であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6\text{V}$ 程度で飽和(ピンチオフ)する典型的な半導体トランジスタの挙動を示した。利得特性を調べたところ、 $V_{DS}=4\text{V}$ 印加時におけるゲート電圧 V_G の閾値は約 -0.3V であった。また、 $V_{GS}=7\text{V}$ 時には、 $I_{DS}=4.5 \times 10^{-5}\text{A}$ の電流が流れた。これはゲートバイアスにより半導体薄膜内にキャリアを誘起できたことに対応する。

【0059】

トランジスタのオン・オフ比は、 10^4 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において $\sim 6.8\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。作製した素子に可視光を照射して同様の測定を行ったが、トランジスタ特性の変化は認められなかった。

40

【0060】

(実施例2)

(酸化物薄膜の作製)

a) 基板の準備

基板1としてガラス基板(コーニング社製1737)を準備する。

【0061】

b) 酸化物薄膜の形成工程I(積層単位、すなわち積層の1周期分の成膜)

50

基板 1 上に、組成の異なる酸化物層である、In の酸化物層を $\sim 0.5 \text{ nm}$ 、 GaZn_5 の酸化物層を $\sim 2.5 \text{ nm}$ の各層を順番に成膜することにより、上記の 2 層から構成される積層単位 5 を 1 つ形成する。

【0062】

なお、成膜には、スパッタ法を用いた交互成膜を行った。ここでスパッタターゲットとして、In の酸化物の焼結体及び GaZn_5 の酸化物の焼結体を用い、室温にて行った。

【0063】

c) 酸化物薄膜の形成工程 II (積層単位の繰り返し成膜)

b) で前記した積層順を有する組成の異なる積層単位 5 を繰り返し成膜することにより、酸化物薄膜 6 を形成した。

10

【0064】

なお、酸化物薄膜の厚さが $\sim 30 \text{ nm}$ になった時点で成膜を終了させた。

【0065】

次に薄膜のすれすれ入射の X 線回折 (薄膜法、入射角 0.5 度) を行ったところ、明瞭な回折ピークは認められず、ハローパターンのみが検出されたことから、この酸化物薄膜はアモルファスであった。

【0066】

さらに、実施例 1 と同様な方法で MOSFET を作製して評価したところ、実施例 1 と同様な結果が得られた。

20

【図面の簡単な説明】

【0067】

【図 1】本発明における実施形態の半導体薄膜及びその作製方法の一例を示す模式図

【図 2】本発明の実施例で作製したトップゲート型 MISFET 素子構造を示す模式図

【図 3】本発明の実施例で作製したトップゲート型 MISFET 素子の室温下で測定した電流 - 電圧特性を示す図

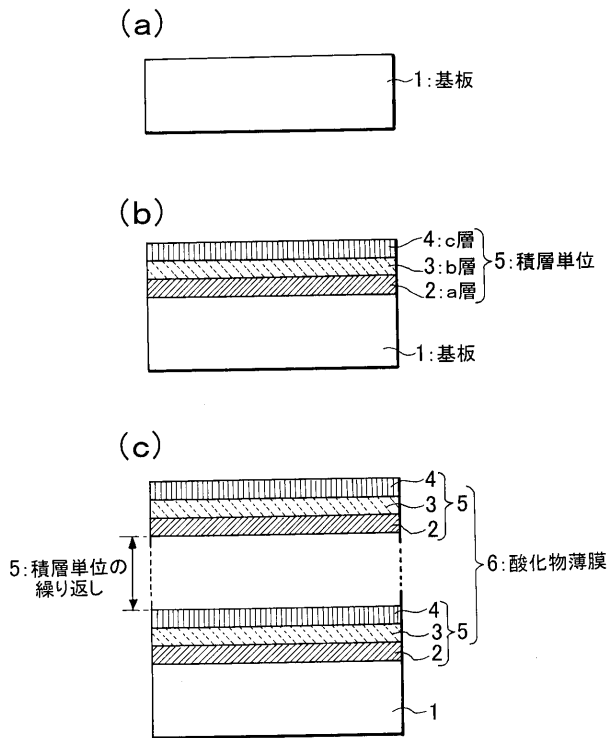
【符号の説明】

【0068】

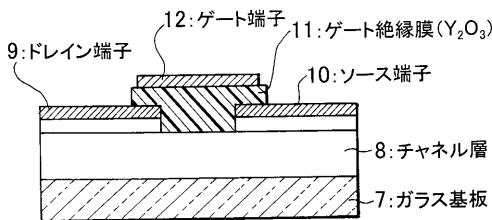
- 1 ... 基板
- 2 ... a 層
- 3 ... b 層
- 4 ... c 層
- 5 ... 積層単位
- 6 ... 酸化物薄膜
- 7 ... ガラス基板
- 8 ... チャネル層
- 9 ... ドレイン端子
- 10 ... ソース端子
- 11 ... ゲート絶縁膜
- 12 ... ゲート端子

30

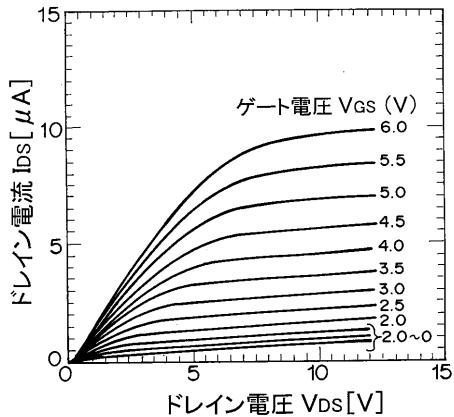
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

Fターム(参考) 5F110 AA01 AA18 BB01 CC01 DD01 DD02 DD03 DD21 EE02 EE42
FF01 FF05 FF27 GG01 GG14 GG15 GG19 GG25 GG43 HK02
HK32 QQ14