

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年12月24日(24.12.2020)



(10) 国际公布号
WO 2020/252623 A1

- (51) 国际专利分类号:
H01L 29/778 (2006.01)
- (21) 国际申请号: PCT/CN2019/091533
- (22) 国际申请日: 2019年6月17日(17.06.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 苏州晶湛半导体有限公司 (ENKRIS SEMICONDUCTOR, INC.) [CN/CN]; 中国江苏省苏州市苏州工业园区金鸡湖大道99号西北区20幢517-A室, Jiangsu 215123 (CN).
- (72) 发明人; 及
(71) 申请人: 朱昱 (ZHU, Yu) [CN/CN]; 中国江苏省南通市崇川区人民东路苏建花园城35幢604室, Jiangsu 226007 (CN).
- (72) 发明人: 程凯 (CHENG, Kai); 中国江苏省苏州市苏州工业园区金鸡湖大道99号西北区20幢517-A室, Jiangsu 215123 (CN).
- (74) 代理人: 北京布瑞知识产权代理有限公司 (BEIJING BRIGHT IP AGENCY CO., LTD.); 中国北京市朝阳区广顺北大街5号院内32号B228, Beijing 100102 (CN).
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体结构及其制造方法

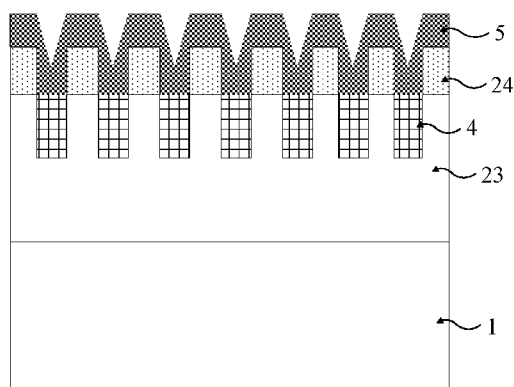


图 10c

(57) Abstract: The present invention provides a semiconductor structure and a manufacturing method therefor, solving the problem that it is difficult for an existing semiconductor structure to deplete the carrier concentration of a channel under a gate electrode so as to achieve an enhanced device. The semiconductor structure comprises: a channel layer and a barrier layer which are stacked in sequence, a gate electrode region being defined on a surface of the barrier layer; a plurality of trenches formed in the gate region, the plurality of trenches extending into the channel layer; and a stress-applying material filled in the plurality of trenches, the lattice constant of the stress-applying material being greater than that of the channel layer.

(57) 摘要: 本发明提供一种半导体结构及其制造方法, 解决了现有半导体结构的难以耗尽栅极下方的沟道载流子浓度以实现增强型器件的问题。该半导体结构, 包括: 依次叠加的沟道层以及势垒层, 其中所述势垒层的表面定义有栅极区域; 形成于所述栅极区域的多个沟槽, 其中所述多个沟槽延伸至所述沟道层内; 以及填充在所述多个沟槽中的应力施加材料; 其中, 所述应力施加材料大于所述沟道层的晶格常数。



WO 2020/252623 A1

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

一种半导体结构及其制造方法

技术领域

本发明涉及微电子技术，具体涉及一种半导体结构，以及制造该半导体结构的方法。

5 发明背景

高电子迁移率晶体管（HEMT，High Electron Mobility Transistor）是一种异质结场效应晶体管，以 AlGa_N/Ga_N 异质结构为例，由于 AlGa_N/Ga_N 异质结构中存在较强的二维电子气，通常 AlGa_N/Ga_N HEMT 是耗尽型器件，使得增强型器件不易实现。而在许多地方耗尽型器件的应用又具有一定的局限性，比如在功率开关器件的应用中，就需要增强型（常关型）开关器件。增强型氮化镓开关器件主要用于高频器件、功率开关器件和数字电路等，它的研究具有十分重要的意义。由于要实现增强型氮化镓开关器件，就需要找到合适的方法来降低零栅压时栅极下方的沟道载流子浓度，因此如何减低零栅压时栅极下方的沟道载流子浓度成为了本领域的一个研究热点。

15 发明内容

有鉴于此，本发明提供一种半导体结构及其制造方法，解决了现有半导体结构的难以耗尽栅极下方的沟道载流子浓度以实现增强型器件的问题。

本发明的一个实施例中揭示了一种半导体结构，包括：

依次叠加的沟道层以及势垒层；

20 形成于所述势垒层的栅极区域的多个沟槽，其中所述多个沟槽延伸至所述沟道层内；以及填充在所述多个沟槽中的应力施加材料；其中，所述应力施加材料的晶格常数大于所述沟道层的晶格常数。

本发明的又一实施例中，所述半导体结构的沟道层的材质包括 Ga_N，所述势垒层的材质包括 AlGa_N，所述应力施加材料的材质包括 InGa_N。

本发明的又一实施例中，所述半导体结构的应力施加材料为 P 型半导体材料。

本发明的又一实施例中，所述半导体结构进一步包括：叠加在所述势垒层表面的介质层，其中所述介质层覆盖所述势垒层。

5 本发明的又一实施例中，所述半导体结构的介质层的材质包括以下材料中的一种或多种的组合： Al_2O_3 、AlON、SiON、 SiO_2 和 SiN。

本发明的又一实施例中，所述半导体结构进一步包括：位于所述势垒层上方的栅极区域的栅电极、源极区域的源电极以及漏极区域的漏电极。

10 本发明的又一实施例中，所述半导体结构进一步包括：成核层和缓冲层，位于所述衬底和沟道层之间。

本发明的另一个实施例中揭示了一种半导体结构的制造方法，其特征在于，包括以下步骤：

制备依次叠加的沟道层以及势垒层；

15 在所述势垒层的栅极区域制备多个延伸至所述沟道层内的沟槽；以及在所述多个沟槽中分别填充应力施加材料；

其中，所述应力施加材料大于沟道层的晶格常数。

本发明的又一实施例中，所述半导体结构的制造方法，进一步包括：在所述势垒层表面制备介质层，其中所述介质层覆盖所述势垒层。

20 本发明的又一实施例中，所述半导体结构的制造方法，进一步包括：在所述势垒层上方的栅极区域制备栅电极、在源极区域制备源电极以及在漏极区域制备漏电极。

25 本发明实施例所提供的半导体结构及其制造方法，考虑到栅极下方的沟道载流子浓度与沟道层和势垒层的异质界面处存在较强的二维电子气有关，而该二维电子气的形成又与沟道层与势垒层因压电极化效应产生应变有关，因此提供了一种通过应力调控的方式来耗尽载流子浓度的方式以实现增强型器件。具体而言，由于在栅极区域形成多个沟槽并填充可因压电极化效应产生应变的

应力施加材料，且应力施加材料因压电极化效应产生的应变方向与势垒层因压电极化效应产生的应变方向的相反，因此可抵消掉产生二维电子气的应变，从而消除栅极区域下方沟道层和势垒层的异质结界面处的二维电子气，从而可实现增强型半导体开关器件。

5 附图简要说明

图 1a~1c、2a~2e、3a~3b、4a~4b、5a~5b、6a~6c、7a~7b、8、9a~9d、10a~10c、11a~11c、12a~12c、13a~13c、14a~14c 及 15a~15d 分别为本发明一实施例提供的半导体结构在制备过程中的示意图。

实施本发明的方式

10 以下将结合附图所示的具体实施方式对本发明进行详细描述。但这些实施方式并不限制本发明，本领域的普通技术人员根据这些实施方式所做出的结构、方法、或功能上的变换均包含在本发明的保护范围内。

此外，在不同的实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例和/或结构之间具有任何关
15 联性。

本发明一实施例提供了一种半导体结构的制备方法，该半导体结构的制备方法包括如下步骤：

步骤 101: 如图 1a 所示，在衬底 1 制备依次叠加的沟道层 23 和势垒层 24。

衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。例如，衬底 1 优选
20 自金刚石、蓝宝石、碳化硅、硅、铌酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

沟道层 23 和势垒层 24 为可形成二维电子气的异质结半导体材料即可。例如，以 GaN 基材料为例，沟道层 23 可采用 GaN，势垒层 24 可采用 AlGaN。由于压电极化效应，沟道层 23 和势垒层 24 构成异质结构以形成二维电子气。

25 在本发明一实施例中，如图 1b 所示，在生长沟道层 23 之前，还可在衬底

1 上依次生长成核层 21 和缓冲层 22。以 GaN 基半导体结构为例，成核层 21 可降低位错密度和缺陷密度，提升晶体质量。该成核层 21 可为 AlN、AlGaIn 和 GaN 中的一种或多种。缓冲层 22 可缓冲衬底上方外延结构中的应力，避免外延结构开裂。该缓冲层 22 可包括 AlN、GaN、AlGaIn、AlInGaIn 中的一种或多种。

5 图 1c 为图 1a 所示的半导体结构的俯视图，图 1a 为图 1c 所示的半导体结构沿 B-B 剖面线的剖面图。

步骤 102：如图 2a-2c 所示，图 2a 是图 2b 及图 2c 的俯视图，图 2b 是图 2a 沿 B-B 剖面线的剖面图，图 2c 是图 2a 沿 A-A 剖面线的剖面图，在势垒层 24 的栅极区域制备多个沟槽 3，所述沟槽延伸至沟道层 23 内。

10 本发明中的栅极区域，即用于制备栅极的区域，本领域人员应当理解，栅极区域可根据相关器件的设计需求而进行定义和确定。

图 2b 为图 2a 所示的半导体结构沿 B-B 剖面线的剖面图，图 2c 为图 2a 所示的半导体结构沿 A-A 剖面线的剖面图。

15 图 2a 所示的实施例中，沟槽 3 的俯视形状为矩形，但本案对沟槽 3 的俯视形状不作特别限制，如图 3a 及 3b 所示，沟槽 3 的俯视形状可依具体设计需要而定，如可以是正方形、圆形、椭圆形、不规则形状等。

图 2b 及图 2c 所示的实施例中，沟槽 3 分别沿着图 2a 所示的 B-B 剖面线及 A-A 剖面线的剖面形状为矩形，但本案对此不作特别限制，如图 4a 及 4b 所示，沟槽 3 分别沿着图 2a 所示的 B-B 剖面线及 A-A 剖面线的剖面形状可依 20 具体设计需求而定。

图 2b 及图 2c 所示的实施例中，沟槽 3 的侧壁是垂直于势垒层 24 的上表面的，但本申请对此不作特别限制，在其他实施例中，如图 2d 及 2e 所示沟槽 3 的侧壁是非垂直于势垒层 24 的上表面的，沟槽 3 的侧壁与势垒层 24 的上表面之间的角度可依设计需求进行调整。

25 沟槽 3 的深度，如图 2a-2c 所示的实施例中，沟槽 3 延伸至沟道层 3 内，在其他实施例中，如图 5a 及 5b 所示，图 5a 对应图 2b，图 5b 对应图 2c，当

设置缓冲层时，沟槽 3 还可以延伸至缓冲层 22 中。

在本发明图 2a-2c 的实施例中，沟槽 3 均匀排布在栅极区域。沟槽 3 可采用例如氯基等离子刻蚀的刻蚀过程形成。当然，本发明不严格限制沟槽 3 的宽度及间隔，沟槽 3 宽度及间隔，可根据设计需求而定，配合下文所述的应力施加材料 4，能够耗尽二维电子气即可。

在本发明图 2a-2c 的实施例中，沟槽 3 的个数为 7，然而本发明并不以此为限，沟槽 3 的个数可根据设计需求而定，可以更多，也可以更少，配合沟槽 3 的深度、宽度、间隔以及下文所述的应力缓冲层，能够耗尽二维电子气即可。

步骤 103：如图 6a-6c 所示，图 6a 是图 6b 及图 6c 的俯视图，图 6b 是图 6a 沿 B-B 剖面线的剖面图，图 6c 是图 6a 沿 A-A 剖面线的剖面图，在沟槽 3 中填充应力施加材料 4。其中，应力施加材料 4 的晶格常数大于沟道层 23 的晶格常数。

例如，沟道层 23 为 GaN，势垒层 24 为 AlGaN 时，应力施加材料 4 的则可采用 InGaN，InGaN 的晶格常数大于 GaN。

其中，在沟槽 3 中填充应力施加材料 4，具体地可例如通过选择性填充的方式在沟槽 3 中直接填充来实现，如图 7a 所示，图 7a 与图 6b 对应，可先势垒层 24 上方制备保护层 25，然后在凹槽 3 中直接填充应力施加材料 4。保护层 25 可具体地例如为 SiN 或 SiO₂ 或二者的结合。在沟槽 3 中填充应力施加材料 4，具体地例如还可通过全片生长、再选择性刻蚀应力施加材料 4 来实现，如图 7b 所示，先全片生长施加材料 4，然后再进行选择性刻蚀、CMP 等工艺，形成图 6b 所示的结构。

图 8 是截取图 6C 中的虚线 C 及 C' 之间的部分结构，沟道层 23 的晶格常数比势垒层 24 的晶格常数大，沟道层 24 在平行于沟道层 23 的横向发生压应变。而应力施加材料 4 的晶格常数比沟道层 23 的晶格常数大，如图 8 所示，应力施加材料 4 会对两侧的沟道层 23 分别施加应力 F1、F2，即应力施加材料 4 会使沟道层 23 平行于沟道层 23 的横向发生压应变，从而减少势垒层中收到的张应力，即减少沟

道层 23 和势垒层 24 的异质结界面处的二维电子气,从而实现了增强型半导体开关器件。

图 6c 中,应力施加材料 4 仅填充沟槽 3 中对应沟道层 23 的部分,应当理解,沟槽 3 中所填充的应力施加材料 4 的填充深度可根据实际应用场景而调整,如图 9a-9c 所示,图 9a-9c 与图 6c 对应,区别只在于应力施加材料 4 在沟槽 3 中的填充深度不一样。如图 7a 所示,应力施加材料 4 可以仅部分填充沟槽 3 对应沟道层 23 的部分;又或者图 9b 所示,应力施加材料 4 也可以填满沟槽 3 对应沟道层 23 的部分,同时部分填充沟槽 3 对应势垒层 24 的部分;又或者如图 9c 所示,应力施加材料 4 也可以填满沟槽 3 对应沟道层 23 和势垒层 24 的部分。由于控制应力施加材料 4 正好填满沟槽 3 对应沟道层 23 和势垒层 24 的部分比较困难,应力施加材料 4 的部上平面也可比势垒层 24 的上平面略高,如图 9d 所示。

在本发明一实施例中,为了进一步增强对于沟道层 23 与势垒层 24 的异质结构中的二维电子气的耗尽效果,在沟槽 3 中所填充的应力施加材料 4 可以为 P 型半导体材料,例如 P 型掺杂的 InGaN。

步骤 104: 如图 10a-10c 所示,图 10a 是图 10b 及图 10c 的俯视图,图 10b 是图 10a 沿 B-B 剖面线的剖面图,图 10c 是图 10a 沿 A-A 剖面线的剖面图,在势垒层 24 上方制备介质层 5。

该介质层 5 的材质可包括以下材料中的一种或多种的组合: Al_2O_3 、AlON、SiON、 SiO_2 和 SiN。

图 10c 中,应力施加材料 4 仅填充沟槽 3 中对应沟道层 23 的部分。介质层 5 的具体形态,根据沟槽 3 被应力施加材料 4 的填充情况而定,如图 11a-11c 所示,图 11a-11c 与图 10c 对应,图 11a-11c 与图 8c 的差异在于,随着应力施加材料 4 填充在沟槽 3 中填充深度的变化,介质层 5 的形态也随之变化。

步骤 105: 如图 12a-12c 所示,图 12a 是图 12b 及图 12c 的俯视图,图 12b 是图 12a 沿 B-B 剖面线的剖面图,图 12c 是图 12a 沿 A-A 剖面线的剖面图,在栅极区域制作栅电极 7,在源极区域制作源电极 6,在漏极区域制作漏电极

8。

栅电极可直接制备在介质层 5 之上；而源电极 6 和漏电极 8 制备之前，需先刻蚀源极区域和漏极区域的介质层 5，使源电极 6 和漏电极 8 与势垒层 24 形成欧姆接触。电极材料采用例如镍合金的金属材料制成，也可采用金属氧化物或半导体材料制成，本发明对电极材料不做限定。

图 13a-13c 与图 12c 对应，图 13a-13c 与图 12c 的差异在于，随着应力施加材料 4 填充在沟槽 3 中的填充深度的变化，栅电极 7 的形态也随之变化。

图 14a-14c 是另一实施例中关于栅电极 7 的形态变化，图 14a 是图 14b 及图 14c 的俯视图，图 14b 是图 14a 沿 B-B 剖面线的剖面图，图 14c 是图 14a 沿 A-A 剖面线的剖面图。图 14c 与图 12c 的区别在于，沟槽 3 中不设置栅电极。

在本申请的一实施例中，步骤 103：在势垒层 24 上方制备介质层 5，可省略。如图 15a 所示，直接在势垒层 24 上方制备栅电极 7，栅电极 7 与势垒层 24 形成肖特基接触。又或者如图 15b 所示，先在势垒层 24 上方制备帽层 25，然后再制备栅电极 7，帽层 25 可为 GaN 基的半导体材料形成。

在本发明一实施例中还提供了一种半导体结构。如图 1a 所示，该半导体结构包括：衬底 1 上依次叠加的沟道层 23 以及势垒层 24。

衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。例如，衬底 1 可优选自金刚石、蓝宝石、碳化硅、硅、铌酸锂、绝缘衬底 1 硅（SOI）、氮化镓或氮化铝。沟道层 23 和势垒层 24 为可形成二维电子气的半导体材料即可。例如，以 GaN 基材料为例，沟道层 23 可采用 GaN，势垒层 24 可采用 AlGaN 或 GaN，沟道层 23 和势垒层 24 构成异质结构以形成二维电子气。

在本发明一进一步实施例中，为了提高器件性能，满足相关技术需求，如图 1b 所示，该半导体结构可进一步包括设置沟道层 23 下方的成核层 21 和缓冲层 22。以 GaN 基半导体结构为例，为降低位错密度和缺陷密度，提升晶体质量等技术需求，可进一步包括制备于衬底 1 上方的成核层 21，该成核层 21 可为 AlN、AlGaN 和 GaN 中的一种或多种。此外，为了缓冲衬底上方外延结构中的应

力，避免外延结构开裂，该 GaN 基半导体结构还可进一步包括制备于成核层 21 上方的缓冲层 22，该缓冲层 22 可包括 GaN、AlGa_N、AlInGa_N 中的一种或多种。

在本发明的一实施例中，如图 2a-2c 所示，该半导体结构还包括形成于栅极区域的多个沟槽 3，该沟槽 3 延伸至沟道层 23。如图 5a-5b 所示，当设置缓冲层 22 时，该沟槽 3 也延伸至缓冲层 22。

在本发明的一实施例中，如图 6a-6c 所示，该半导体结构还包括填充在该多个沟槽 3 中的应力施加材料 4；其中，应力施加材料 4 的晶格常数大于沟道层 23 的晶格常数。图 6a-6c 中，应力施加材料 4 仅填充沟槽 3 中对应沟道层 23 的部分，在其他实施例中，如图 9a-9c 所示，应力施加材料 4 的在沟槽 3 中填充深度可依设计需求而定。

在本发明一实施例中，沟道层 23 的材质可包括 GaN，势垒层 24 的材质可包括 AlGa_N，应力施加材料 4 的材质可包括 InGa_N，InGa_N 的晶格常数大于 GaN。

在本发明一实施例中，为了进一步增强对于沟道层 23 与势垒层 24 的异质结构中的二维电子气的耗尽效果，在沟槽 3 中所填充的应力施加材料 4 可以为 P 型半导体材料，例如 P 型掺杂的 InGa_N。

在本发明一实施例中，如图 10a-10c 所示，该半导体结构还可包括介质层 5，该介质层 5 的材质可包括以下材料中的一种或多种的组合：Al₂O₃、AlON、SiON、SiO₂ 和 SiN。介质层 5 的形态可根据应力施加材料 4 的形状而定，如图 11a-11c 所示。

在本发明一实施例中，如图 12a-12c 所示，该半导体结构还可包括位于栅极区域的栅电极 6，位于源极区域的源电极 7，位于漏极区域的漏电极 8。

电极材料采用例如镍合金的金属材料制成，也可采用金属氧化物或半导体材料制成，本发明对电极材料不做限定。

应当理解，虽然本说明书按照实施方式加以描述，但并非每个实施方式仅包含一个独立的技术方案，说明书的这种叙述方式仅仅是为清楚起见，本领域技术人员应当将说明书作为一个整体，各实施方式中的技术方案也可以经适当

组合，形成本领域技术人员可以理解的其他实施方式。

上文所列出的一系列的详细说明仅仅是针对本发明的可行性实施方式的具体说明，它们并非用以限制本发明的保护范围，凡未脱离本发明技艺精神所作的等效实施方式或变更均应包含在本发明的保护范围之内。

权利要求书

1、一种半导体结构，其特征在于，包括：

依次叠加的沟道层以及势垒层；

5 形成于所述势垒层的栅极区域的多个沟槽，其中所述多个沟槽延伸至所述沟道层内；以及

填充在所述多个沟槽中的应力施加材料；

其中，所述应力施加材料的晶格常数大于所述沟道层。

2、根据所述权利要求 1 所述的半导体结构，其特征在于，所述沟道层的材质包括 GaN，所述势垒层的材质包括 AlGaN，所述应力施加材料的材质包括 InGaN。

10 3、根据所述权利要求 1 所述的半导体结构，其特征在于，所述应力施加材料为 P 型半导体材料。

4、根据所述权利要求 1 所述的半导体结构，其特征在于，进一步包括：

制备在所述势垒层之上的介质层。

15 5、根据所述权利要求 4 所述的半导体结构，其特征在于，所述介质层的材质包括以下材料中的一种或多种的组合： Al_2O_3 、AlON、SiON、 SiO_2 和 SiN。

6、根据所述权利要求 1 所述的半导体结构，其特征在于，进一步包括：

位于所述势垒层上方的栅极区域的栅电极、源极区域的源电极以及漏极区域的漏电极。

20 7、根据权利要求 1 所述的半导体结构，其特征在于，进一步包括：成核层和缓冲层，位于所述衬底和沟道层之间。

8、一种半导体结构的制造方法，其特征在于，包括以下步骤：

制备依次叠加的沟道层以及势垒层；

在所述势垒层的栅极区域制备多个延伸至所述沟道层内的沟槽；以及

在所述多个沟槽中分别填充应力施加材料；

25 其中，所述应力施加材料的晶格常数大于所述沟道层。

9、根据所述权利要求 8 所述的半导体结构的制造方法，其特征在于，进一步

包括:

在所述势垒层表面制备介质层, 其中所述介质层覆盖所述势垒层。

- 10、根据所述权利要求 8 所述的半导体结构的制造方法, 其特征在于, 进一步包括: 在所述势垒层上方的栅极区域制备栅电极、在源极区域制备源电极以及
- 5 在漏极区域制备漏电极。

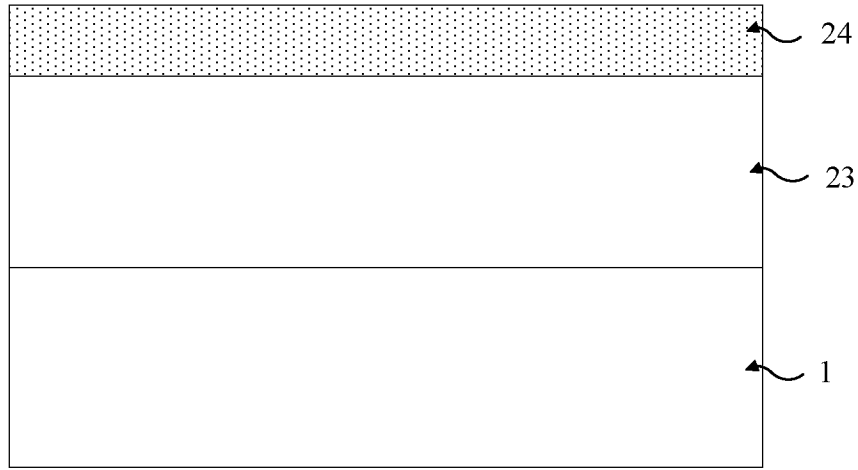


图 1a



图 1b

2/22

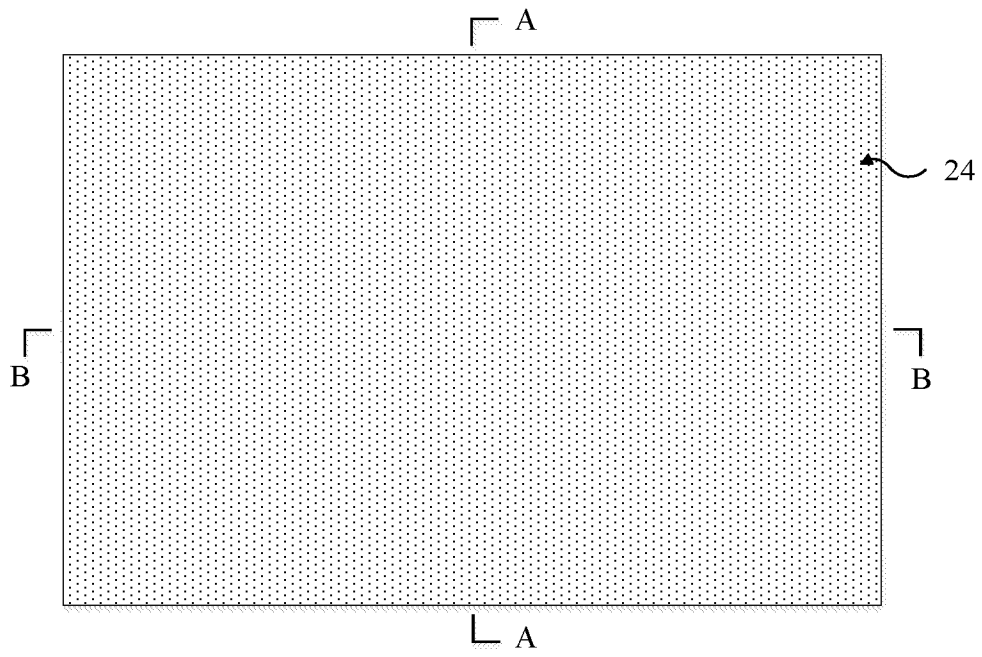


图 1c

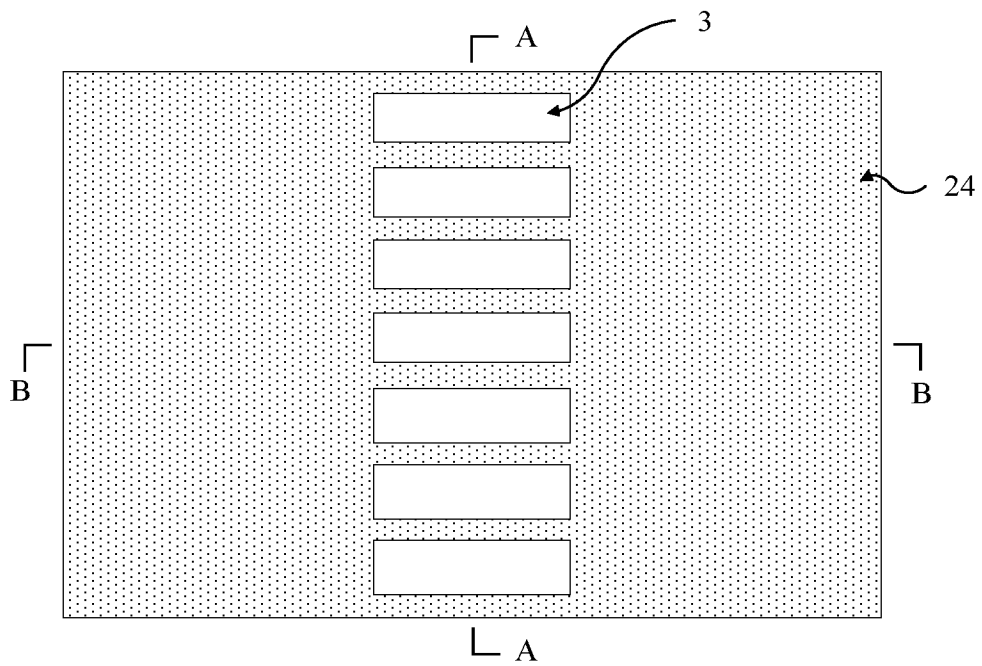


图 2a

3/22

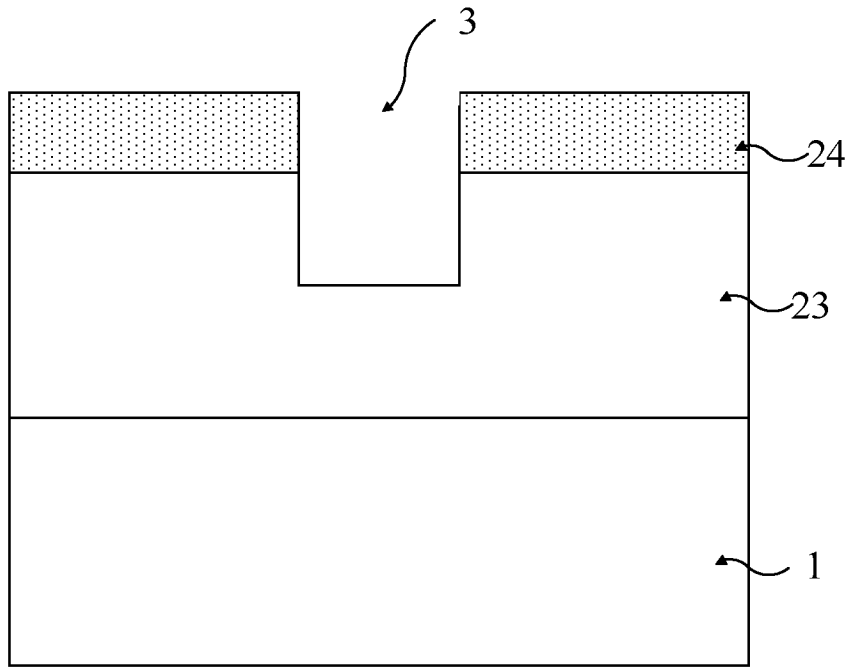


图 2b

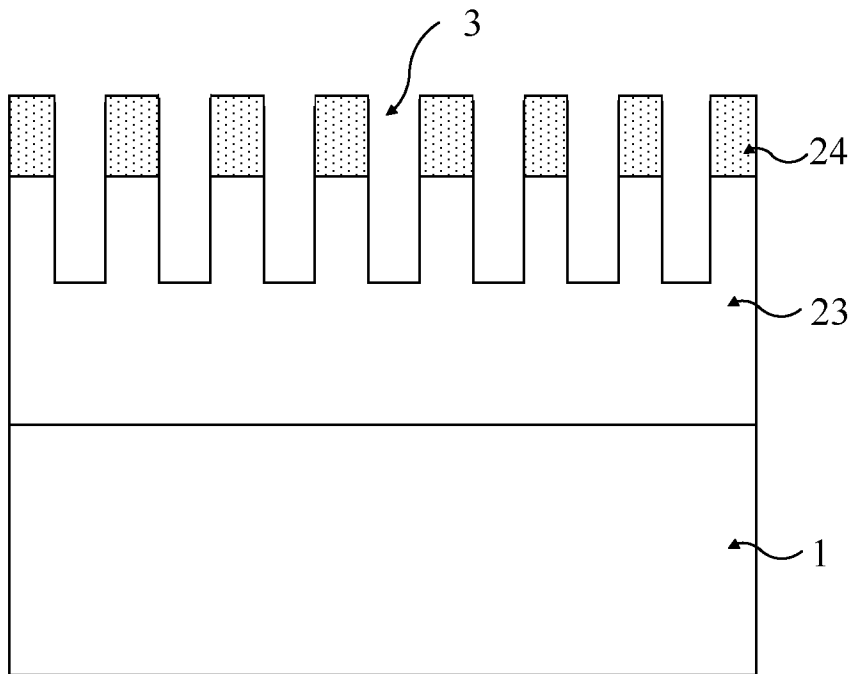


图 2c

4/22

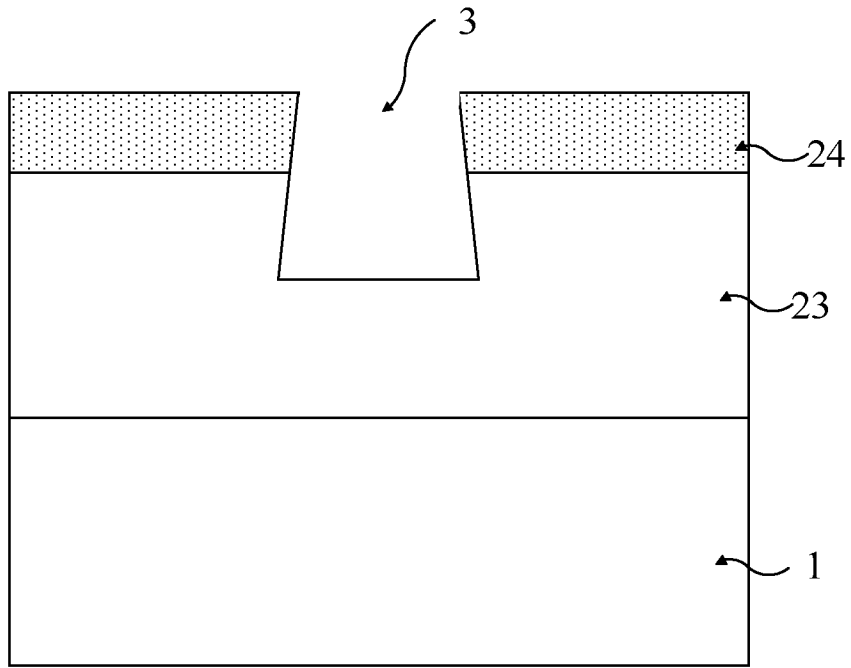


图 2d

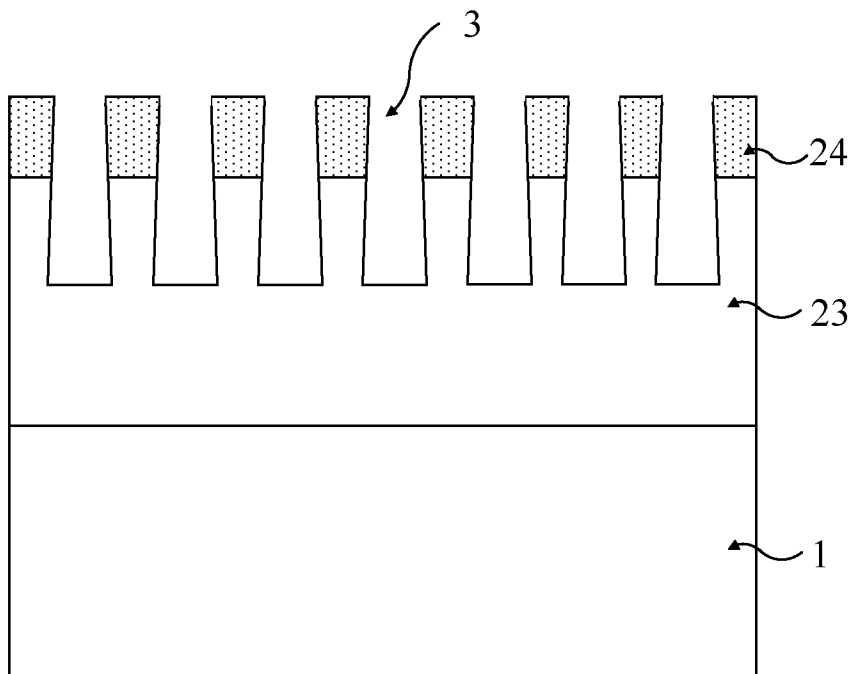


图 2e

5/22

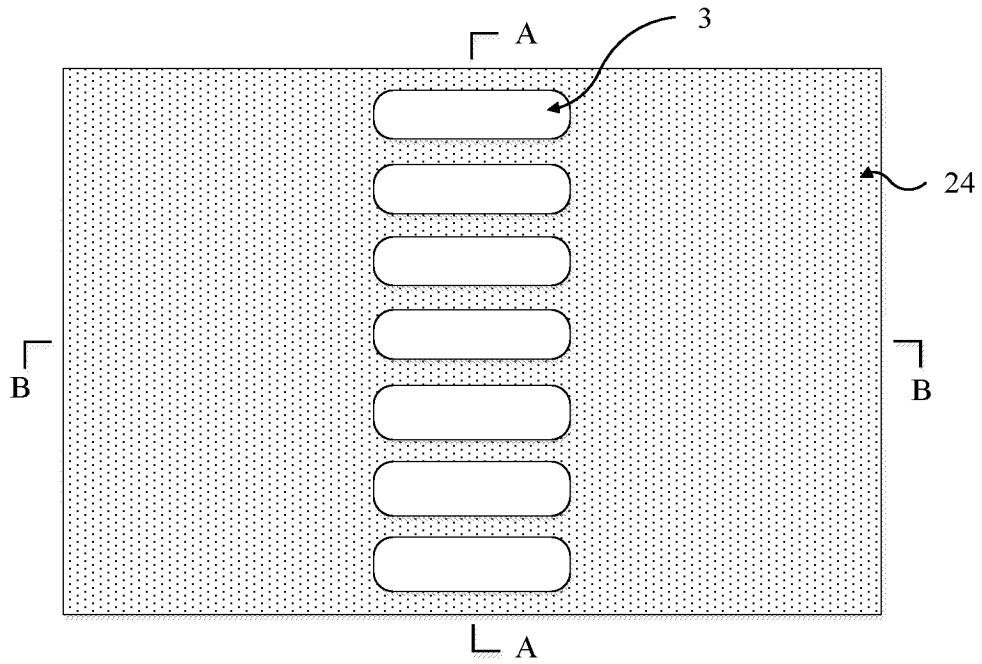


图 3a

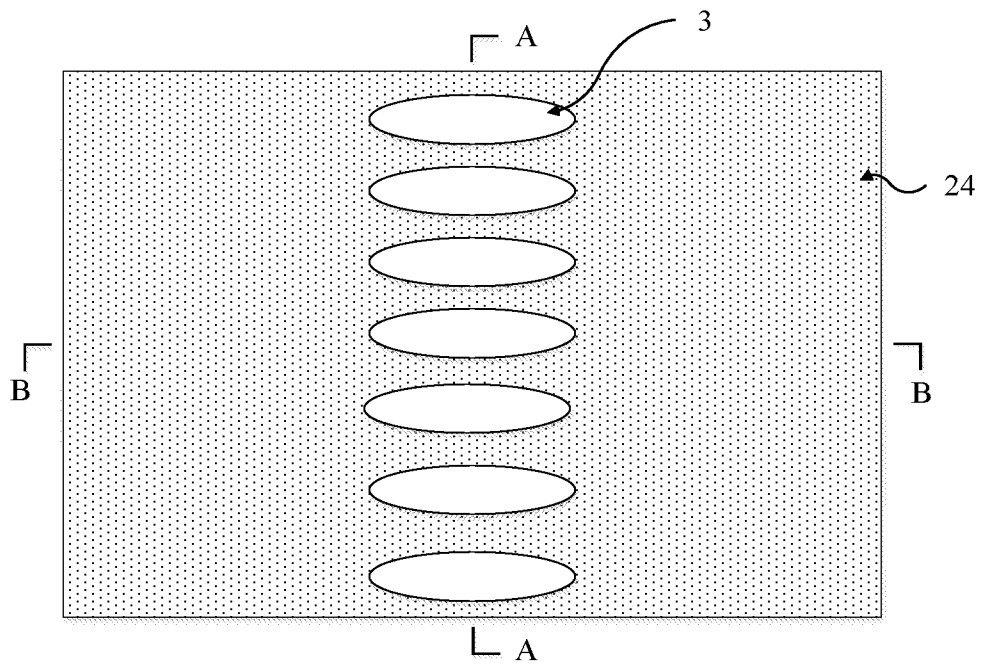


图 3b

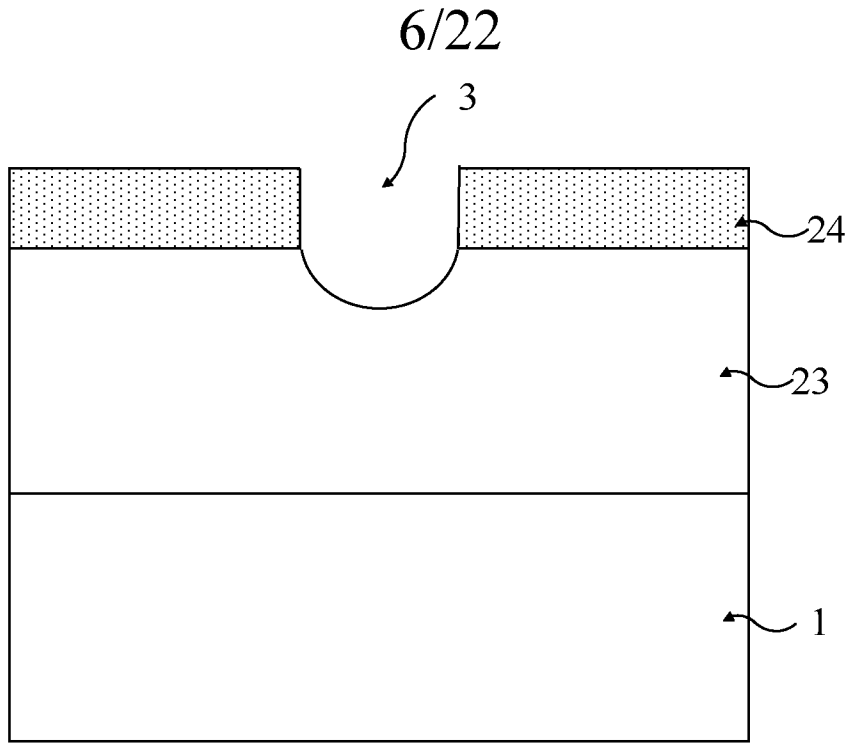


图 4a

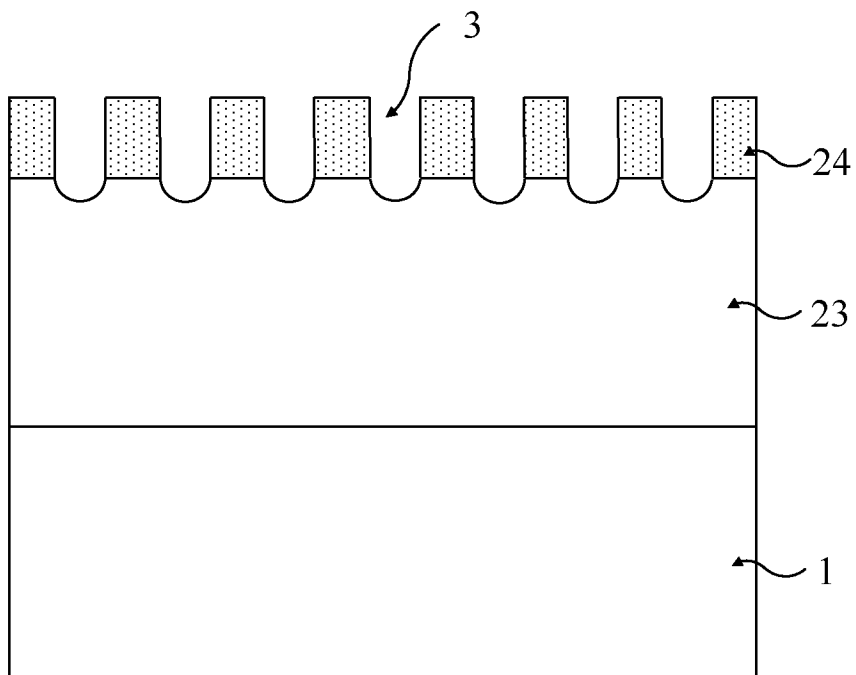


图 4b

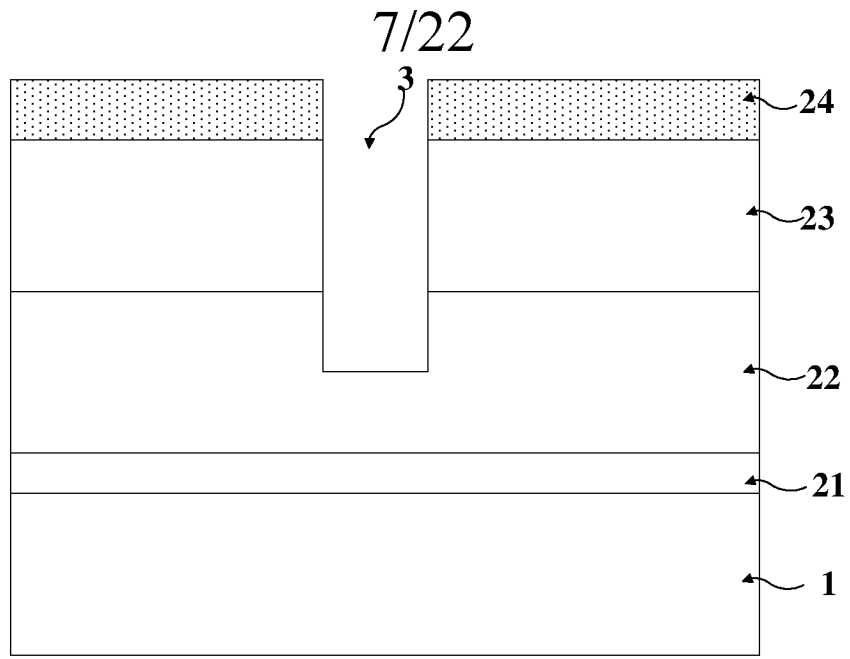


图 5a

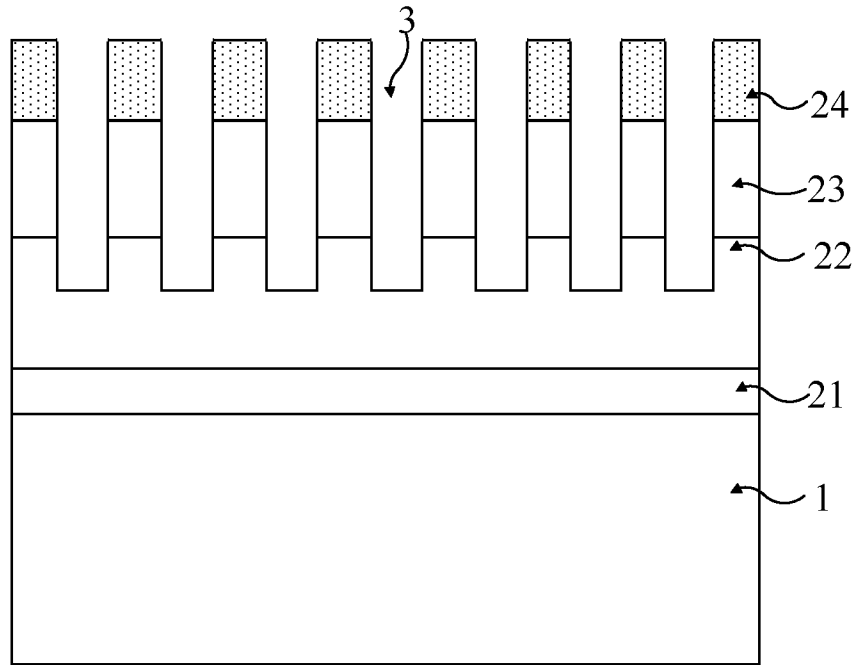


图 5b

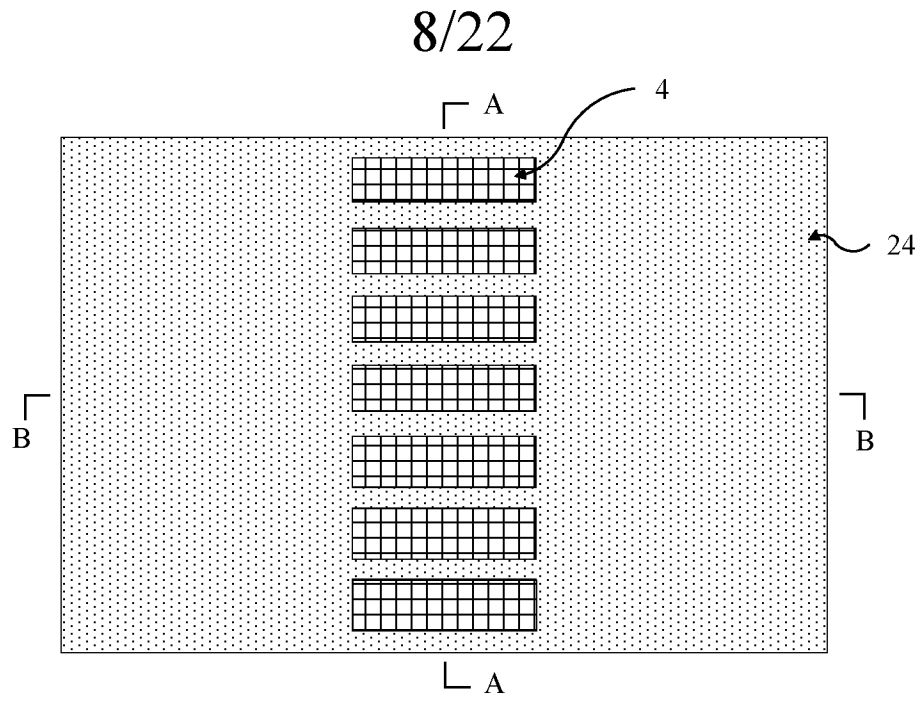


图 6a

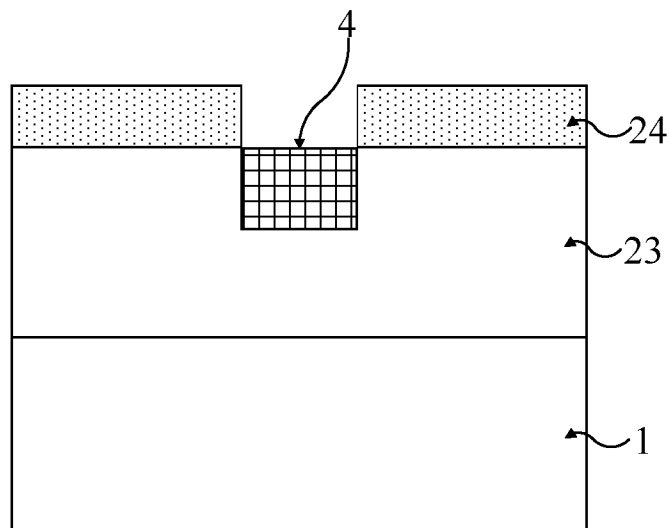


图 6b

10/22

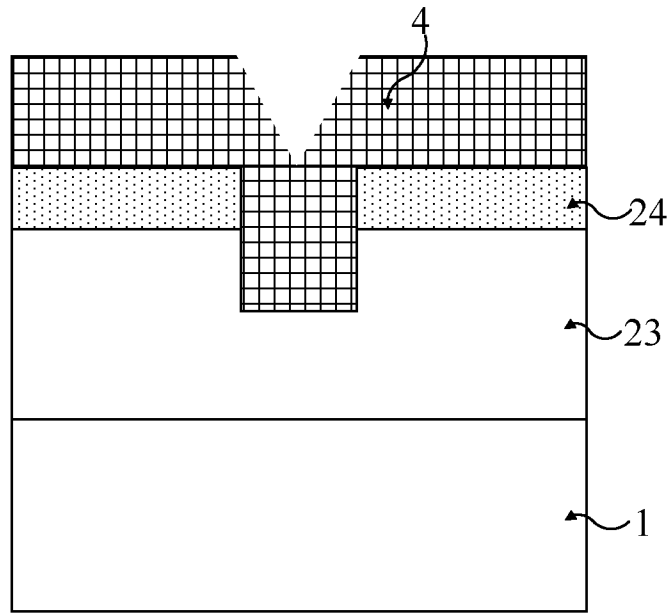


图 7b

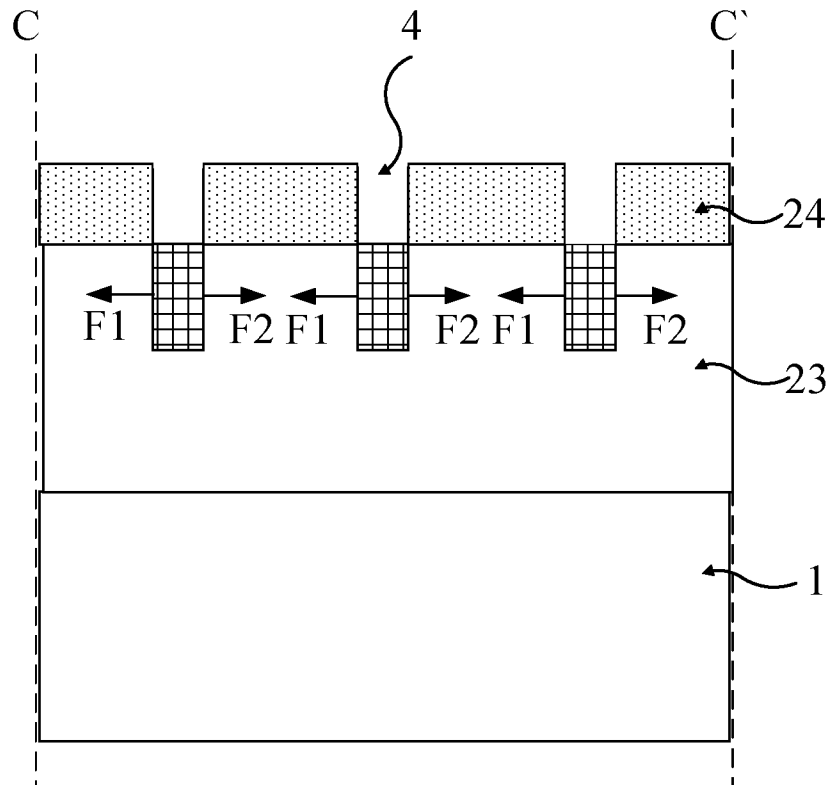


图 8

11/22

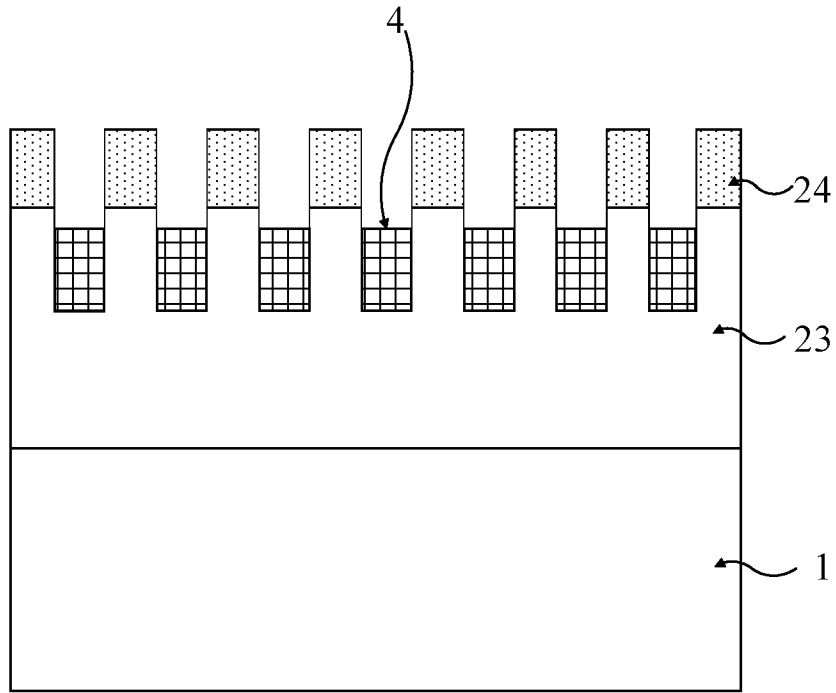


图 9a

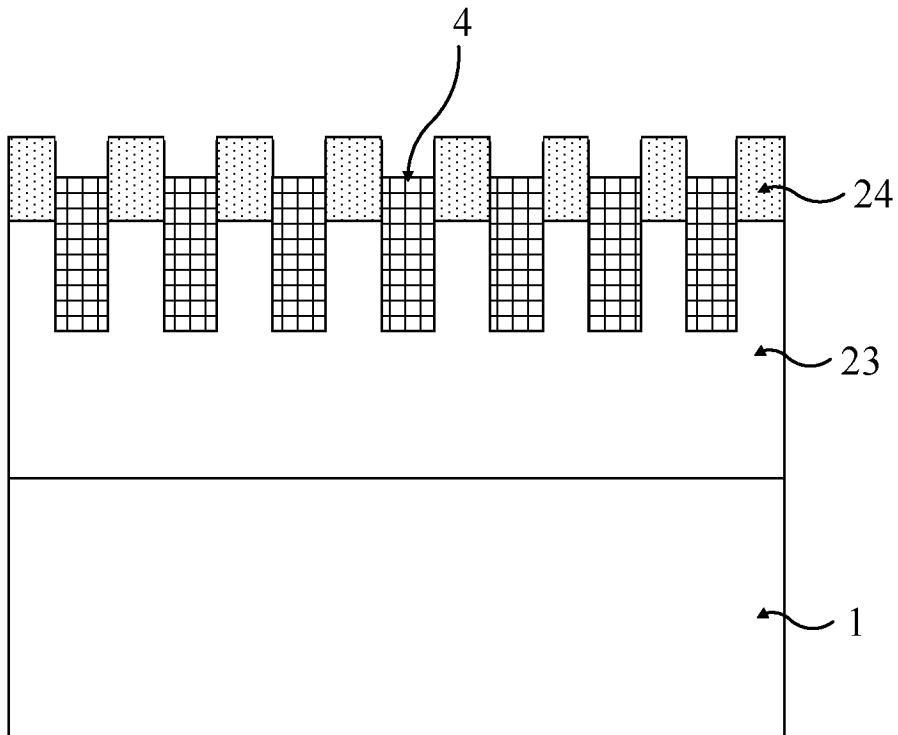


图 9b

12/22

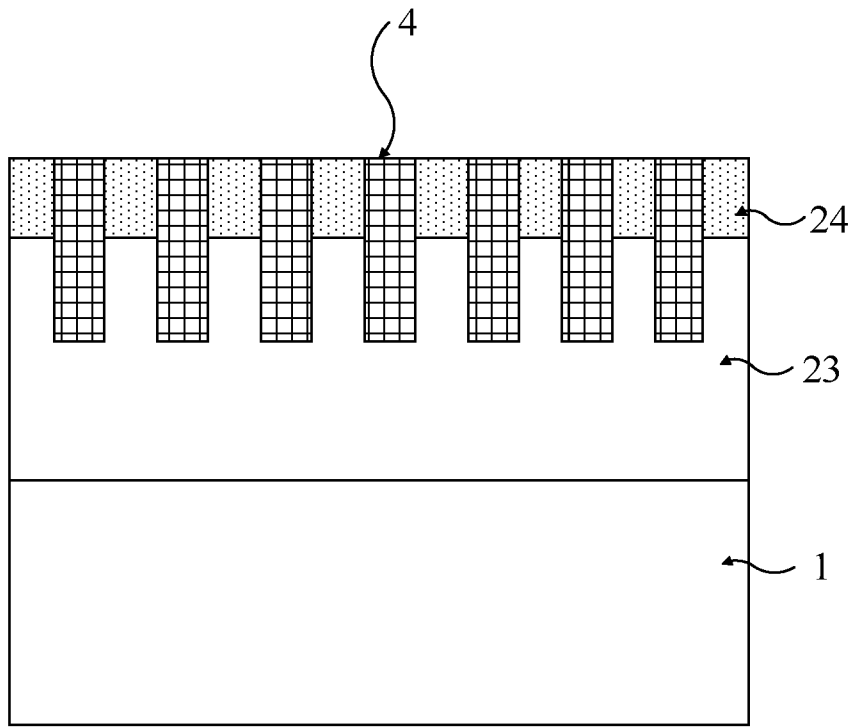


图 9c

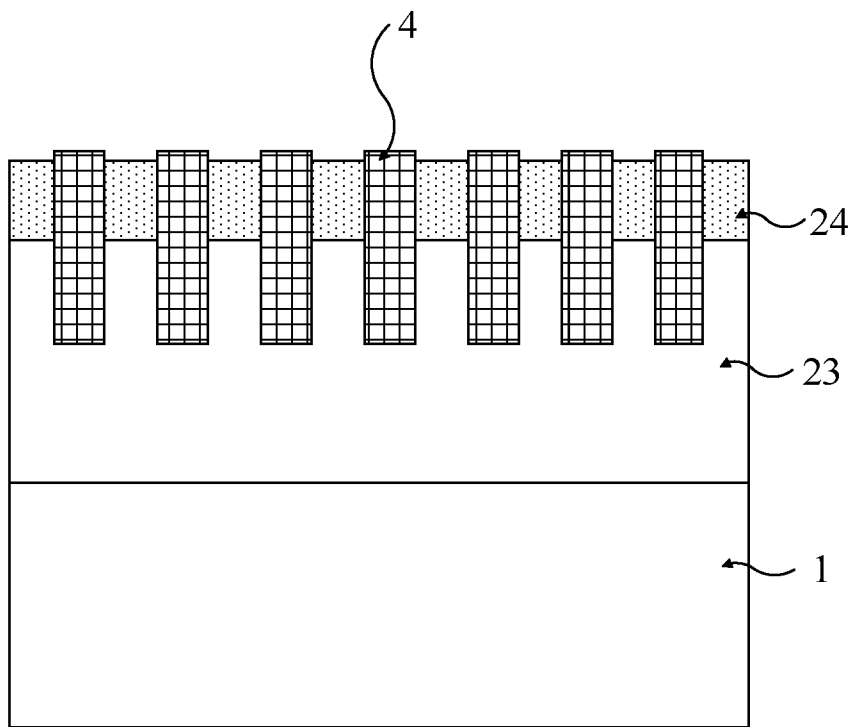


图 9d

13/22

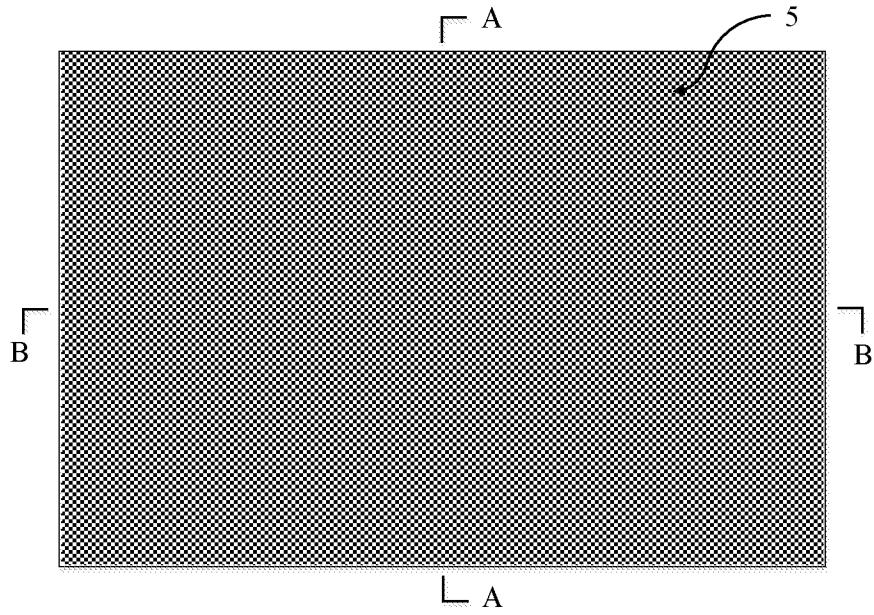


图 10a

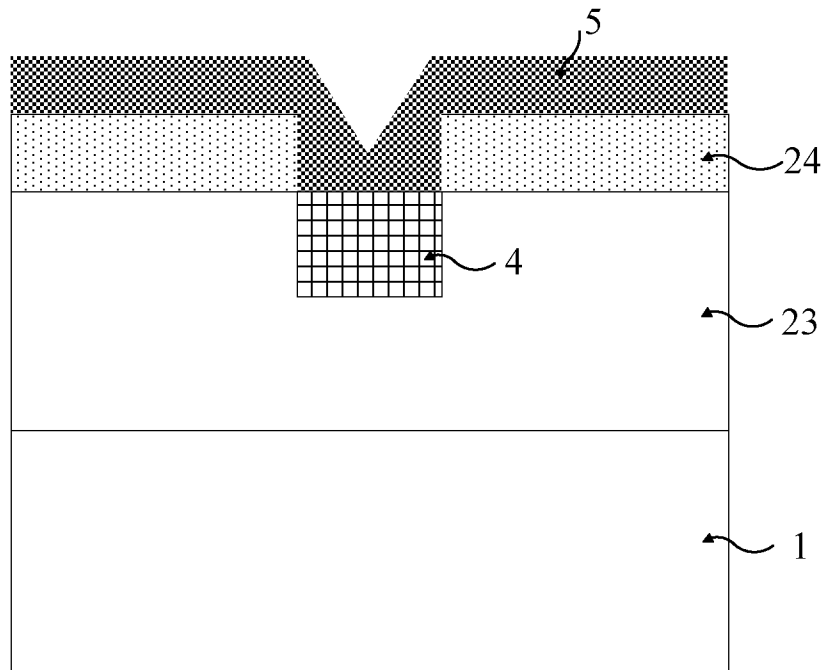


图 10b

14/22

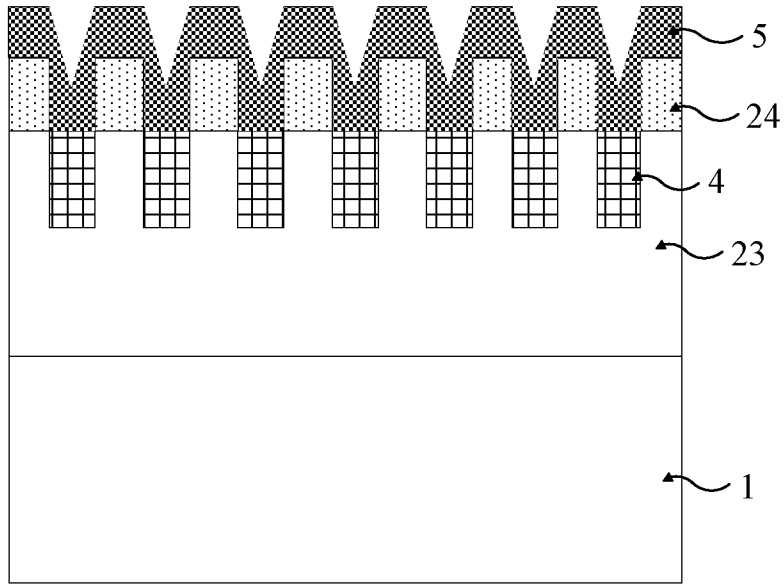


图 10c

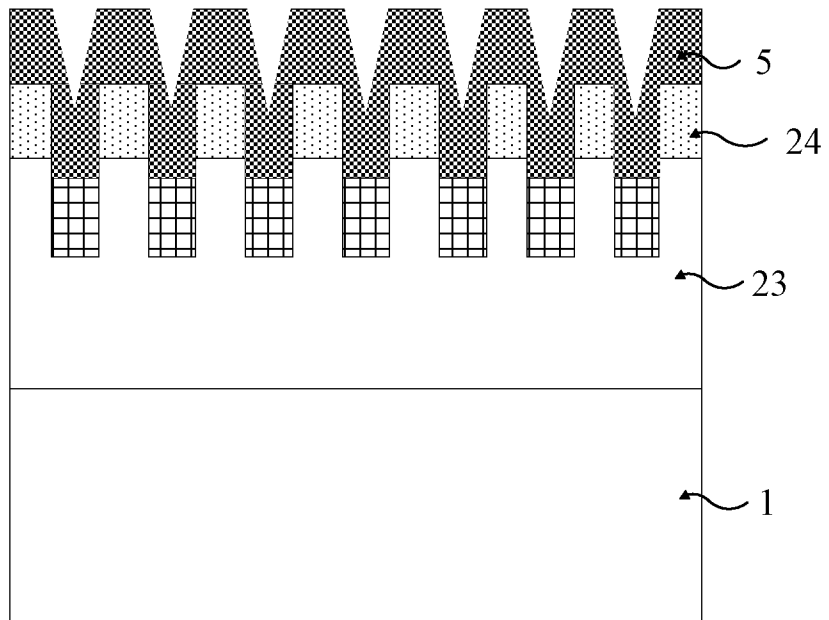


图 11a

15/22

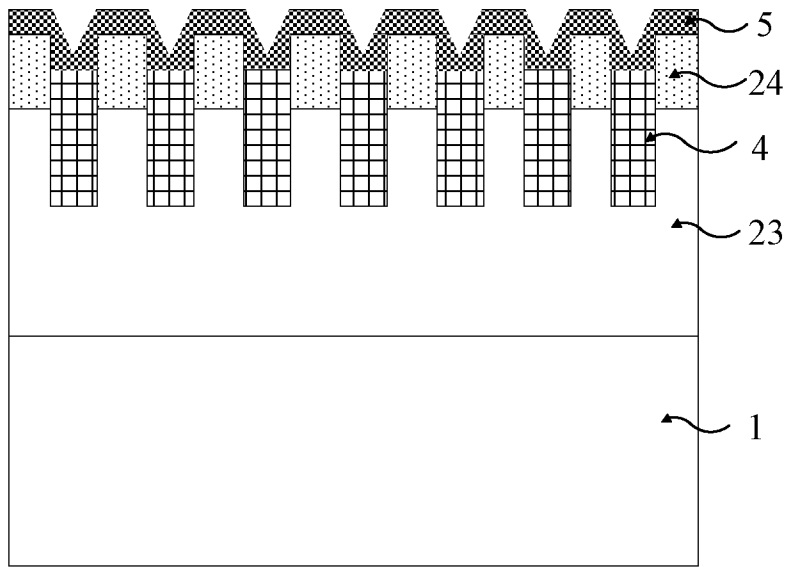


图 11b

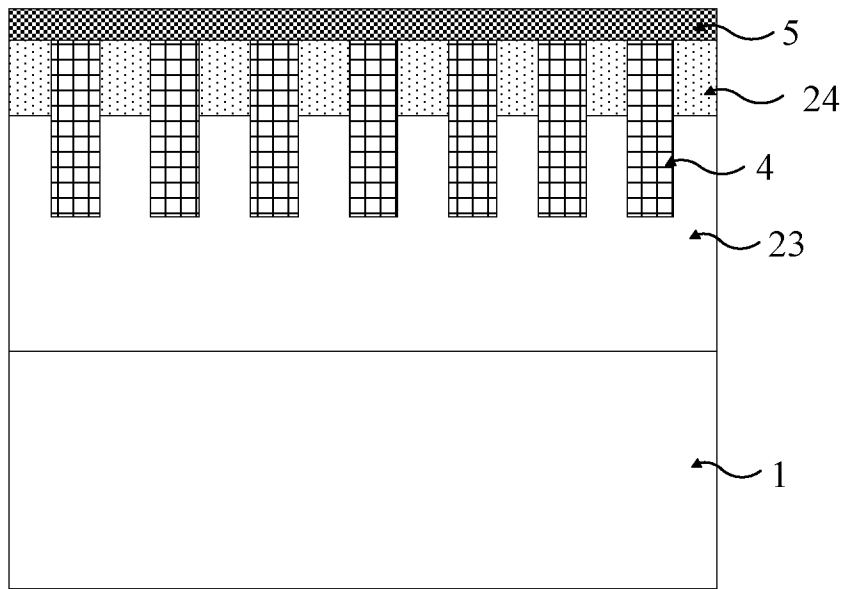


图 11c

16/22

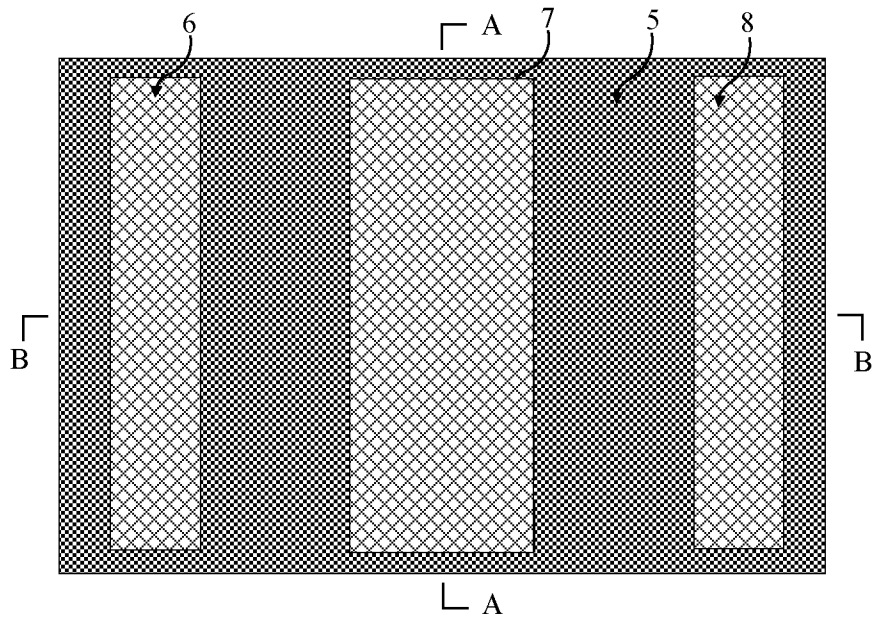


图 12a

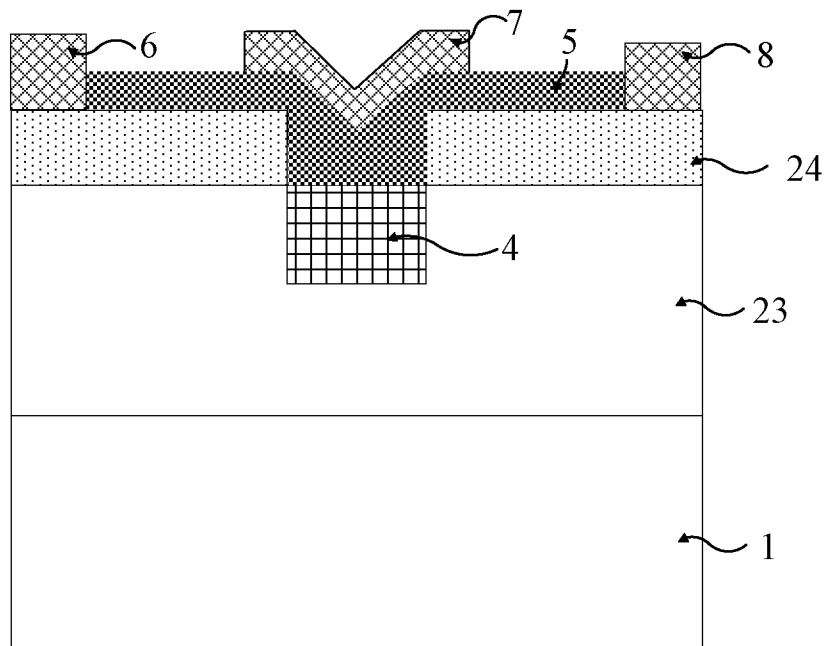


图 12b

17/22

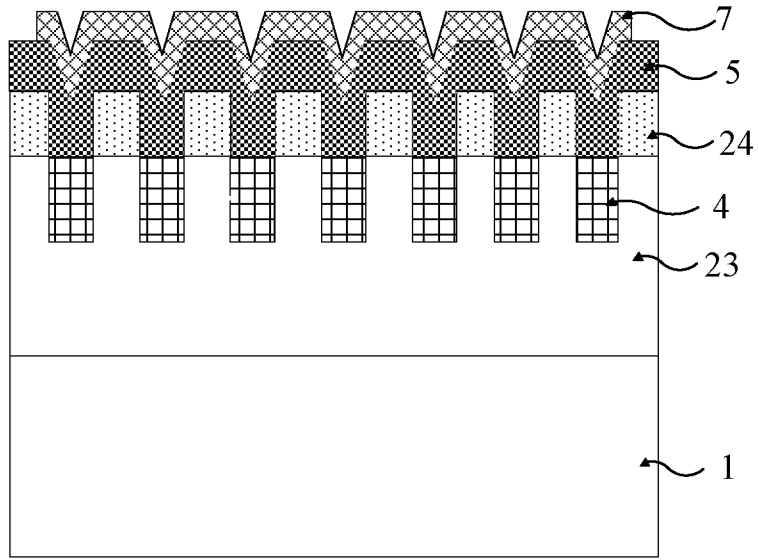


图 12c

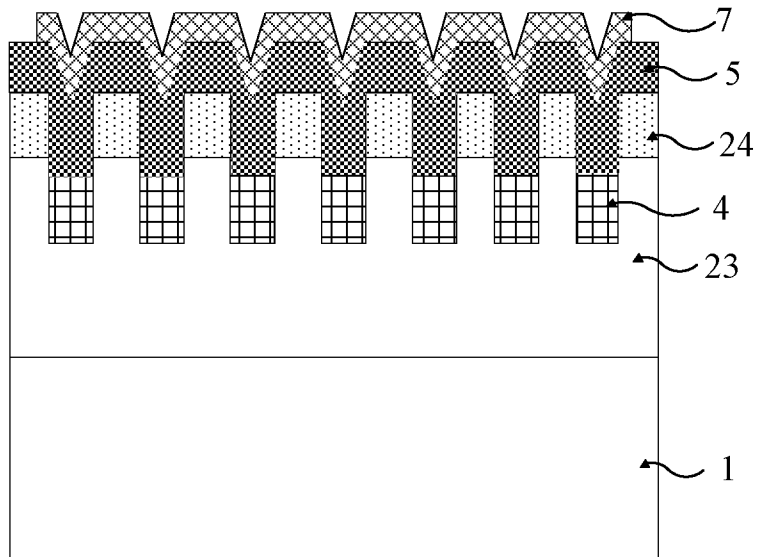


图 13a

18/22

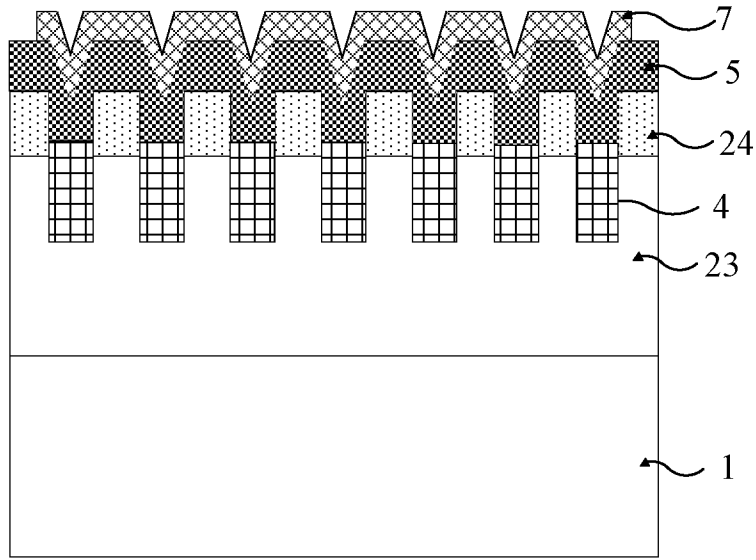


图 13b

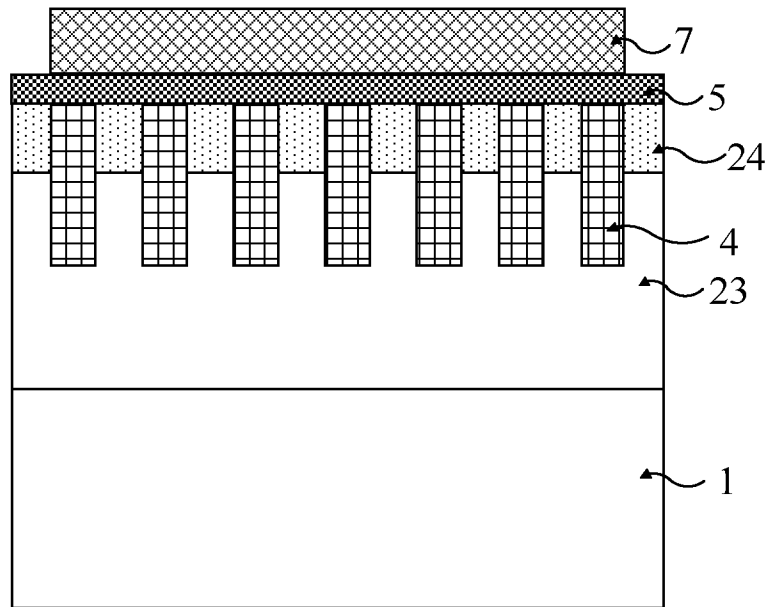


图 13c

19/22

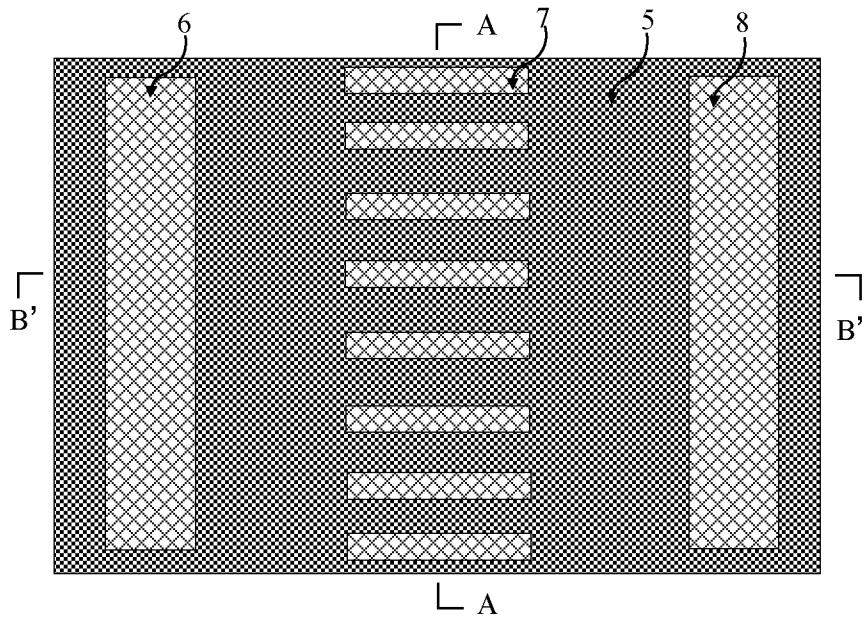


图 14a

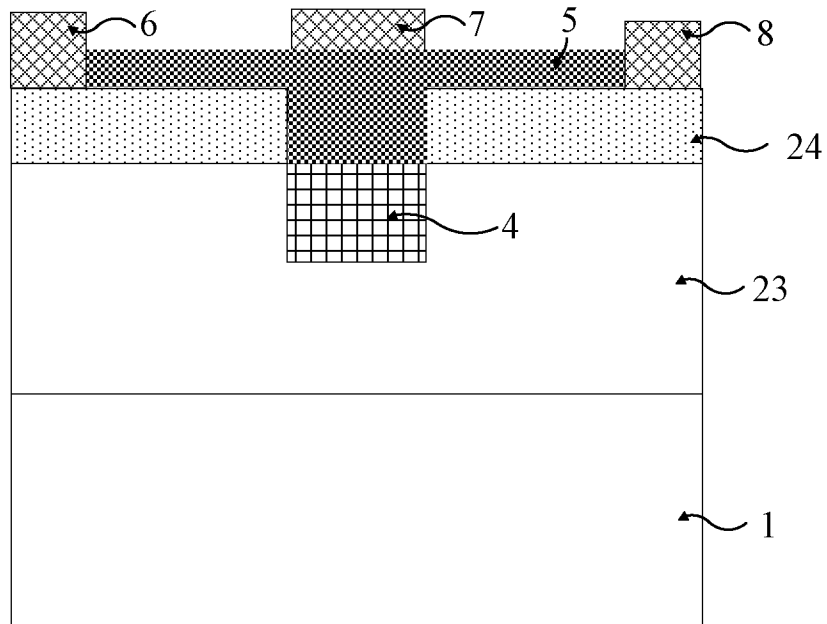


图 14b

20/22

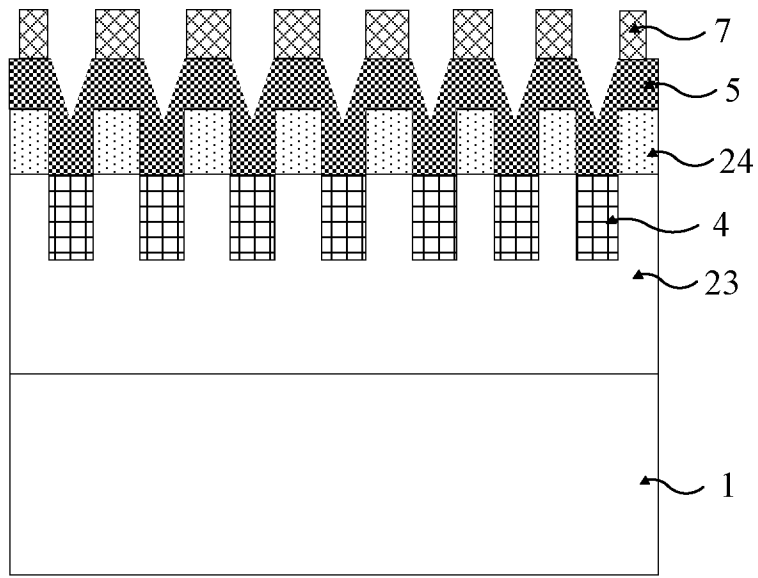


图 14c

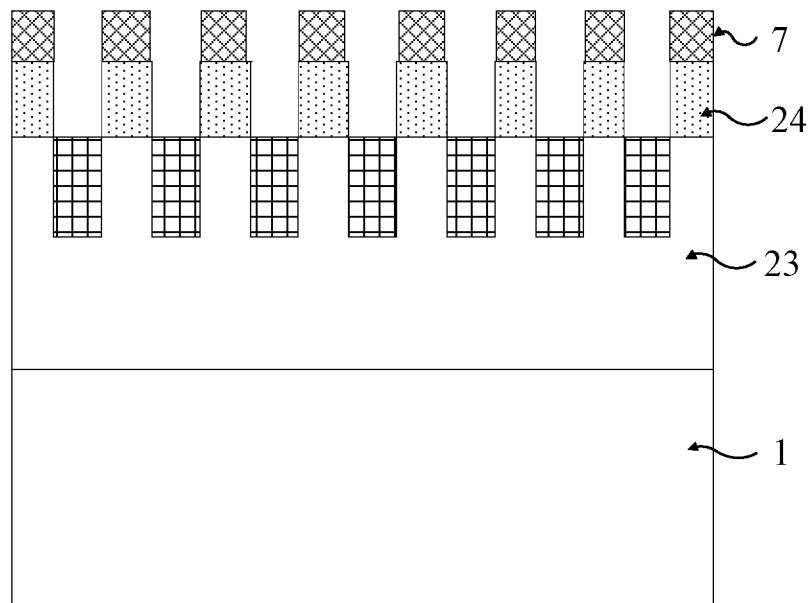


图 15a

21/22

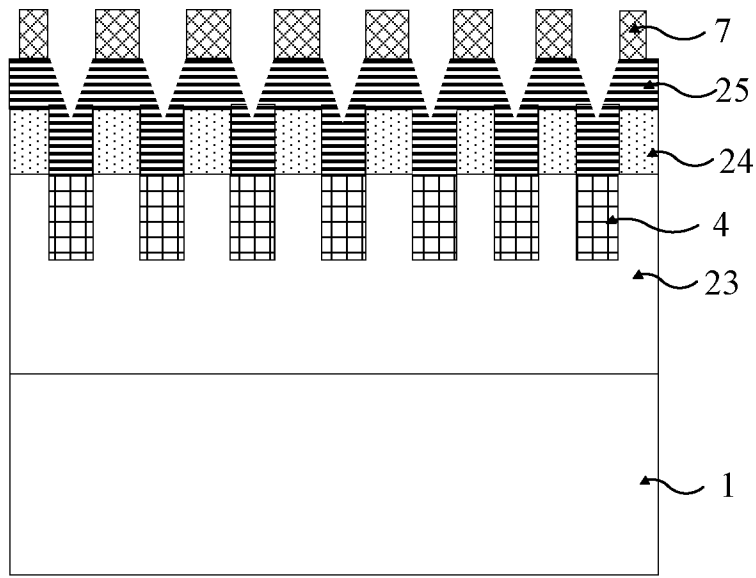


图 15b

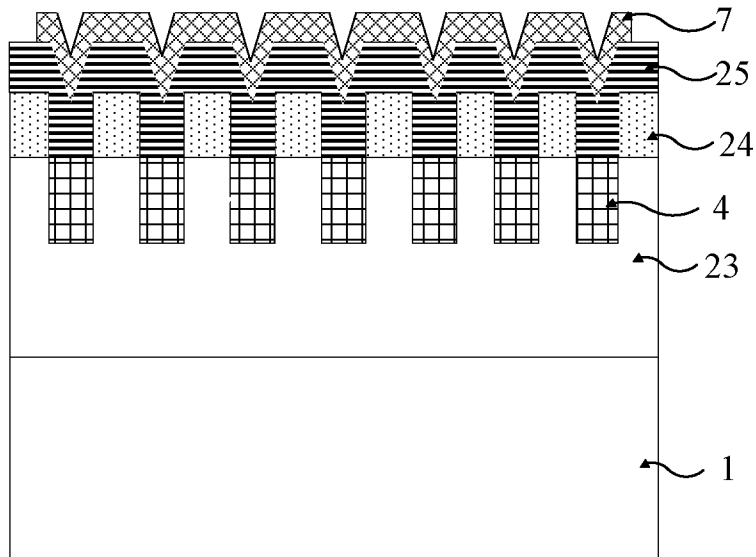


图 15c

22/22

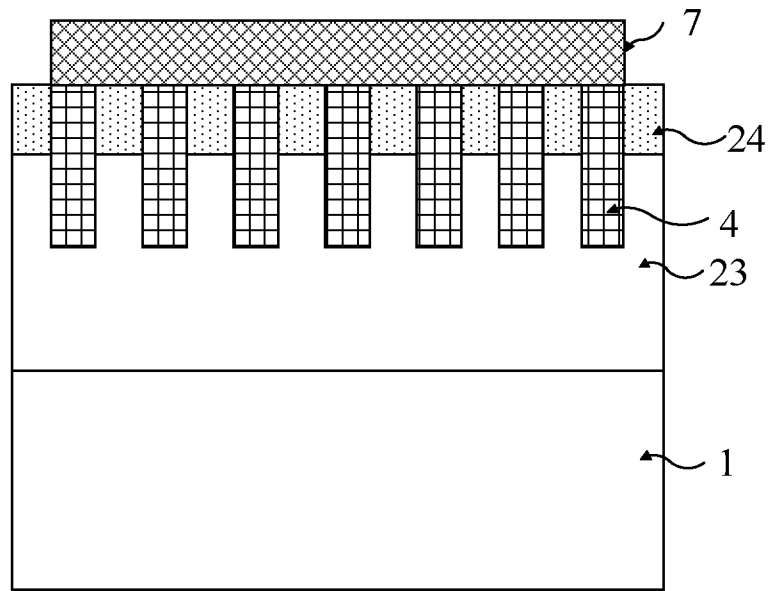


图 15d

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/091533

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/778(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
VEN; WOTXT; EPTXT; USTXT; CNABS; CNTXT; CNKI: 高电子迁移率晶体管, 二维电子气, 异质结, 耗尽, 增强, 开关, 常关, 凹, 槽, 应力, 应变, 晶格常数, 抵消, 浓度, HEMT, 2DEG, two-dimensional electron gas, heterojunction, depletion, enhance, normally-OFF, recess, groove, trench, stress, lattice parameter, concentration		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105845723 A (INSTITUTE OF MICROELECTRONICS OF THE CHINESE ACADEMY OF SCIENCES) 10 August 2016 (2016-08-10) description, paragraphs [0022]-[0048], and figures 1-3	1-10
Y	US 2015349124 A1 (CAMBRIDGE ELECTRONICS INC) 03 December 2015 (2015-12-03) description, paragraphs [0015]-[0039], figures 1-8E	1-10
Y	CN 102034861 A (SAMSUNG ELECTRONICS CO., LTD.) 27 April 2011 (2011-04-27) description, paragraphs [0026]-[0042], figures 1-6	1-10
A	US 2015162427 A1 (SAMSUNG ELECTRONICS CO., LTD.) 11 June 2015 (2015-06-11) entire document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 January 2020		09 March 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/091533

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105845723	A	10 August 2016	CN	105845723	B	15 March 2019
US	2015349124	A1	03 December 2015	WO	2015171873	A1	12 November 2015
CN	102034861	A	27 April 2011	CN	102034861	B	25 March 2015
				KR	20110032845	A	30 March 2011
				JP	5692898	B2	01 April 2015
				US	8513705	B2	20 August 2013
				US	2011068370	A1	24 March 2011
				JP	2011071512	A	07 April 2011
US	2015162427	A1	11 June 2015	KR	20150066923	A	17 June 2015
				KR	102021887	B1	17 September 2019
				US	9391186	B2	12 July 2016

国际检索报告

国际申请号

PCT/CN2019/091533

<p>A. 主题的分类</p> <p>H01L 29/778(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>VEN;WOTXT;EPTXT;USTXT;CNABS;CNTXT;CNKI; 高电子迁移率晶体管, 二维电子气, 异质结, 耗尽, 增强, 开关, 常关, 凹, 槽, 应力, 应变, 晶格常数, 抵消, 浓度, HEMT, 2DEG, two-dimensional electron gas, heterojunction, depletion, enhanc+, normally-OFF, recess, groove, trench, stress, lattice parameter, concentration</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105845723 A (中国科学院微电子研究所) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0022]-[0048]段, 附图1-3</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>US 2015349124 A1 (CAMBRIDGE ELECTRONICS INC) 2015年 12月 3日 (2015 - 12 - 03) 说明书第[0015]-[0039]段, 附图1-8E</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>CN 102034861 A (三星电子株式会社) 2011年 4月 27日 (2011 - 04 - 27) 说明书第[0026]-[0042]段, 附图1-6</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2015162427 A1 (SAMSUNG ELECTRONICS CO LTD) 2015年 6月 11日 (2015 - 06 - 11) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105845723 A (中国科学院微电子研究所) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0022]-[0048]段, 附图1-3	1-10	Y	US 2015349124 A1 (CAMBRIDGE ELECTRONICS INC) 2015年 12月 3日 (2015 - 12 - 03) 说明书第[0015]-[0039]段, 附图1-8E	1-10	Y	CN 102034861 A (三星电子株式会社) 2011年 4月 27日 (2011 - 04 - 27) 说明书第[0026]-[0042]段, 附图1-6	1-10	A	US 2015162427 A1 (SAMSUNG ELECTRONICS CO LTD) 2015年 6月 11日 (2015 - 06 - 11) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 105845723 A (中国科学院微电子研究所) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0022]-[0048]段, 附图1-3	1-10															
Y	US 2015349124 A1 (CAMBRIDGE ELECTRONICS INC) 2015年 12月 3日 (2015 - 12 - 03) 说明书第[0015]-[0039]段, 附图1-8E	1-10															
Y	CN 102034861 A (三星电子株式会社) 2011年 4月 27日 (2011 - 04 - 27) 说明书第[0026]-[0042]段, 附图1-6	1-10															
A	US 2015162427 A1 (SAMSUNG ELECTRONICS CO LTD) 2015年 6月 11日 (2015 - 06 - 11) 全文	1-10															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2020年 1月 14日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 3月 9日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>张弓</p> <p>电话号码 (86-512)88995669</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/091533

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105845723	A	2016年 8月 10日	CN	105845723	B	2019年 3月 15日
US	2015349124	A1	2015年 12月 3日	WO	2015171873	A1	2015年 11月 12日
CN	102034861	A	2011年 4月 27日	CN	102034861	B	2015年 3月 25日
				KR	20110032845	A	2011年 3月 30日
				JP	5692898	B2	2015年 4月 1日
				US	8513705	B2	2013年 8月 20日
				US	2011068370	A1	2011年 3月 24日
				JP	2011071512	A	2011年 4月 7日
US	2015162427	A1	2015年 6月 11日	KR	20150066923	A	2015年 6月 17日
				KR	102021887	B1	2019年 9月 17日
				US	9391186	B2	2016年 7月 12日