

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年5月31日 (31.05.2019)



(10) 国际公布号
WO 2019/100495 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2017/117346

(22) 国际申请日: 2017年12月20日 (20.12.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201711177283.7 2017年11月22日 (22.11.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 陈梦(CHEN,

Meng); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

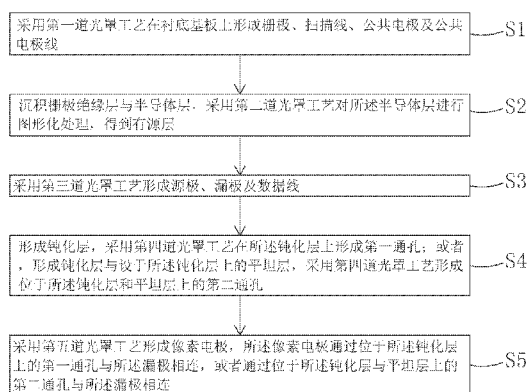
(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: FFS-TYPE THIN-FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: FFS型薄膜晶体管阵列基板及其制作方法



(57) Abstract: An FFS-type thin-film transistor array substrate and a manufacturing method therefor. The manufacturing method comprises: forming a gate electrode, a scanning line, a common electrode and a common electrode line during a photomask process (S1). Compared with the prior art, the technological process is simplified, fewer photomasks are used, the process time is relatively short, and therefore, the production cost is low. The present invention has a simple manufacturing process, a low production cost and an excellent electrical performance.

(57) 摘要: 一种FFS型薄膜晶体管阵列基板及其制作方法, 该制作方法包括: 在第一道光罩工艺中形成栅极、扫描线、公共电极及公共电极线(S1), 与现有技术相比, 简化了工艺制程, 采用的光罩数量较少, 制程时间较短, 因此生产成本低。制作工艺简单, 生产成本低, 且具有优异的电学性能。

- S1 Form a gate electrode, a scanning line, a common electrode and a common electrode line using a first photomask process
- S2 Deposit a gate insulating layer and a semiconductor layer, and use a second photomask process to carry out patterning processing on the semiconductor layer so as to obtain an active layer
- S3 Use a third photomask process to form a source electrode, a drain electrode and a data line
- S4 Form a passivation layer, and use a fourth photomask process to form a first through hole on the passivation layer; or form a passivation layer and a flat layer arranged on the passivation layer, and use a fourth photomask process to form a second through hole located on the passivation layer and the flat layer
- S5 Use a fifth photomask process to form a pixel electrode, wherein the pixel electrode is connected to the drain electrode by means of a first through hole located on the passivation layer, or is connected to the drain electrode by means of the second through hole located on the passivation layer and the flat layer

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

FFS 型薄膜晶体管阵列基板及其制作方法

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 FFS 型薄膜晶体管阵列基板及其制作方法。

背景技术

10 随着显示技术的发展，液晶显示器（Liquid Crystal Display, LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

15 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（Backlight Module）。通常液晶显示面板由彩膜（CF, Color Filter）基板、薄膜晶体管（TFT, Thin Film Transistor）基板、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC, Liquid Crystal）及密封胶框（Sealant）组成。

20 根据驱动液晶的电场方向，薄膜晶体管液晶显示器（TFT-LCD）可分为垂直电场型和水平电场型。其中，垂直电场型 TFT-LCD 需要在薄膜晶体管阵列基板上形成像素电极，在彩膜基板上形成公共电极；而水平电场型 TFT-LCD 需要在薄膜晶体管阵列基板上同时形成像素电极和公共电极。垂直电场型 TFT-LCD 包括：扭曲向列（Twist Nematic, 简称为 TN）型 TFT-LCD；水平电场型 TFT-LCD 包括：边缘电场切换（Fringe Field Switching, 简称为 FFS）型 TFT-LCD、共平面切换（In-Plane Switching, 简称为 IPS）型 TFT-LCD。水平电场型 TFT-LCD，尤其是 FFS 型 TFT-LCD 具有高透光率、广视角、25 响应速度快及低功耗等优点，广泛应用于液晶显示器领域。但是目前 FFS 型薄膜晶体管阵列基板的制作方法通常采用 6 道光罩工艺，由于光罩的制作成本较高且 6 道光罩工艺的制程时间较长，因此目前 FFS 型薄膜晶体管阵列基板的制作成本较高。

发明内容

30 本发明的目的在于提供一种 FFS 型薄膜晶体管阵列基板的制作方法，使用光罩工艺的次數较少，生产成本低。

本发明的目的还在于提供一种 FFS 型薄膜晶体管阵列基板，制作工艺

简单，生产成本低，且具有优异的电学性能。

为实现上述目的，本发明提供一种 FFS 型薄膜晶体管阵列基板的制作方法，包括：

5 提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线；其中，所述栅极与扫描线相连，所述公共电极与公共电极线相连；

在所述栅极、扫描线、公共电极、公共电极线及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述半导体层进行图形化处理，得到对应于所述栅极上方的有源层；

10 在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极及数据线；其中，所述源极与漏极分别与所述有源层相接触，所述数据线与所述源极相连；

15 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层，采用第四道光罩工艺对所述钝化层进行图形化处理，得到位于所述钝化层上的第一通孔，所述第一通孔对应于所述漏极上方设置；在所述钝化层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述钝化层上的像素电极，所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连；或者，

20 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层，采用第四道光罩工艺对所述钝化层和平坦层进行图形化处理，得到位于所述钝化层和平坦层上的第二通孔，所述第二通孔对应于所述漏极上方设置；在所述平坦层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述平坦层上的像素电极，所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连。

25 采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线的步骤包括：

30 在所述衬底基板上沉积第一透明导电层，采用第一道光罩工艺对所述第一透明导电层进行图形化处理，得到栅极预定图案与扫描线预定图案以及公共电极与公共电极线；

在所述栅极预定图案与扫描线预定图案上镀上第一金属层，得到栅极与扫描线，其中，所述第一金属层的导电性能大于所述第一透明导电层的导电性能。

所述第一透明导电层的材料包括透明导电金属氧化物；所述第一金属

层的材料包括铜。

在所述栅极预定图案与扫描线预定图案上镀上第一金属层的工艺为电镀工艺。

5 所述钝化层的材料包括氧化硅与氮化硅中的一种或多种，所述平坦层的材料为有机光阻材料。

在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层后，所述第四道光罩工艺包括涂光阻、曝光、显影、干蚀刻及光阻剥离制程；

10 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层后，所述第四道光罩工艺包括曝光、显影及干蚀刻制程。

本发明还提供一种 FFS 型薄膜晶体管阵列基板，包括：
衬底基板；

设于所述衬底基板上的栅极、扫描线、公共电极及公共电极线；其中，所述栅极与扫描线相连，所述公共电极与公共电极线相连；

15 设于所述栅极、扫描线、公共电极、公共电极线及衬底基板上的栅极绝缘层；

设于所述栅极绝缘层上且对应于所述栅极上方的有源层；

20 设于所述有源层与栅极绝缘层上的源极与漏极、设于所述栅极绝缘层上的数据线；其中，所述源极与漏极分别与所述有源层相接触，所述数据线与所述源极相连；

设于所述源极、漏极、数据线、有源层及栅极绝缘层上的钝化层，所述钝化层上设有对应于所述漏极上方设置的第一通孔；设于所述钝化层上的像素电极，所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连；或者，

25 设于所述源极、漏极、数据线、有源层及栅极绝缘层上的钝化层与设于所述钝化层上的平坦层，所述钝化层和平坦层上设有对应于所述漏极上方设置的第二通孔；设于所述平坦层上的像素电极，所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连。

30 所述公共电极与公共电极线包括设于所述衬底基板上的第一透明导电层，所述栅极与扫描线包括设于所述衬底基板上的第一透明导电层与设于所述第一透明导电层上的第一金属层；其中，所述第一金属层的导电性能大于所述第一透明导电层的导电性能。

所述第一透明导电层的材料包括透明导电金属氧化物；所述第一金属层的材料包括铜。

所述钝化层的材料包括氧化硅与氮化硅中的一种或多种，所述平坦层的材料为有机光阻材料。

本发明还提供一种 FFS 型薄膜晶体管阵列基板的制作方法，包括：

5 提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线；其中，所述栅极与扫描线相连，所述公共电极与公共电极线相连；

在所述栅极、扫描线、公共电极、公共电极线及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述半导体层进行图形化处理，得到对应于所述栅极上方的有源层；

10 在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极及数据线；其中，所述源极与漏极分别与所述有源层相接触，所述数据线与所述源极相连；

在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层，采用第四道光罩工艺对所述钝化层进行图形化处理，得到位于所述钝化层上的第一通孔，所述第一通孔对应于所述漏极上方设置；在所述钝化层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述钝化层上的像素电极，所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连；或者，

15 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层，采用第四道光罩工艺对所述钝化层和平坦层进行图形化处理，得到位于所述钝化层和平坦层上的第二通孔，所述第二通孔对应于所述漏极上方设置；在所述平坦层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述平坦层上的像素电极，所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连；

20 其中，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线的步骤包括：

在所述衬底基板上沉积第一透明导电层，采用第一道光罩工艺对所述第一透明导电层进行图形化处理，得到栅极预定图案与扫描线预定图案以及公共电极与公共电极线；

30 在所述栅极预定图案与扫描线预定图案上镀上第一金属层，得到栅极与扫描线，其中，所述第一金属层的导电性能大于所述第一透明导电层的导电性能；

其中，所述第一透明导电层的材料包括透明导电金属氧化物；所述第

一金属层的材料包括铜；

其中，在所述栅极预定图案与扫描线预定图案上镀上第一金属层的工艺为电镀工艺；

其中，所述钝化层的材料包括氧化硅与氮化硅中的一种或多种，所述平坦层的材料为有机光阻材料。

本发明的有益效果：本发明的 FFS 型薄膜晶体管阵列基板的制作方法包括：在一道光罩工艺中形成栅极、扫描线、公共电极及公共电极线，与现有技术相比，简化了工艺制程，采用的光罩数量较少，制程时间较短，因此生产成本低。本发明的 FFS 型薄膜晶体管阵列基板的制作工艺简单，生产成本低，且具有优异的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的流程图；

图 2 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S11 制程的俯视示意图；

图 3 为图 2 的剖视示意图；

图 4 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S12 制程的俯视示意图；

图 5 为图 4 的剖视示意图；

图 6 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S2 制程的俯视示意图；

图 7 为图 6 的剖视示意图；

图 8 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S3 制程的俯视示意图；

图 9 为图 8 的剖视示意图；

图 10 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S4 制程的俯视示意图；

图 11a 与图 11b 为图 10 的剖视示意图；

图 12 为本发明的 FFS 型薄膜晶体管阵列基板的制作方法的步骤 S5 制程的俯视示意图；

图 13a 与图 13b 为图 12 的剖视示意图。

5 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种 FFS 型薄膜晶体管阵列基板的制作方法，包括如下步骤：

10 S1、如图 2 至图 5 所示，提供衬底基板 10，采用第一道光罩工艺在所述衬底基板 10 上形成栅极 21、扫描线 22、公共电极 23 及公共电极线 24；其中，所述栅极 21 与扫描线 22 相连，所述公共电极 23 与公共电极线 24 相连。

具体的，采用第一道光罩工艺在所述衬底基板 10 上形成栅极 21、扫描
15 线 22、公共电极 23 及公共电极线 24 的步骤包括：

S11、如图 2 与图 3 所示，在所述衬底基板 10 上沉积第一透明导电层 11，采用第一道光罩工艺对所述第一透明导电层 11 进行图形化处理，得到栅极预定图案 15 与扫描线预定图案 16 以及公共电极 23 与公共电极线 24；

20 S12、如图 4 与图 5 所示，在所述栅极预定图案 15 与扫描线预定图案 16 上镀上第一金属层 12，得到栅极 21 与扫描线 22，其中，所述第一金属层 12 的导电性能大于所述第一透明导电层 11 的导电性能。

具体的，所述第一透明导电层 11 的材料包括透明导电金属氧化物，如氧化铟锡（ITO），所述第一透明导电层 11 的沉积方法为物理气相沉积法（PVD）。

25 具体的，所述第一金属层 12 的材料包括铜。

由于公共电极 23 与公共电极线 24 不需要具有低电阻，因此，仅由第一透明导电层 11 构成即可满足其电学性能要求；由于栅极 21 与扫描线 22 需要具有低电阻，因此在第一透明导电层 11 上镀上导电性能更好的第一金属层 12（优选为铜）来制备栅极 21 与扫描线 22，能够降低其电阻值，使
30 其满足相应的电学性能要求。

具体的，在所述栅极预定图案 15 与扫描线预定图案 16 上镀上第一金属层 12 的工艺为电镀工艺。电镀过程中，对所述栅极预定图案 15 与扫描线预定图案 16 通电，对所述公共电极 23 与公共电极线 24 不通电，即可实现只在栅极预定图案 15 与扫描线预定图案 16 镀上第一金属层 12 而不在公

共电极 23 与公共电极线 24 镀上第一金属层 12。

具体的，本发明通过在栅极预定图案 15 与扫描线预定图案 16 上镀上第一金属层 12，可以提升制得的栅极 21 与扫描线 22 的导电性能。

具体的，所述衬底基板 10 为玻璃基板。

5 具体的，所述第一道光罩工艺包括涂光阻、曝光、显影、湿蚀刻及光阻剥离制程。

S2、如图 6 与图 7 所示，在所述栅极 21、扫描线 22、公共电极 23、公共电极线 24 及衬底基板 10 上沉积栅极绝缘层 30，在所述栅极绝缘层 30 上沉积半导体层 35，采用第二道光罩工艺对所述半导体层 35 进行图形化处理，
10 得到对应于所述栅极 21 上方的有源层 40。

具体的，所述栅极绝缘层 30 的材料包括氧化硅(SiO_x)与氮化硅(SiN_x)中的一种或多种。

具体的，所述半导体层 35 的材料包括非晶硅、多晶硅及金属氧化物中的一种或多种。

15 具体的，所述栅极绝缘层 30 与半导体层 35 的沉积方法均为化学气相沉积法 (CVD)。

具体的，所述第二道光罩工艺包括涂光阻、曝光、显影、干蚀刻及光阻剥离制程。

S3、如图 8 与图 9 所示，在所述有源层 40 与栅极绝缘层 30 上沉积源漏极金属层 45，采用第三道光罩工艺对所述源漏极金属层 45 进行图形化处理，得到源极 51、漏极 52 及数据线 53；其中，所述源极 51 与漏极 52 分别与所述有源层 40 相接触，所述数据线 53 与所述源极 51 相连。
20

具体的，所述源漏极金属层 45 的沉积方法为物理气相沉积方法(PVD)。

具体的，所述第三道光罩工艺包括涂光阻、曝光、显影、湿蚀刻及光阻剥离制程。
25

S4、如图 10 与图 11a 所示，在所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上形成钝化层 60，采用第四道光罩工艺对所述钝化层 60 进行图形化处理，得到位于所述钝化层 60 上的第一通孔 61，所述第一通孔 61 对应于所述漏极 52 上方设置；

30 或者，如图 10 与图 11b 所示，在所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上形成钝化层 60 与设于所述钝化层 60 上的平坦层 70，采用第四道光罩工艺对所述钝化层 60 和平坦层 70 进行图形化处理，得到位于所述钝化层 60 和平坦层 70 上的第二通孔 72，所述第二通孔 72 对应于所述漏极 52 上方设置。

具体的，所述钝化层 60 的材料包括氧化硅 (SiO_x) 与氮化硅 (SiN_x) 中的一种或多种，所述钝化层 60 的形成方法为化学气相沉积法 (CVD)。

具体的，所述平坦层 70 的材料为有机光阻材料，所述平坦层 70 的形成方法为涂膜工艺。

5 具体的，所述步骤 S4 中，如图 10 与图 11a 所示，在所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上形成钝化层 60 后，所述第四道光罩工艺包括涂光阻、曝光、显影、干蚀刻及光阻剥离制程。

10 如图 10 与图 11b 所示，在所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上形成钝化层 60 与设于所述钝化层 60 上的平坦层 70 后，所述第四道光罩工艺包括曝光、显影及干蚀刻制程。

具体的，通过在所述钝化层 60 上引入平坦层 70，可以提高后续制作的像素电极 80 的平坦性，进而提升液晶显示面板的稳定性。

15 S5、如图 12 与图 13a 所示，在所述钝化层 60 上沉积第二透明导电层 75，采用第五道光罩工艺对所述第二透明导电层 75 进行图形化处理，得到位于所述钝化层 60 上的像素电极 80，所述像素电极 80 通过位于所述钝化层 60 上的第一通孔 61 与所述漏极 52 相连；

20 或者，如图 12 与图 13b 所示，在所述平坦层 70 上沉积第二透明导电层 75，采用第五道光罩工艺对所述第二透明导电层 75 进行图形化处理，得到位于所述平坦层 70 上的像素电极 80，所述像素电极 80 通过位于所述钝化层 60 与平坦层 70 上的第二通孔 72 与所述漏极 52 相连。

具体的，所述第二透明导电层 75 的材料包括透明导电金属氧化物，如氧化铟锡 (ITO)，所述第二透明导电层 75 的沉积方法为物理气相沉积法 (PVD)。

25 具体的，所述第五道光罩工艺包括涂光阻、曝光、显影、湿蚀刻及光阻剥离制程。

本发明的 FFS 型薄膜晶体管阵列基板的制作方法包括：在一道光罩工艺中形成栅极 21、扫描线 22、公共电极 23 及公共电极线 24，与现有技术相比，简化了工艺制程，采用的光罩数量较少，制程时间较短，因此生产成本低。

30 请参阅图 12、图 13a 与图 13b，基于上述 FFS 型薄膜晶体管阵列基板的制作方法，本发明还提供一种 FFS 型薄膜晶体管阵列基板，包括：

衬底基板 10；

设于所述衬底基板 10 上的栅极 21、扫描线 22、公共电极 23 及公共电极线 24；其中，所述栅极 21 与扫描线 22 相连，所述公共电极 23 与公共电

极线 24 相连;

设于所述栅极 21、扫描线 22、公共电极 23、公共电极线 24 及衬底基板 10 上的栅极绝缘层 30;

设于所述栅极绝缘层 30 上且对应于所述栅极 21 上方的有源层 40;

5 设于所述有源层 40 与栅极绝缘层 30 上的源极 51 与漏极 52、设于所述栅极绝缘层 30 上的数据线 53; 其中, 所述源极 51 与漏极 52 分别与所述有源层 40 相接触, 所述数据线 53 与所述源极 51 相连;

10 设于所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上的钝化层 60, 所述钝化层 60 上设有对应于所述漏极 52 上方设置的第一通孔 61; 以及设于所述钝化层 60 上的像素电极 80, 所述像素电极 80 通过位于所述钝化层 60 上的第一通孔 61 与所述漏极 52 相连 (如图 13a 所示); 或者,

15 设于所述源极 51、漏极 52、数据线 53、有源层 40 及栅极绝缘层 30 上的钝化层 60 与设于所述钝化层 60 上的平坦层 70, 所述钝化层 60 和平坦层 70 上设有对应于所述漏极 52 上方设置的第二通孔 72; 以及设于所述平坦层 70 上的像素电极 80, 所述像素电极 80 通过位于所述钝化层 60 与平坦层 70 上的第二通孔 72 与所述漏极 52 相连 (如图 13b 所示)。

20 具体的, 所述公共电极 23 与公共电极线 24 包括设于所述衬底基板 10 上的第一透明导电层 11, 所述栅极 21 与扫描线 22 包括设于所述衬底基板 10 上的第一透明导电层 11 与设于所述第一透明导电层 11 上的第一金属层 12; 其中, 所述第一金属层 12 的导电性能大于所述第一透明导电层 11 的导电性能。

具体的, 所述第一透明导电层 11 的材料包括透明导电金属氧化物, 如氧化铟锡 (ITO)。

25 具体的, 所述第一金属层 12 的材料包括铜。

具体的, 所述衬底基板 10 为玻璃基板。

具体的, 所述栅极绝缘层 30 的材料包括氧化硅 (SiO_x) 与氮化硅 (SiN_x) 中的一种或多种。

30 具体的, 所述有源层 40 的材料包括非晶硅、多晶硅及金属氧化物中的一种或多种。

具体的, 所述钝化层 60 的材料包括氧化硅 (SiO_x) 与氮化硅 (SiN_x) 中的一种或多种, 所述平坦层 70 的材料为有机光阻材料。

具体的, 所述像素电极 80 的材料包括透明导电金属氧化物, 如氧化铟锡 (ITO)。

本发明的 FFS 型薄膜晶体管阵列基板的制作工艺简单，生产成本低，且具有优异的电学性能。

综上所述，本发明提供一种 FFS 型薄膜晶体管阵列基板及其制作方法。本发明的 FFS 型薄膜晶体管阵列基板的制作方法包括：在一道光罩工艺中
5 形成栅极、扫描线、公共电极及公共电极线，与现有技术相比，简化了工艺制程，采用的光罩数量较少，制程时间较短，因此生产成本低。本发明的 FFS 型薄膜晶体管阵列基板的制作工艺简单，生产成本低，且具有优异的电学性能。

10 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 FFS 型薄膜晶体管阵列基板的制作方法，包括：

5 提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线；其中，所述栅极与扫描线相连，所述公共电极与公共电极线相连；

在所述栅极、扫描线、公共电极、公共电极线及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述半导体层进行图形化处理，得到对应于所述栅极上方的有源层；

10 在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极及数据线；其中，所述源极与漏极分别与所述有源层相接触，所述数据线与所述源极相连；

在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层，采用第四道光罩工艺对所述钝化层进行图形化处理，得到位于所述钝化层上的第一通孔，所述第一通孔对应于所述漏极上方设置；在所述钝化层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述钝化层上的像素电极，所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连；或者，

15 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层，采用第四道光罩工艺对所述钝化层和平坦层进行图形化处理，得到位于所述钝化层和平坦层上的第二通孔，所述第二通孔对应于所述漏极上方设置；在所述平坦层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述平坦层上的像素电极，所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连。

2、如权利要求 1 所述的 FFS 型薄膜晶体管阵列基板的制作方法，其中，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线的步骤包括：

30 在所述衬底基板上沉积第一透明导电层，采用第一道光罩工艺对所述第一透明导电层进行图形化处理，得到栅极预定图案与扫描线预定图案以及公共电极与公共电极线；

在所述栅极预定图案与扫描线预定图案上镀上第一金属层，得到栅极与扫描线，其中，所述第一金属层的导电性能大于所述第一透明导电层的

导电性能。

3、如权利要求2所述的FFS型薄膜晶体管阵列基板的制作方法,其中,所述第一透明导电层的材料包括透明导电金属氧化物;所述第一金属层的材料包括铜。

5 4、如权利要求2所述的FFS型薄膜晶体管阵列基板的制作方法,其中,在所述栅极预定图案与扫描线预定图案上镀上第一金属层的工艺为电镀工艺。

10 5、如权利要求1所述的FFS型薄膜晶体管阵列基板的制作方法,其中,所述钝化层的材料包括氧化硅与氮化硅中的一种或多种,所述平坦层的材料为有机光阻材料。

6、如权利要求1所述的FFS型薄膜晶体管阵列基板的制作方法,其中,在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层后,所述第四道光罩工艺包括涂光阻、曝光、显影、干蚀刻及光阻剥离制程;

15 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层后,所述第四道光罩工艺包括曝光、显影及干蚀刻制程。

7、一种FFS型薄膜晶体管阵列基板,包括:

衬底基板;

20 设于所述衬底基板上的栅极、扫描线、公共电极及公共电极线;其中,所述栅极与扫描线相连,所述公共电极与公共电极线相连;

设于所述栅极、扫描线、公共电极、公共电极线及衬底基板上的栅极绝缘层;

设于所述栅极绝缘层上且对应于所述栅极上方的有源层;

25 设于所述有源层与栅极绝缘层上的源极与漏极、设于所述栅极绝缘层上的数据线;其中,所述源极与漏极分别与所述有源层相接触,所述数据线与所述源极相连;

30 设于所述源极、漏极、数据线、有源层及栅极绝缘层上的钝化层,所述钝化层上设有对应于所述漏极上方设置的第一通孔;以及设于所述钝化层上的像素电极,所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连;或者,

设于所述源极、漏极、数据线、有源层及栅极绝缘层上的钝化层与设于所述钝化层上的平坦层,所述钝化层和平坦层上设有对应于所述漏极上方设置的第二通孔;以及设于所述平坦层上的像素电极,所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连。

8、如权利要求 7 所述的 FFS 型薄膜晶体管阵列基板，其中，所述公共电极与公共电极线包括设于所述衬底基板上的第一透明导电层，所述栅极与扫描线包括设于所述衬底基板上的第一透明导电层与设于所述第一透明导电层上的第一金属层；其中，所述第一金属层的导电性能大于所述第一透明导电层的导电性能。

9、如权利要求 8 所述的 FFS 型薄膜晶体管阵列基板，其中，所述第一透明导电层的材料包括透明导电金属氧化物；所述第一金属层的材料包括铜。

10、如权利要求 7 所述的 FFS 型薄膜晶体管阵列基板，其中，所述钝化层的材料包括氧化硅与氮化硅中的一种或多种，所述平坦层的材料为有机光阻材料。

11、一种 FFS 型薄膜晶体管阵列基板的制作方法，包括：

提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线；其中，所述栅极与扫描线相连，所述公共电极与公共电极线相连；

在所述栅极、扫描线、公共电极、公共电极线及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述半导体层进行图形化处理，得到对应于所述栅极上方的有源层；

在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极及数据线；其中，所述源极与漏极分别与所述有源层相接触，所述数据线与所述源极相连；

在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层，采用第四道光罩工艺对所述钝化层进行图形化处理，得到位于所述钝化层上的第一通孔，所述第一通孔对应于所述漏极上方设置；在所述钝化层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述钝化层上的像素电极，所述像素电极通过位于所述钝化层上的第一通孔与所述漏极相连；或者，

在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层，采用第四道光罩工艺对所述钝化层和平坦层进行图形化处理，得到位于所述钝化层和平坦层上的第二通孔，所述第二通孔对应于所述漏极上方设置；在所述平坦层上沉积第二透明导电层，采用第五道光罩工艺对所述第二透明导电层进行图形化处理，得到位于所述平坦层上的像素电极，所述像素电极通过位于所述钝化层与平坦层上的第二通孔与所述漏极相连；

其中，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、公共电极及公共电极线的步骤包括：

5 在所述衬底基板上沉积第一透明导电层，采用第一道光罩工艺对所述第一透明导电层进行图形化处理，得到栅极预定图案与扫描线预定图案以及公共电极与公共电极线；

在所述栅极预定图案与扫描线预定图案上镀上第一金属层，得到栅极与扫描线，其中，所述第一金属层的导电性能大于所述第一透明导电层的导电性能；

10 其中，所述第一透明导电层的材料包括透明导电金属氧化物；所述第一金属层的材料包括铜；

其中，在所述栅极预定图案与扫描线预定图案上镀上第一金属层的工艺为电镀工艺；

其中，所述钝化层的材料包括氧化硅与氮化硅中的一种或多种，所述平坦层的材料为有机光阻材料。

15 12、如权利要求 11 所述的 FFS 型薄膜晶体管阵列基板的制作方法，其中，在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层后，所述第四道光罩工艺包括涂光阻、曝光、显影、干蚀刻及光阻剥离制程；

20 在所述源极、漏极、数据线、有源层及栅极绝缘层上形成钝化层与设于所述钝化层上的平坦层后，所述第四道光罩工艺包括曝光、显影及干蚀刻制程。

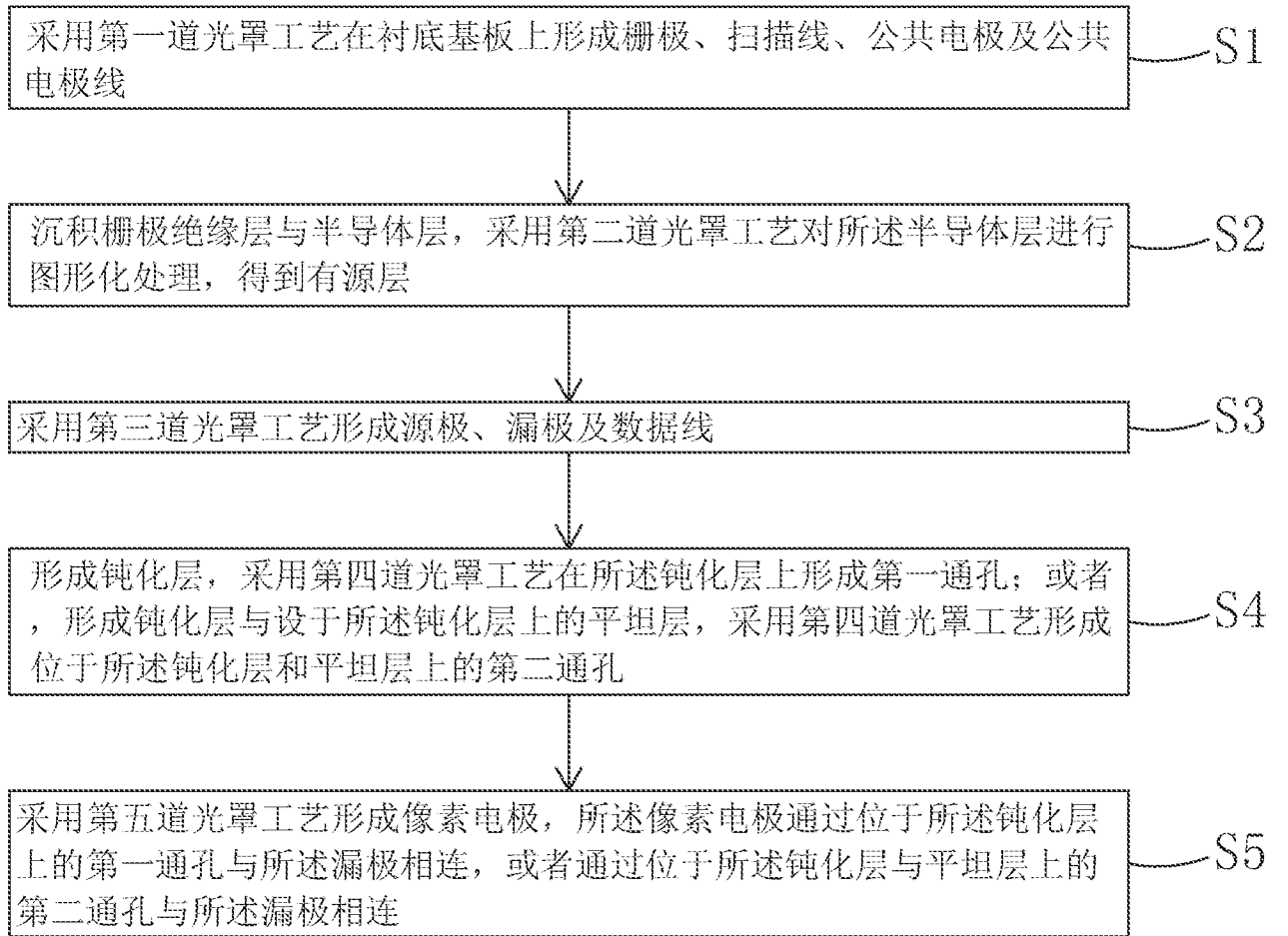


图 1

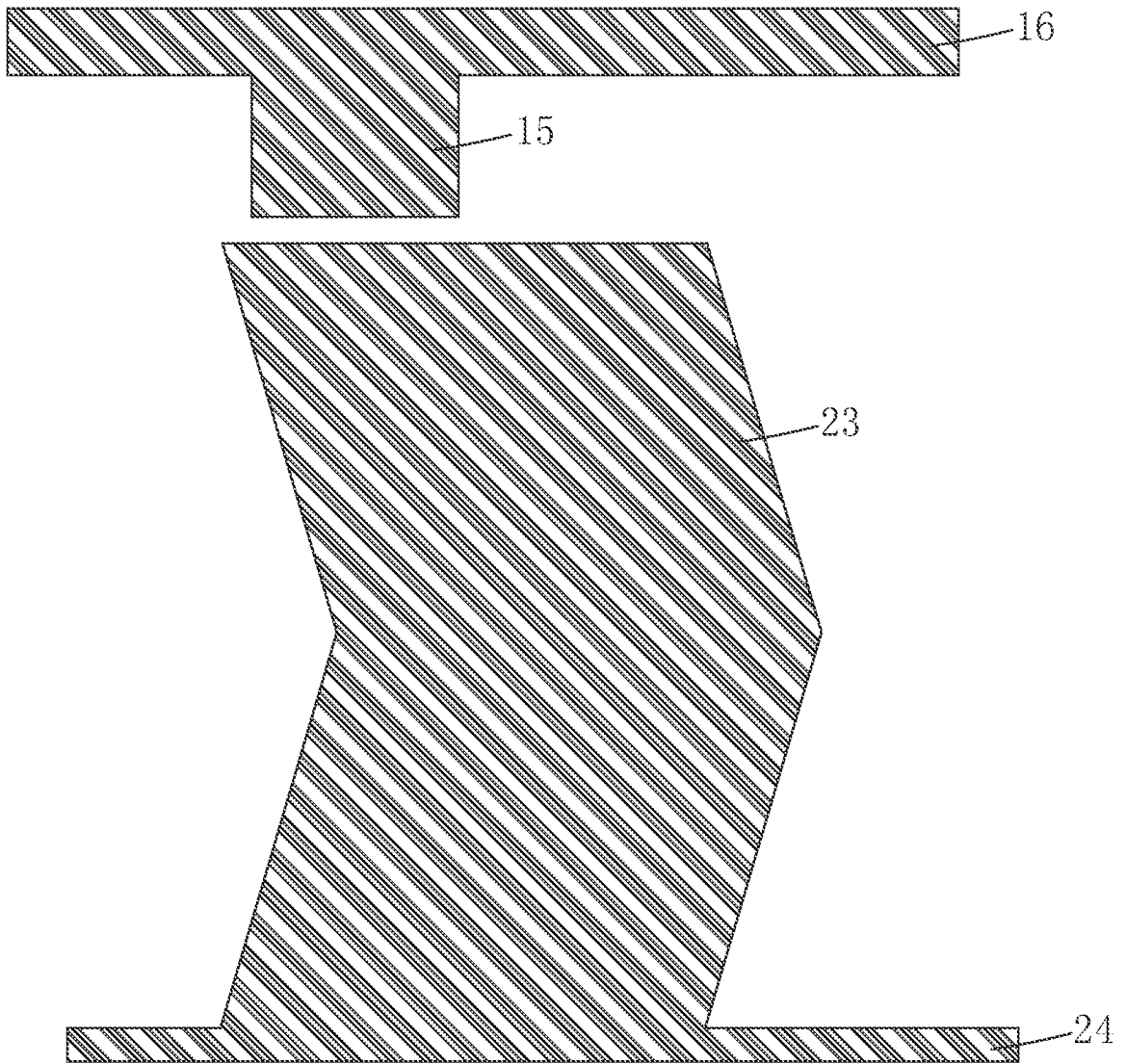


图2

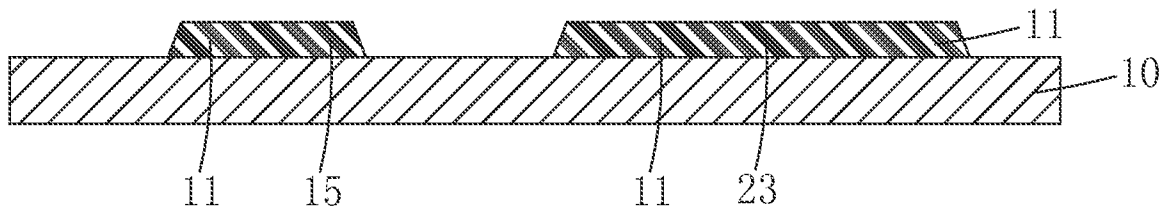


图3

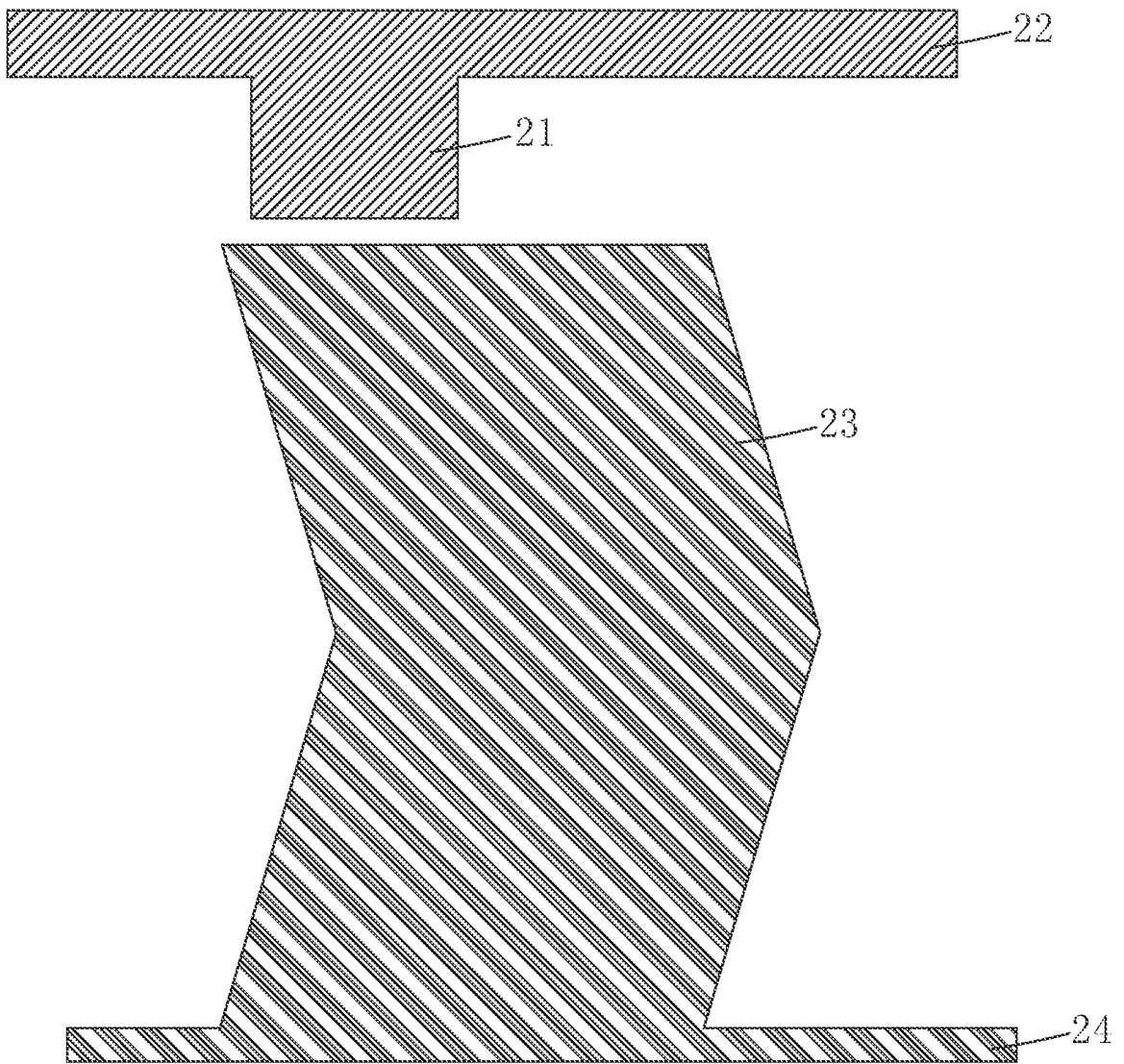


图4

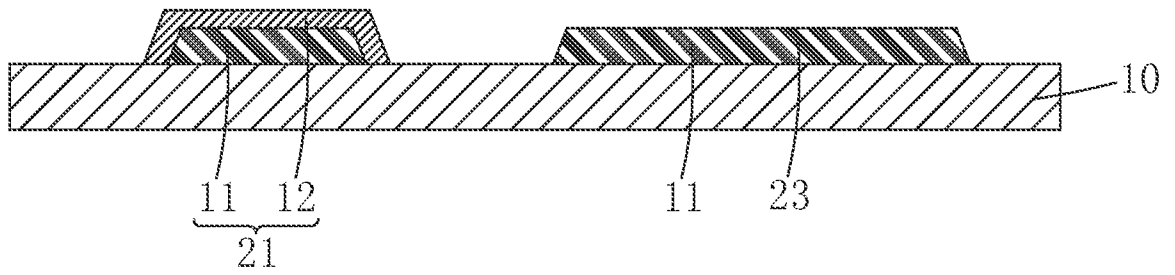


图5

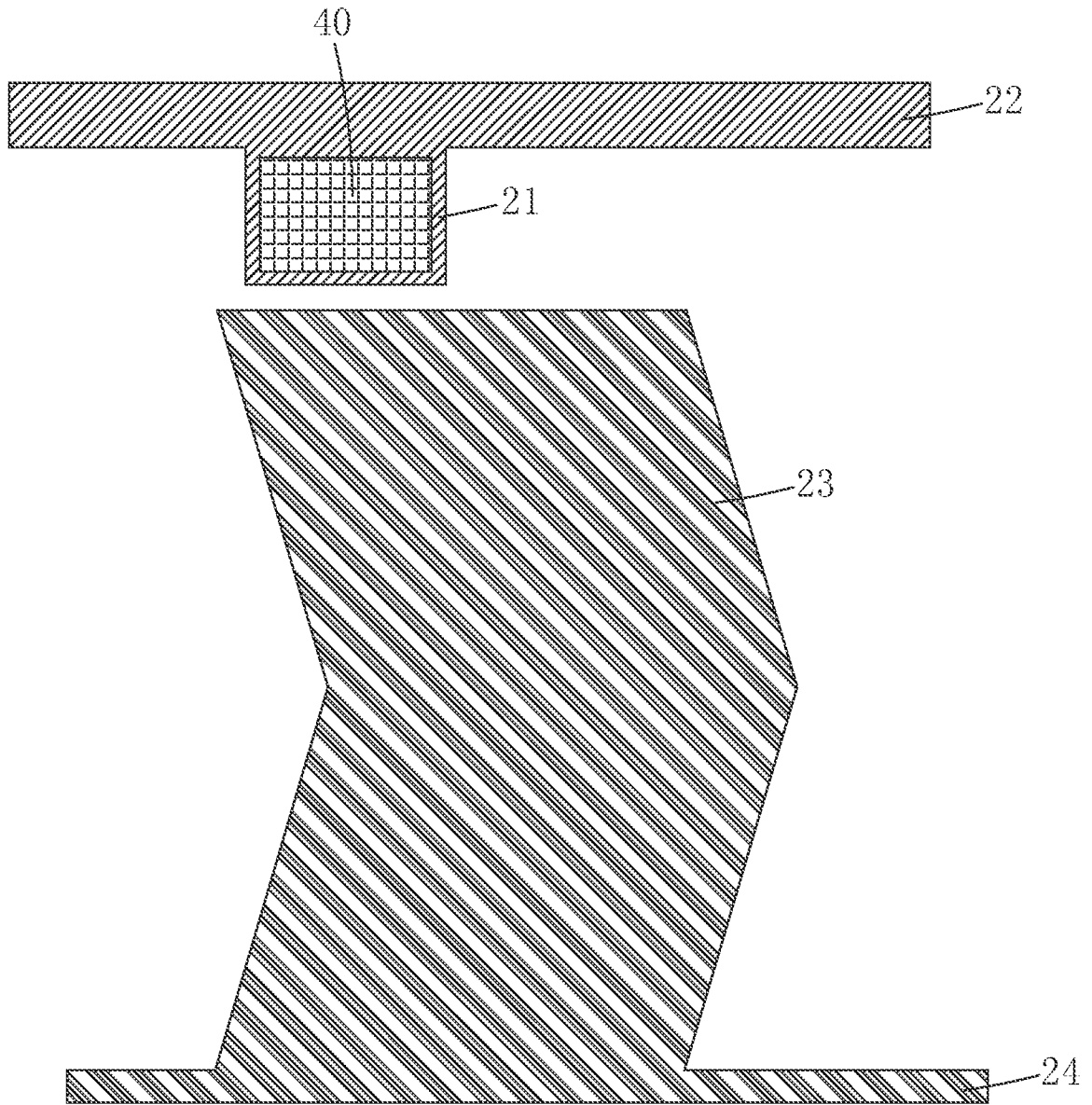


图6

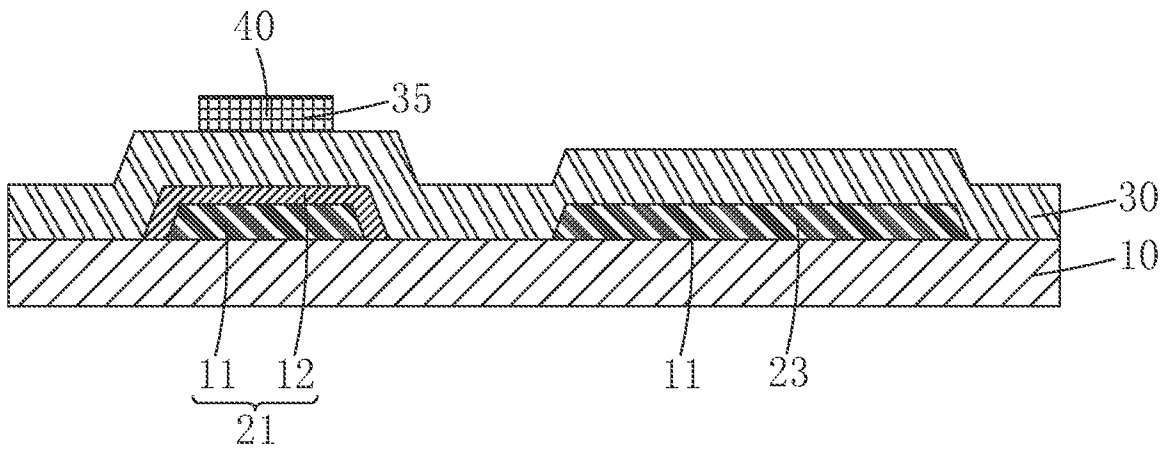


图7

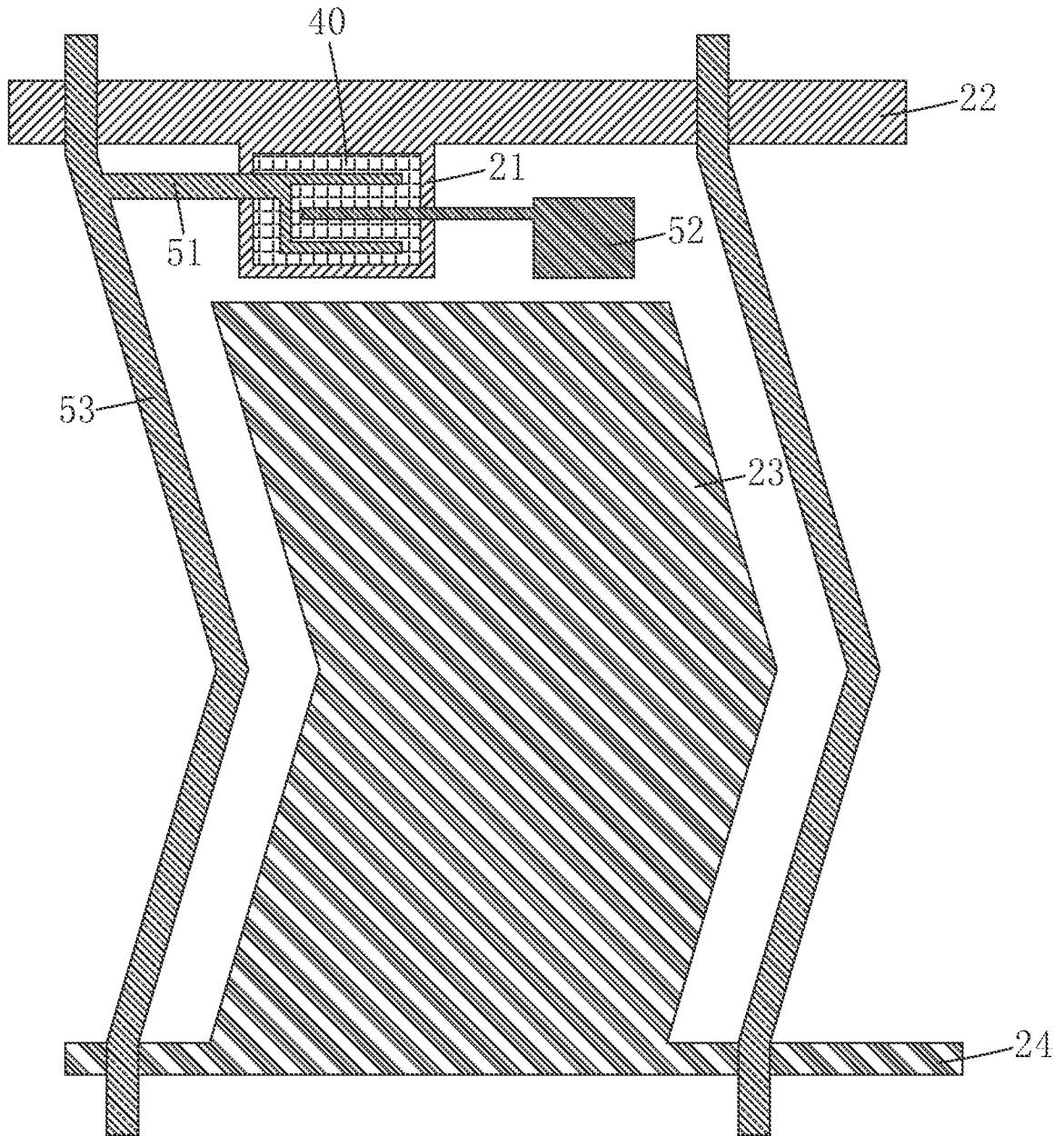


图8

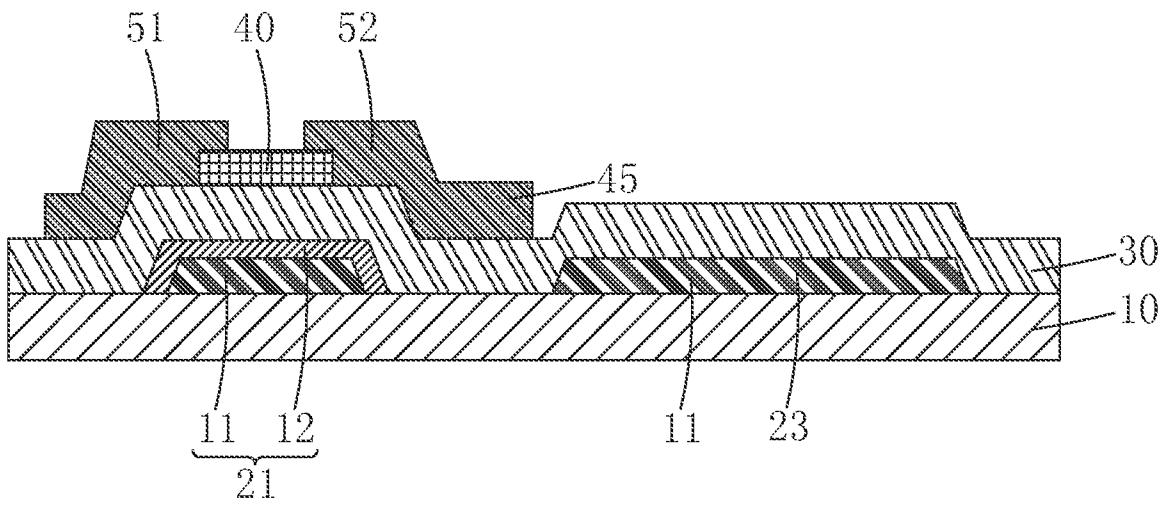


图9

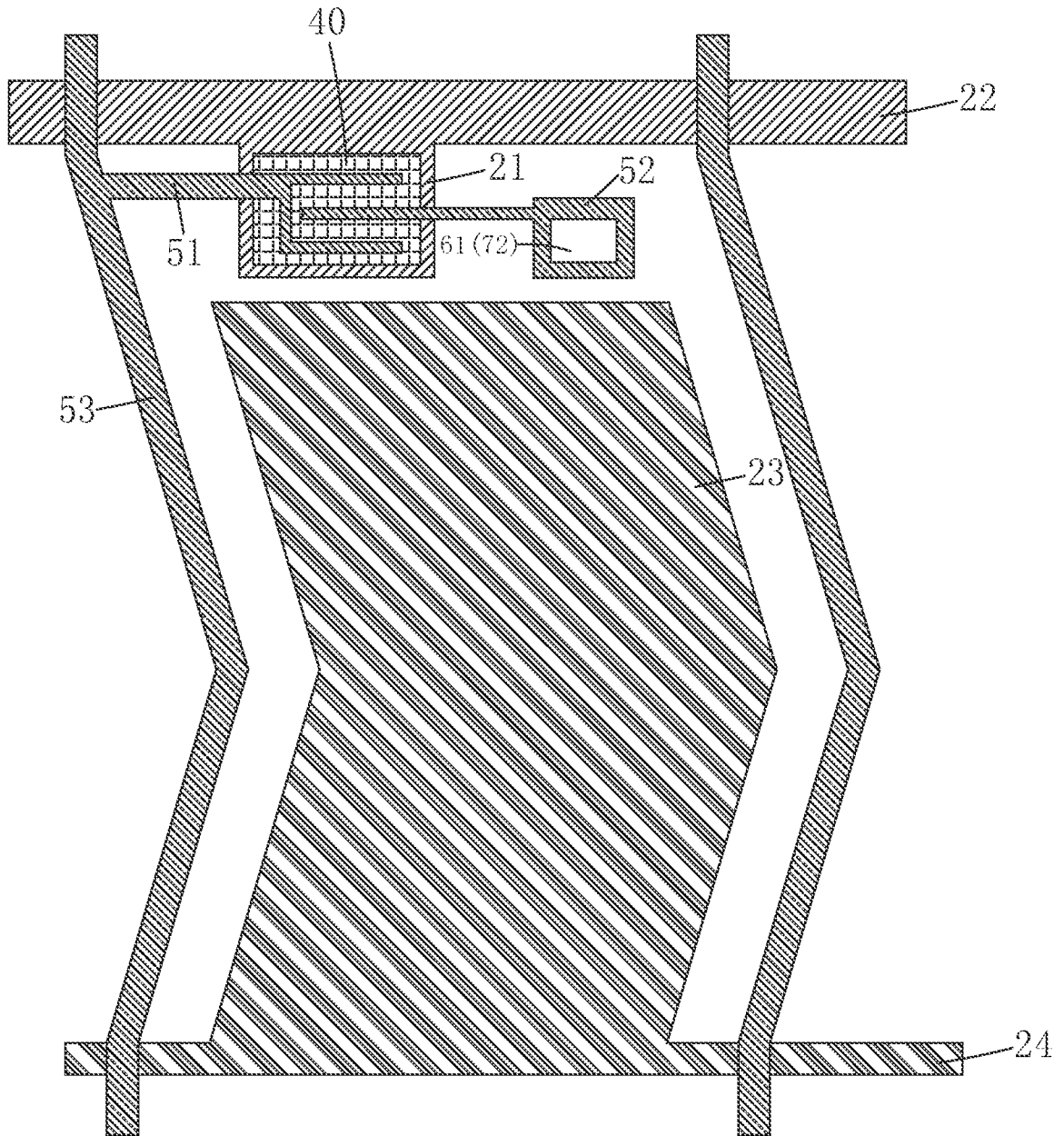


图10

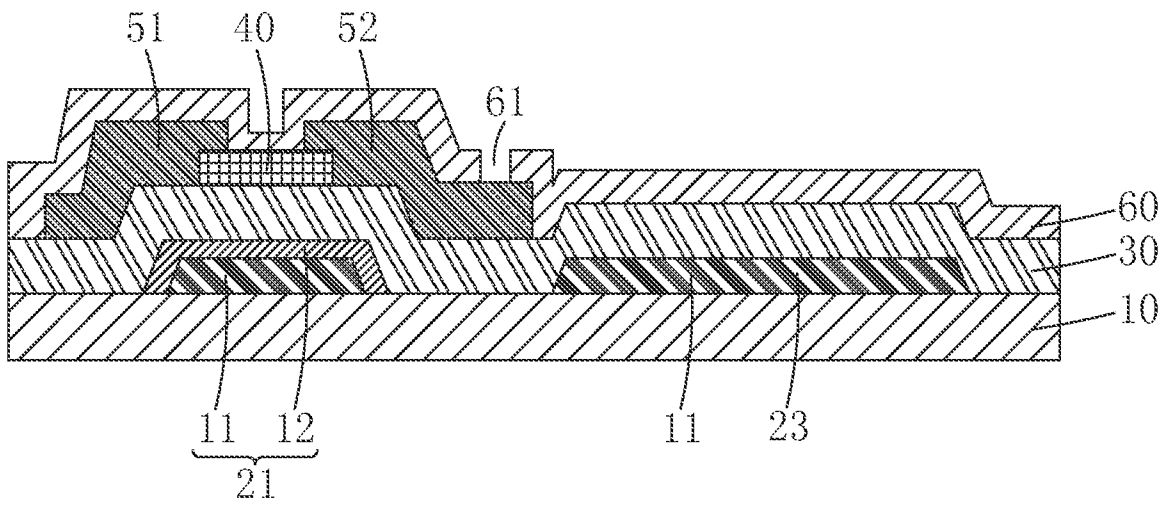


图11a

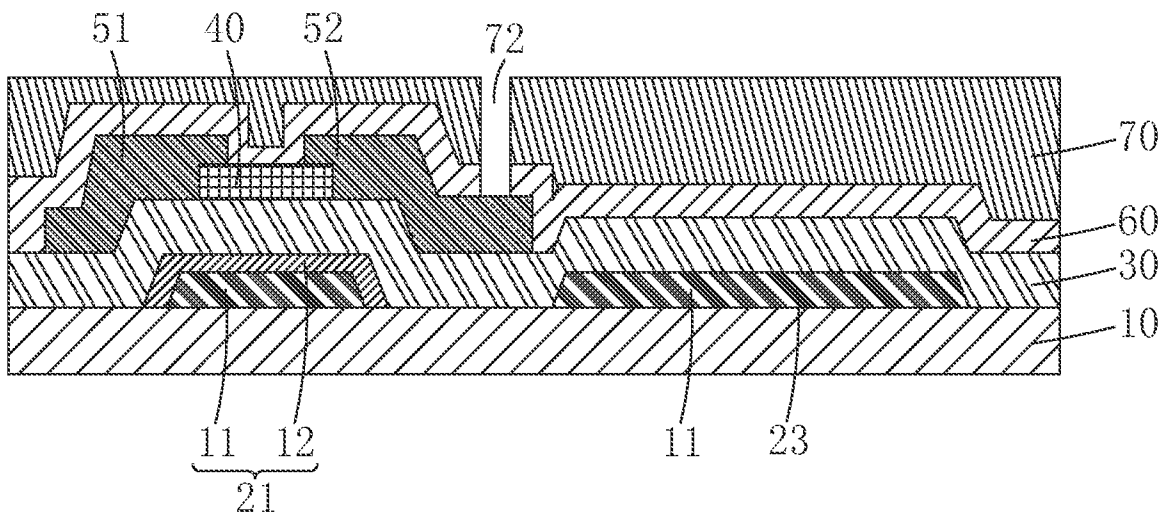


图11b

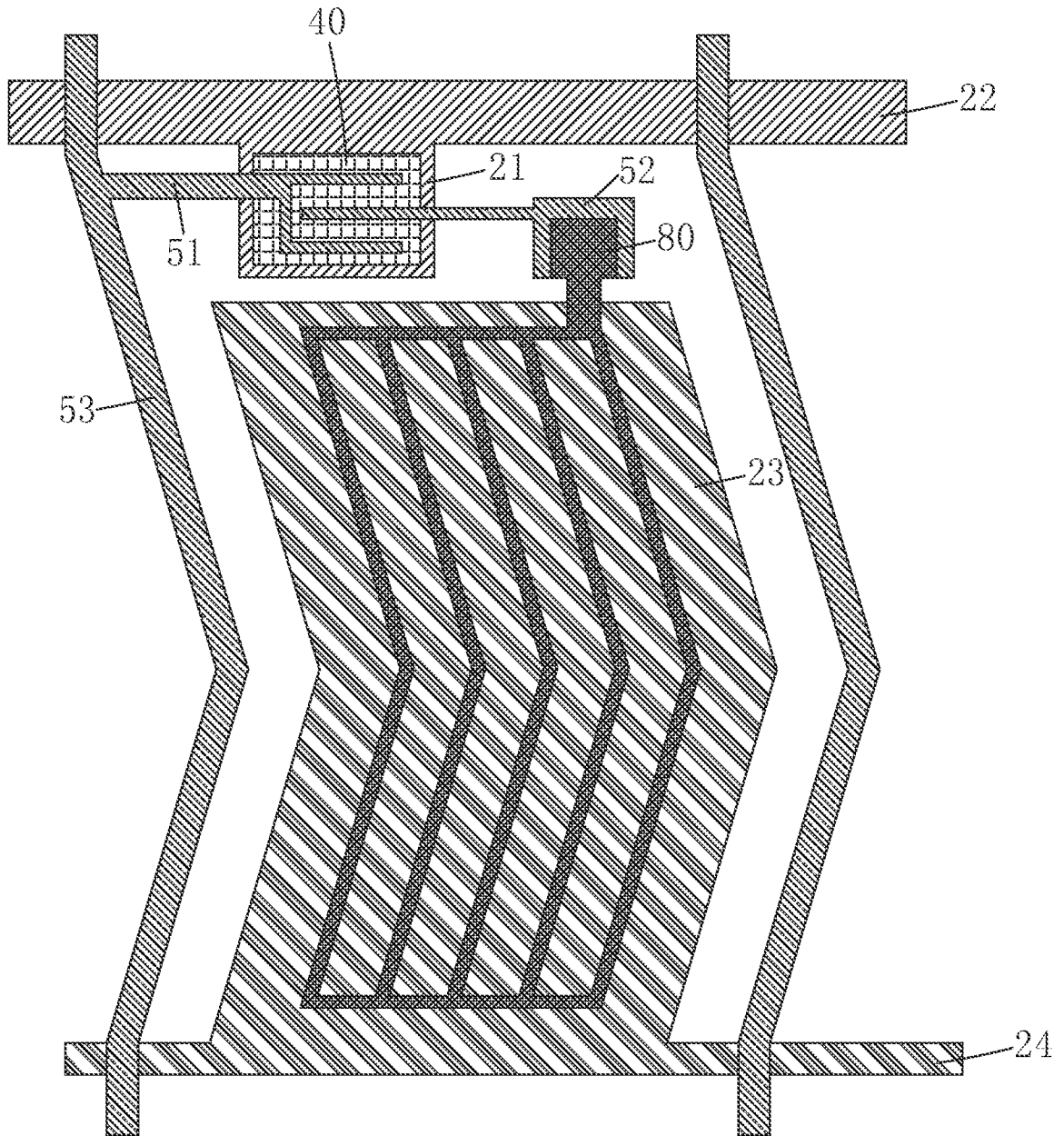


图12

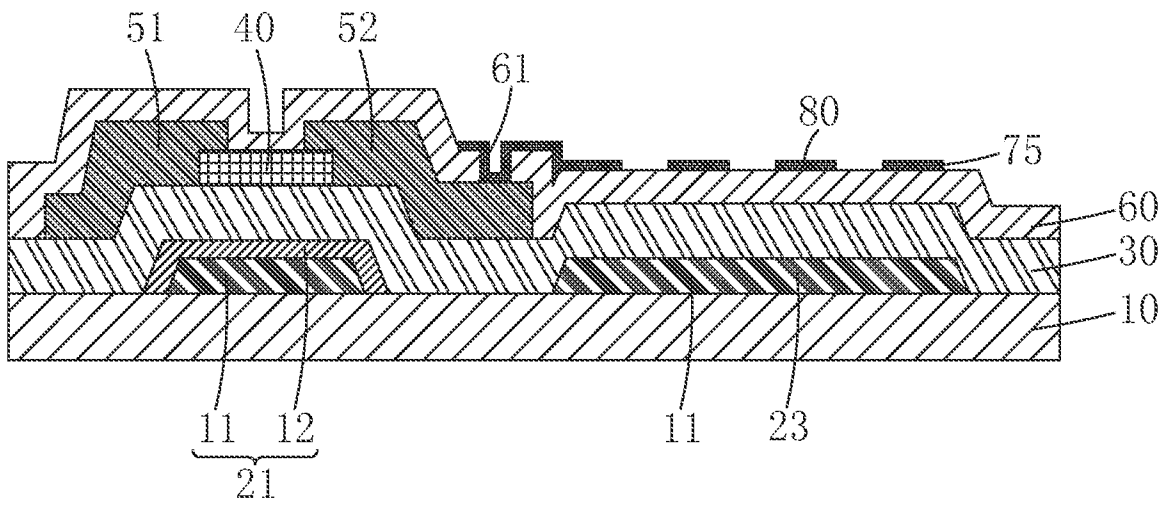


图13a

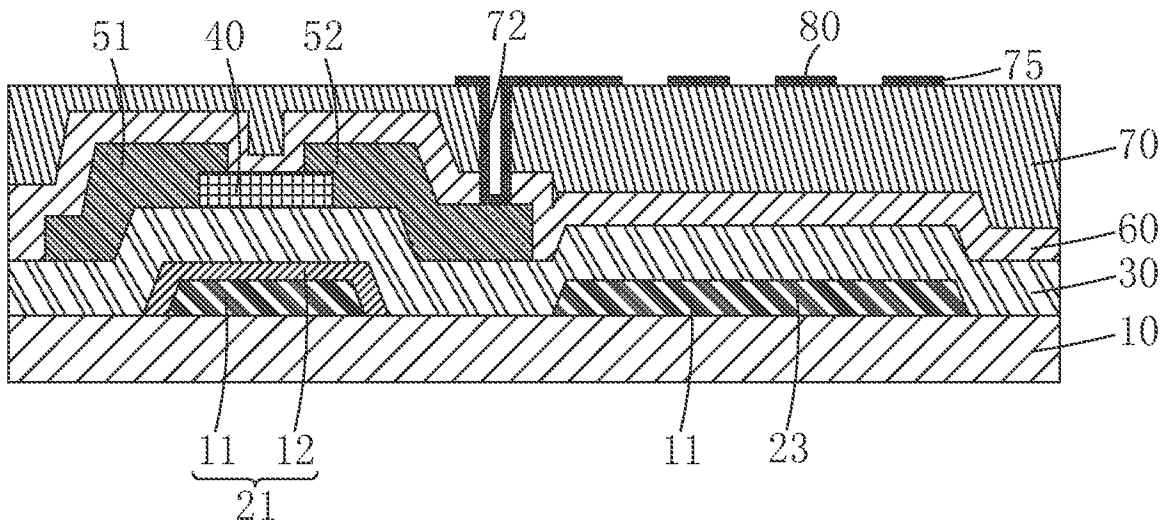


图13b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/117346

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, CNKI, IEEE: 阵列, 边缘电场, 栅, 导电层, 公共电极, 金属层, 透明导电, array, gate, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 107316875 A (SHENZHEN CSOT SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 03 November 2017 (2017-11-03) description, paragraphs [0031]-[0065], and figures 1-7	1-12
Y	CN 101847641 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 September 2010 (2010-09-29) description, paragraphs [0061]-[0069], and figures 10-13	1-12
Y	CN 105870136 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 August 2016 (2016-08-17) description, paragraphs [0060]-[0067], and figures 3, 9, and 10	2-4, 8, 9, 11
A	CN 104681565 A (LG DISPLAY CO., LTD.) 03 June 2015 (2015-06-03) entire document	1-12
A	CN 102769040 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 November 2012 (2012-11-07) entire document	1-12
A	CN 106711159 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.) 24 May 2017 (2017-05-24) entire document	1-12

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 July 2018

Date of mailing of the international search report

22 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/117346

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107316875	A	03 November 2017	None			
CN	101847641	A	29 September 2010	CN	101847641	B	28 December 2011
CN	105870136	A	17 August 2016	None			
CN	104681565	A	03 June 2015	CN	104681565	B	05 September 2017
				KR	20150062540	A	08 June 2015
				US	9530802	B2	27 December 2016
				US	2017092667	A1	30 March 2017
				US	2015155303	A1	04 June 2015
				US	9966393	B2	08 May 2018
CN	102769040	A	07 November 2012	US	2014077213	A1	20 March 2014
				CN	102769040	B	04 March 2015
				KR	20140024267	A	28 February 2014
				JP	2015525000	A	27 August 2015
				WO	2014015453	A1	30 January 2014
				US	9209308	B2	08 December 2015
				EP	2879187	A4	13 April 2016
				EP	2879187	A1	03 June 2015
CN	106711159	A	24 May 2017	None			

国际检索报告

国际申请号

PCT/CN2017/117346

<p>A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, CNKI, IEEE:阵列, 边缘电场, 栅, 导电层, 公共电极, 金属层, 透明导电, array, gate, electrode</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 107316875 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 3日 (2017 - 11 - 03) 说明书第[0031]-[0065]段、图1-7</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>CN 101847641 A (京东方科技集团股份有限公司) 2010年 9月 29日 (2010 - 09 - 29) 说明书第[0061]-[0069]段、图10-13</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>CN 105870136 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0060]-[0067]段、图3, 9-10</td> <td>2-4, 8-9, 11</td> </tr> <tr> <td>A</td> <td>CN 104681565 A (乐金显示有限公司) 2015年 6月 3日 (2015 - 06 - 03) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 102769040 A (京东方科技集团股份有限公司) 2012年 11月 7日 (2012 - 11 - 07) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 106711159 A (上海天马微电子有限公司) 2017年 5月 24日 (2017 - 05 - 24) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 107316875 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 3日 (2017 - 11 - 03) 说明书第[0031]-[0065]段、图1-7	1-12	Y	CN 101847641 A (京东方科技集团股份有限公司) 2010年 9月 29日 (2010 - 09 - 29) 说明书第[0061]-[0069]段、图10-13	1-12	Y	CN 105870136 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0060]-[0067]段、图3, 9-10	2-4, 8-9, 11	A	CN 104681565 A (乐金显示有限公司) 2015年 6月 3日 (2015 - 06 - 03) 全文	1-12	A	CN 102769040 A (京东方科技集团股份有限公司) 2012年 11月 7日 (2012 - 11 - 07) 全文	1-12	A	CN 106711159 A (上海天马微电子有限公司) 2017年 5月 24日 (2017 - 05 - 24) 全文	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 107316875 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 3日 (2017 - 11 - 03) 说明书第[0031]-[0065]段、图1-7	1-12																					
Y	CN 101847641 A (京东方科技集团股份有限公司) 2010年 9月 29日 (2010 - 09 - 29) 说明书第[0061]-[0069]段、图10-13	1-12																					
Y	CN 105870136 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0060]-[0067]段、图3, 9-10	2-4, 8-9, 11																					
A	CN 104681565 A (乐金显示有限公司) 2015年 6月 3日 (2015 - 06 - 03) 全文	1-12																					
A	CN 102769040 A (京东方科技集团股份有限公司) 2012年 11月 7日 (2012 - 11 - 07) 全文	1-12																					
A	CN 106711159 A (上海天马微电子有限公司) 2017年 5月 24日 (2017 - 05 - 24) 全文	1-12																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																							
国际检索实际完成的日期	国际检索报告邮寄日期																						
2018年 7月 26日	2018年 8月 22日																						
ISA/CN的名称和邮寄地址	受权官员																						
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	武建刚																						
传真号 (86-10)62019451	电话号码 86-(10)-53961218																						

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/117346

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107316875	A	2017年 11月 3日	无			
CN	101847641	A	2010年 9月 29日	CN	101847641	B	2011年 12月 28日
CN	105870136	A	2016年 8月 17日	无			
CN	104681565	A	2015年 6月 3日	CN	104681565	B	2017年 9月 5日
				KR	20150062540	A	2015年 6月 8日
				US	9530802	B2	2016年 12月 27日
				US	2017092667	A1	2017年 3月 30日
				US	2015155303	A1	2015年 6月 4日
				US	9966393	B2	2018年 5月 8日
CN	102769040	A	2012年 11月 7日	US	2014077213	A1	2014年 3月 20日
				CN	102769040	B	2015年 3月 4日
				KR	20140024267	A	2014年 2月 28日
				JP	2015525000	A	2015年 8月 27日
				WO	2014015453	A1	2014年 1月 30日
				US	9209308	B2	2015年 12月 8日
				EP	2879187	A4	2016年 4月 13日
				EP	2879187	A1	2015年 6月 3日
CN	106711159	A	2017年 5月 24日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)