



(10) **DE 10 2017 126 727 A1** 2019.05.16

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2017 126 727.1**

(22) Anmeldetag: **14.11.2017**

(43) Offenlegungstag: **16.05.2019**

(51) Int Cl.: **H02M 1/32 (2007.01)**

H02M 3/335 (2006.01)

H02M 3/156 (2006.01)

(71) Anmelder:

Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:

**Kraus & Weisert Patentanwälte PartGmbB, 80539
München, DE**

(72) Erfinder:

**Mao, Ming Ping, Singapore, SG; Bao, Tong,
Singapore, SG; Thian, Yaw Hann, Singapore, SG;
Yu, Weifu, Singapore, SG**

(56) Ermittelter Stand der Technik:

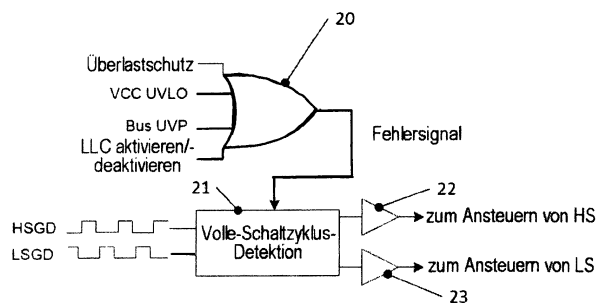
GB	2 455 568	A
US	2015 / 0 062 973	A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Schaltnetzteil-Steuerung**

(57) Zusammenfassung: Bei einigen Ausführungsformen wird beim Detektieren eines Fehlerzustands das Schalten in einem Schaltnetzteil erst deaktiviert, nachdem ein aktueller Schaltzyklus des Schaltnetzteils beendet ist.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Anmeldung betrifft Steuerungen für Schaltnetzteile (SMPS - Switched Mode Power Supplies), entsprechende Schaltnetzteile und zugeordnete Verfahren.

HINTERGRUND

[0002] Schaltnetzteile werden häufig verwendet, um Versorgungsspannungen an ein oder mehrere Schaltungsteile zu liefern. Einige Schaltnetzteile verwenden Merkmale wie etwa Leistungsfaktorkorrektur (PFC - Power Factor Correction). Schaltnetzteile können beispielsweise durch Verwenden eines Transformators eine galvanische Trennung bereitstellen. In derartigen Schaltnetzteilen wird Energie selektiv an eine Primärseite des Transformators geliefert, indem primärseitige Schalter mit einer Schaltfrequenz betrieben werden, oft mit einem Pulsweitenmodulationsschema. Eine Schaltfrequenz von solchen primärseitigen Schaltern wird geregelt, um eine gewünschte Ausgangsspannung zu erhalten, die für eine bestimmte Anwendung benötigt wird.

[0003] Auf einer Sekundärseite können Gleichrichter in Schaltnetzteilen verwendet werden. Einige Implementierungen verwenden Synchrongleichrichter, die synchron mit primärseitigen Schaltern betriebene Schalter verwenden, um einen DC(Direct Current - Gleichstrom)-Ausgang bereitzustellen. Deshalb kann eine Beispieltopologie eines Schaltnetzteil(SMPS)-Systems eine Leistungsfaktorkorrekturschaltung, eine Spannungswandlerschaltung wie etwa einen LLC-Wandler und eine Synchrongleichrichtungs(SR - Synchronous Rectification)-Schaltung enthalten. Es können auch andere Arten von Spannungswandlern als LLC-Wandler, beispielsweise andere Resonanzwandler, verwendet werden.

[0004] Das Schalten von primärseitigen Schaltern von solchen SMPS-Systemen und von Synchrongleichrichter (SR)-Schaltern wird in vielen Fällen optimiert, um Schaltverluste zu minimieren. Beispielsweise können Konzepte wie das Nullspannungsschalten (ZVS - Zero Voltage Switching) für primärseitige Schalter oder das Schalten bei einem Nullstrom für SR-Schalter verwendet werden.

[0005] Dennoch kann in einigen Situationen ein kürzerer Schaltzyklus, beispielsweise eine kürzere Einschaltzeit eines Schalters, als im normalen Betrieb auftreten. Ein Beispiel für eine derartige Situation ist, wenn der Strom eines Systems (Versorgungsspannung) abgeschaltet ist, entweder aufgrund eines Stromausfalls oder weil ein Benutzer das System ausschaltet. In einem derartigen Fall kann die Versorgungsspannung einer Steuerung (beispiels-

weise primärseitiger LLC-Steuerung) schnell unter eine Schwellwertspannung reduziert werden, was zu einem Zurücksetzen führt. Dies wiederum kann Ausgangsspannungen von Gate-Treibern einstellen, die Gates von primären Schaltern oder sekundären Synchrongleichrichterschaltern auf Werte setzen, die die Schalter sofort ausschalten. Deshalb kann eine letzte Einschaltzeit bei einem derartigen Ereignis kürzer sein als vorausgegangene Einschaltzeiten eines jeweiligen Schalters.

[0006] Eine andere Situation kann im Fall von anderen auftretenden Fehlerbedingungen auftreten. Schaltnetzteilssysteme, insbesondere bei Verwendung in sicherheitskritischen Umgebungen, können verschiedene Fehlerdetektionsmerkmale wie etwa Unterspannungsdetektion, Überspannungsdetektion, Überstromdetektion usw. verwenden. Falls ein entsprechender Fehlerzustand auftritt, kann das Schalten auch sofort beendet werden, was zu kürzeren Einschaltzeiten von einem oder mehreren Schaltern führt. Beispielsweise kann eine Steuerung für Synchrongleichrichterschalter durch einen Ausgang eines LLC-Wandlers versorgt werden. Wenn der LLC-Ausgang gestoppt wird, wird diese Steuerung zurückgesetzt, was zu einer kürzeren Einschaltzeit eines Synchrongleichrichterschalters führen kann.

[0007] Solche verkürzten Einschaltzeiten können in einigen Situationen zu Spannungssoszillationen an Ausgangskondensatoren von Synchrongleichrichterschaltern (beispielsweise als MOSFETs umgesetzt) und folglich zu Spannungsspitzen an dem Synchrongleichrichterschalter führen. Solche Spannungsspitzen können den Schalter beeinträchtigen und/oder können erfordern, dass der Schalter so ausgelegt ist, dass er solche Spannungsspitzen aushält, was einen zum Implementieren des Schalters erforderlichen Bereich und die Kosten erhöht.

KURZDARSTELLUNG

[0008] Gemäß einer Ausführungsform wird eine Schaltnetzteil-Steuerung bereitgestellt, umfassend: mindestens einen Ausgangsanschluss zum Steuern des Schaltens von mindestens einem Schalter eines Schaltnetzteils, und eine Volle-Schaltzyklus-Detektionsschaltung, die ausgebildet ist zum Deaktivieren des Schaltens des mindestens einen Schalters bei Empfang eines Fehlersignals erst nach Beendigung eines aktuellen Schaltzyklus.

[0009] Gemäß einer weiteren Ausführungsform wird eine Schaltnetzteil-Steuerung bereitgestellt, umfassend:

einen ersten Gatepulsgenerator, der ausgebildet ist zum Erzeugen eines Steuersignals für einen High-Side-Schalter eines Schaltnetzteils,

einen zweiten Gatepulsgenerator, der ausgebildet ist zum Erzeugen eines Steuersignals für einen Low-Side-Schalter des Schaltnetzteils,

mindestens eine Triggerverbindung zwischen dem ersten Gatepulsgenerator und dem zweiten Gatepulsgenerator, wobei der erste Gatepulsgenerator ausgebildet ist zum Starten des Erzeugens eines Gatesteuerpulses nach dem Empfangen eines Triggersignals über die mindestens eine Triggersignalverbindung von dem zweiten Gatepulsgenerator, das anzeigt, dass der zweite Gatepulsgenerator einen Steuerpuls beendet hat, und wobei der zweite Gatepulsgenerator ausgebildet ist zum Starten des Erzeugens eines Gatesteuerpulses nach dem Empfangen eines Triggersignals über das mindestens eine Triggersignal von dem ersten Gatepulsgenerator, das anzeigt, dass der erste Gatepulsgenerator die Generierung eines Gatesteuerpulses beendet hat, und

eine Steuerungslogik, die ausgebildet ist zum Unterbrechen der mindestens einen Triggersignalverbindung im Fall eines Fehlerzustands.

[0010] Gemäß einer weiteren Ausführungsform wird ein Verfahren bereitgestellt, umfassend:

Detektieren eines Fehlerzustands in einem Schaltnetzteil, und Deaktivieren des Schaltens in dem Schaltnetzteil als Reaktion auf das Detektieren des Fehlerzustands nach Beenden eines aktuellen Schaltzyklus.

[0011] Gemäß noch einer weiteren Ausführungsform wird ein Verfahren bereitgestellt, umfassend:

Detektieren eines Fehlerzustands, und

Deaktivieren einer Triggerverbindung zwischen einem High-Side-Gatepulsgenerator und einem Low-Side-Gatepulsgenerator, wobei jeder des High-Side-Gatepulsgenerators und des Low-Side-Gatepulsgenerators ausgelegt ist zum Starten des Erzeugens eines Gatesteuerpulses nach dem Empfangen eines Triggersignals über die Triggerverbindung, dass der andere des ersten Gatepulsgenerators und des zweiten Gatepulsgenerators das Erzeugen eines Gatesteuerpulses beendet hat.

[0012] Die obige kurze Darstellung soll lediglich einen kurzen Überblick über einige Merkmale einiger Ausführungsformen vermitteln und soll nicht als beschränkend ausgelegt werden. Insbesondere können andere Ausführungsformen andere Merkmale als jene oben aufgeführten enthalten.

Figurenliste

Fig. 1 ist ein Diagramm, das ein Schaltnetzteil als eine Beispielumgebung darstellt.

Fig. 2 veranschaulicht Teile einer Steuerung gemäß einer Ausführungsform.

Fig. 3 veranschaulicht einen Teil einer Steuerung gemäß einer weiteren Ausführungsform.

Fig. 4 veranschaulicht einen Teil einer Steuerung gemäß einer weiteren Ausführungsform.

Fig. 5 veranschaulicht Beispielsignale für die Ausführungsform von **Fig. 4**.

Fig. 6 veranschaulicht einen Teil einer Steuerung gemäß einer Ausführungsform.

Fig. 7 ist ein Flussdiagramm, das ein Verfahren gemäß einer Ausführungsform darstellt.

Fig. 8 ist ein Teil einer Steuerung gemäß einer weiteren Ausführungsform.

Fig. 9 ist ein Flussdiagramm, das ein Verfahren gemäß einer Ausführungsform darstellt.

Fig. 10 veranschaulicht einen Teil einer Steuerung gemäß einem Vergleichsbeispiel.

Fig. 11 bis Fig. 13 veranschaulichen Beispielsignale und Simulationsergebnisse für eine Steuerung gemäß einer Ausführungsform und dem Vergleichsbeispiel von **Fig. 10**.

AUSFÜHRLICHE BESCHREIBUNG

[0013] Nachfolgend werden verschiedene Ausführungsformen unter Bezugnahme auf die beigefügten Zeichnungen ausführlich erörtert. Es ist anzumerken, dass diese Ausführungsformen lediglich als Beispiele angegeben werden und nicht als beschränkend auszulegen sind. Während beispielsweise Ausführungsformen so beschrieben werden können, dass sie mehrere Merkmale oder Elemente umfassen, können in anderen Ausführungsformen einige dieser Merkmale oder Elemente entfallen und/oder durch alternative Merkmale oder Elemente ersetzt sein. Außerdem können zusätzlich zu den explizit gezeigten und beschriebenen Merkmalen oder Elementen weitere Merkmale oder Elemente verwendet werden, beispielsweise Merkmale oder Elemente, die in herkömmlichen Schaltnetzteilen oder Schaltnetzteil-Steuerungen verwendet werden. Insbesondere werden nachfolgend Teile von Steuerungen und Schaltnetzteilen bezüglich einer Beendigung (Deaktivierung) des Schaltens im Fall von gewissen Fehler- oder ähnlichen Zuständen erörtert. Andere Merkmale von solchen Steuerungen oder Schaltnetzteilssystemen, insbesondere Merkmale oder Elemente bezüglich des regelmäßigen Betriebs, können wie in herkömmlichen Einrichtungen umgesetzt sein.

[0014] Merkmale von verschiedenen Ausführungsformen können kombiniert werden, um weitere Ausführungsformen auszubilden. Bezüglich einer der Ausführungsformen beschriebene Variationen und Modifikationen können auch auf andere Ausführungsformen angewendet werden.

[0015] In den gezeigten und beschriebenen Ausführungsformen kann jede direkte elektrische Verbindung oder Kopplung zwischen Elementen oder Komponenten, d.h. Verbindung oder Kopplung ohne dazwischenliegende Elemente, auch durch eine indirekte Verbindung oder Kopplung ersetzt werden, d.h. eine Verbindung oder Kopplung, die ein oder mehrere zusätzliche dazwischenliegende Elemente umfasst, solange der allgemeine Zweck der Verbindung oder Kopplung, beispielsweise zum Liefern einer gewissen Art von Signal, zum Übertragen einer gewissen Art von Informationen oder zum Liefern einer gewissen Art von Steuerung, im Wesentlichen beibehalten wird. Mit anderen Worten kann die Verbindung oder Kopplung modifiziert werden, solange die allgemeine Funktion einer Verbindung oder Kopplung beibehalten wird.

[0016] In der folgenden Beschreibung wird auf Schalter Bezug genommen. Schalter können als Transistoren, beispielsweise als MOS-Transistoren, umgesetzt werden. Ein Schalter wird als eingeschaltet oder geschlossen bezeichnet, wenn er eine niederohmige Verbindung zwischen Anschlüssen (beispielsweise Source- und Drainanschlüssen im Fall von MOSFET-Schaltern) bereitstellt. Ein Schalter wird als ausgeschaltet oder offen bezeichnet, wenn er im Wesentlichen eine elektrische Isolation zwischen den Anschlüssen bereitstellt (vielleicht abgesehen von unerwünschten Leckströmen, die in realen Einrichtungen auftreten können).

[0017] Zur Vermeidung von Wiederholungen sind in den Figuren ähnliche Komponenten mit den gleichen Bezugszahlen bezeichnet und werden nicht wiederholt.

[0018] Hierin beschriebene Ausführungsformen stellen verschiedene Techniken bereit, um sicherzustellen, dass ein Schaltzyklus (beispielsweise Einschaltzeit eines Schalters) in einem Schaltnetzteil mit seiner vollen Länge beendet ist, bevor das Schalten abgeschlossen wird.

[0019] Nunmehr unter Bezugnahme auf die Figuren stellt **Fig. 1** schematisch eine Umsetzung eines Schaltnetzteils (SMPS) als eine Beispielumgebung dar, in der hierin erörterte Techniken umgesetzt werden können. Dies ist jedoch lediglich ein Beispiel zu Veranschaulichungszwecken, und hierin erörterte Techniken können in verschiedenen Arten und Umsetzungen der Schaltnetzteile und Schaltnetzteil-Steuerungen umgesetzt werden, beispiels-

weise unter Verwendung verschiedener Arten von Spannungswandlern.

[0020] Das SMPS von **Fig. 1** empfängt eine Eingangsspannung V_{bus} und gibt eine Ausgangsspannung V_{out} aus. V_{bus} kann eine Spannung von einer unregelmäßigen Stromversorgung wie Netzstrom sein oder kann eine Spannung sein, die bereits durch gewisse Schaltungen modifiziert ist, beispielsweise eine Leistungsfaktorkorrektur (PFC - Power Factor Correction)-Schaltung.

[0021] Das SMPS von **Fig. 1** umfasst weiterhin einen LLC-Wandler. Der LLC-Wandler umfasst eine High-Side-Schalter **12**, einen Low-Side-Schalter **13** und einen Transformator **14**. Die Schalter **12**, **13** können als MOSFET-Schalter umgesetzt sein, wie gezeigt. Die Schalter **12**, **13** sind an eine Primärseite des Transformators **14** gekoppelt und werden durch eine Steuerung **10** betätigt, um Energie selektiv an den Transformator **14** zu schicken. Die Steuerung **10** kann als ein einzelner integrierter Chip umgesetzt sein, kann aber auch auf andere Weisen umgesetzt werden, beispielsweise als ein integrierter Chip zusammen mit einer peripheren Schaltungsanordnung außerhalb des Chips. Insbesondere koppelt der High-Side-Schalter **12** die Eingangsspannung V_{bus} selektiv an die Primärseite des Transformators **14**, und der Low-Side-Schalter **13** koppelt selektiv Masse an die Primärseite des Transformators **14**.

[0022] Zum Erzeugen der Ausgangsspannung V_{out} sind Synchrongleichrichter (SR - Synchronous Rectifier)-Schalter **15**, **16** an eine Sekundärseite des Transformators **14** gekoppelt, wie gezeigt. Die SR-Schalter **15**, **16** können als MOSFET-Transistoren umgesetzt sein. Die Schalter **15**, **16** werden über eine Treiberschaltung **18** auf synchrone Weise mit dem Schalten der Schalter **12**, **13** durch die Steuerung **10** gesteuert, um eine gleichgerichtete Ausgangsspannung V_{out} auszugeben. Die Spannung V_{out} wird über eine Rückkopplung **17** mit einem Optokoppler, um eine galvanische Trennung bereitzustellen, zurück an die Steuerung **10** geführt. Auf Basis dieser Rückkopplung kann die Steuerung **10** das Schalten der primären Schalter **12**, **13** zum Verstellen der Ausgangsspannung V_{out} auf einen Sollwert und das entsprechende Schalten der Synchrongleichrichter-Schalter **15**, **16** steuern.

[0023] Die Steuerung der Schalter **12**, **13**, **15**, **16** während des normalen Betriebs des SMPS kann auf jede herkömmliche Weise bewirkt werden. Außerdem können die Steuerung **10** und/oder das SMPS von **Fig. 1** Techniken umsetzen, wie nachfolgend unter Bezugnahme auf die **Fig. 2-13** erörtert, um sicherzustellen, dass ein Schaltzyklus beendet ist, bevor das Schalten abgeschlossen ist (gestoppt, deaktiviert), und zwar im Fall von Fehlerzuständen wie etwa Unterspannungszuständen, Überlastzuständen

oder einem Ausschalten des SMPS. Abgesehen von den hier und unten erörterten Techniken kann die Steuerung **10** auf jede herkömmliche Weise umgesetzt werden.

[0024] Fig. 2 veranschaulicht ein Blockdiagramm eines Teils einer Steuerung für ein Schaltnetzteil gemäß einer Ausführungsform. Als ein Beispiel kann die Schaltung von Fig. 2 in der Steuerung **10** von Fig. 1 oder auch außerhalb der Steuerung **10** in dem SMPS von Fig. 1 umgesetzt werden.

[0025] In Fig. 2 werden ein Signal HSGD, das zum Steuern eines High-Side-Schalters wie etwa des Schalters **12** von Fig. 1 verwendet wird, und ein Signal LSGD, das zum Steuern eines Low-Side-Schalters wie etwa dem Schalter **13** von Fig. 1 verwendet wird, an eine Volle-Schaltzyklus-Detektionsschaltung **21** geliefert. Weiterhin empfängt im Fall eines Fehlerzustands die Volle-Schaltzyklus-Detektion **21** ein Fehlersignal. Wie in Fig. 2 durch ein ODER-Gatter **20** symbolisiert, kann solch ein Fehlersignal ein Überlastschutzsignal sein, wenn eine Überlast (zum Beispiel eine zu hohe Stromausgabe) detektiert wird, kann ein Unterspannungssignal VCCUVLO sein, das eine Unterspannung in einer Versorgungsspannung einer Steuerung wie etwa der Steuerung **10** detektiert, kann ein Busunterspannungsschutzsignal als Reaktion auf eine Busspannung wie Vbus in Fig. 1 sein, die unter einem Schwellwert liegt, oder kann auf ein Deaktivieren eines Spannungswandlers wie etwa des LLC-Wandlers von Fig. 1 zurückzuführen sein (LLC aktivieren/deaktivieren), um lediglich einige wenige Beispiele zu nennen. Es sei angemerkt, dass jedes Ereignis- oder Fehlersignal verwendet werden kann, auf das als Reaktion das Ausschalten der Schalter **12**, **13** abgeschlossen werden sollte, oder mit anderen Worten als Reaktion worauf der Betrieb des SMPS abgeschlossen oder suspendiert werden sollte.

[0026] Die Volle-Schaltzyklus-Detektionsschaltung **21** leitet im normalen Betrieb die Signale HSGD, LSGD an die Treiber **22** bzw. **23** weiter, um den High-Side-(HS) bzw. Low-Side-(LS)-Schalter anzusteuern. Wenn ein Fehlersignal empfangen wird, das anzeigt, dass ein Schalten abgeschlossen werden sollte, verzögert diese Volle-Schaltzyklus-Detektionsschaltung **21** diesen Abschluss, bis ein aktueller Schaltzyklus des High-Side-Schalters oder des Low-Side-Schalters beendet ist (d.h. eine Einschaltdauer des Schalters wird bei der regelmäßigen Dauer gehalten, und kein Schalter wird „in der Mitte“ seiner Einschaltzeit ausgeschaltet), und danach wird das Schalten beendet, indem sowohl der High-Side-Schalter als auch der Low-Side-Schalter über die Treiber **22**, **23** offengehalten wird. Insbesondere kann bei einigen Umsetzungen die Volle-Schaltzyklus-Detektion **21** das Schalten bei einer nächsten Totzeit zwischen Einschaltzeiten des High-Side-Schalters und Einschalt-

zeiten des Low-Side-Schalters abschließen. In dieser Hinsicht ist eine Totzeit eine Zeit, wenn sowohl der High-Side-Schalter als auch der Low-Side-Schalter beim regelmäßigen Betrieb offen sind. Wie anhand der Signale HSGD, LSGD im normalen Betrieb gesehen werden kann, werden der High-Side-Schalter **12** und der Low-Side-Schalter **13** auf abwechselnde Weise geöffnet und geschlossen. Falls beide Schalter gleichzeitig geschlossen wurden, würde ein Kurzschluss zwischen der Spannung Vbus und Masse resultieren. Deshalb werden zwischen dem Öffnen des einen und dem Schließen des anderen der Schalter kurze Totzeiten eingeführt, um zuverlässig zu verhindern, dass beide Schalter zur gleichen Zeit geschlossen werden.

[0027] Bei einigen Ausführungsformen kann dies Spannungsspitzen reduzieren, die entstehen könnten, wenn das Schalten unmittelbar als Reaktion auf das Fehlersignal abgeschlossen wird, beispielsweise während einer Einschaltzeit eines High-Side-Schalters oder eines Low-Side-Schalters.

[0028] Fig. 3 veranschaulicht einen Teil einer Steuerung wie die Steuerung **10** gemäß einer Ausführungsform und veranschaulicht eine Umsetzung einer Volle-Schaltzyklus-Detektionsschaltung wie in Fig. 2 dargestellt.

[0029] In Fig. 3 wird ein Fehlersignal von verschiedenen Quellen geliefert, wie durch ein ODER-Gatter **20** symbolisiert, wie für Fig. 2 erläutert. Weiterhin werden Signale HSGD und LSGD wie in Fig. 2 zum Ansteuern eines High-Side-Schalters und eines Low-Side-Schalters über die Treiber **22**, **23** im normalen Betrieb bereitgestellt, ebenfalls wie in Fig. 2 gezeigt. Die Signale HSGD, LSGD werden an die Treiber **22** bzw. **23** über Schalter **S1**, **S2** geliefert, die im normalen Betrieb geschlossen sind, so dass der High-Side-Schalter und der Low-Side-Schalter gemäß den Signalen HSGD, LSGD angesteuert werden. Weiterhin werden die Signale HSGD, LSGD an ein NICHT-ODER-Gatter **31** geliefert. Dieses Gatter gibt deshalb ein Signal aus, das H ist (beispielsweise logische 1), wenn sowohl HSGD als auch LSGD L sind (was einen offenen Zustand des jeweiligen Schalters anzeigt) und ansonsten null. Mit anderen Worten ist das von dem NICHT-ODER-Gatter **31** ausgegebene Signal während der obenerwähnten Totzeiten auf H.

[0030] Das Fehlersignal und das durch das NICHT-ODER-Gatter **31** ausgegebene Signal werden an ein UND-Gatter **32** geliefert. Deshalb gibt das UND-Gatter **32** einen hohen Signalpegel aus (beispielsweise entsprechend einer logischen 1), wenn das Fehlersignal einen Fehlerzustand anzeigt, und das durch das NICHT-ODER-Gatter **31** ausgegebene Signal zeigt eine Totzeit an und gibt ansonsten eine Null aus. Der Ausgang des UND-Gatters **32** wird an einen Setz-/Rücksetz-Flipflop **33** geliefert. Ein Ausgang des

Setz-/Rücksetz-Flipflop **33** steuert die Schalter **S1**, **S2**. Wenn in diesem Fall ein Fehlersignal einen Fehlerzustand anzeigt, gibt der Setz-/Rücksetz-Flipflop eine logische 1 bei der nächsten Totzeit unter Öffnung der Schalter **S1**, **S2** aus und beendet dadurch das Schalten. Auf diese Weise wird sichergestellt, dass ein aktueller Schaltzyklus (Einschaltzeit des High-Side-Schalters oder des Low-Side-Schalters) abgeschlossen wird und nur dann das Schalten abgeschlossen wird. Dies kann in einigen Umsetzungen Spannungsspitzen verhindern oder reduzieren.

[0031] Fig. 4 veranschaulicht einen Teil einer SM-PS-Steuerung wie die Steuerung **10** gemäß einer weiteren Ausführungsform. In der Ausführungsform von Fig. 4 wird wieder ein Fehlersignal von verschiedenen Quellen, wie durch ein ODER-Gatter **20** symbolisiert, an ein UND-Gatter **32** geliefert. Ein Ausgang des UND-Gatters **32** ist an den bereits unter Bezugnahme auf Fig. 3 beschriebenen Setz-/Rücksetz-Flipflop **33** gekoppelt, und ein Ausgang des Setz-/Rücksetz-Flipflop kann das Schalten abschließen, beispielsweise durch Öffnen von Schaltern wie den Schaltern **S1**, **S2** in Fig. 3.

[0032] Weiterhin umfasst die Ausführungsform von Fig. 4 eine Schaltung **43**. Die Schaltung **43** umfasst im Wesentlichen einen Oszillator, der zum Erzeugen von Steuersignalen für den High-Side-Schalter und den Low-Side-Schalter wie die zuvor beschriebenen Signale **HSGD**, **LSGD** verwendet wird, um ein Signal, das Totzeiten anzeigt, direkt zu Erzeugen. Die Schaltung **43** umfasst eine Ladestromquelle **44**, die einen Knoten V_{CF} mit einem Ladestrom I_{chg} lädt, wenn ein Schalter **40** geschlossen ist, und eine Entladestromquelle **411**, die den Knoten V_{CF} mit einem Strom I_{disc} entlädt, wenn ein Schalter **410** geschlossen ist. Die Spannung am Knoten V_{CF} wird an einem positiven Eingang eines ersten Komparators **47** und an einen negativen Eingang eines zweiten Komparators **48** geliefert. Ein erster Schwellwert V_{CH} ist an einen Eingang des Komparators **47** gekoppelt und eine zweite Schwellwertspannung V_{CL} ist an einen positiven Eingang des Komparators **48** gekoppelt. Ein Ausgang des Komparators **47** ist an einen Rücksetzeingang eines ersten Setz-/Rücksetz-Flipflop **46** und an einen zweiten Eingang eines zweiten Setz-/Rücksetz-Flipflop **49** gekoppelt. Ein Ausgang des Komparators **48** ist an einen Setzeingang des ersten Setz-/Rücksetz-Flipflop **46** und einen Rücksetzeingang des zweiten Setz-/Rücksetz-Flipflop **49** gekoppelt. Ein Ausgang des Setz-/Rücksetz-Flipflop **46** steuert den Schalter **40**, und ein Ausgang des Setz-/Rücksetz-Flipflop **49** steuert den Schalter **410**.

[0033] Der Ausgang des Setz-/Rücksetz-Flipflop ist mit V_{delay} gekennzeichnet und wird zum Steuern des Schalters **410** verwendet. Gleichzeitig Erzeugen dieses Signal und das Entladen die Totzeiten des Schaltens und wird als ein Eingang zu einem UND-Gatter

34 als ein Signal verwendet, das Totzeiten anzeigt. Der Effekt ist im Wesentlichen der Gleiche, wie unter Bezugnahme auf Fig. 3 erläutert, das heißt, das Schalten wird erst nach Beendigung eines Schaltzyklus abgeschlossen, so dass die Einschaltzeit nicht verkürzt wird, wenn ein Fehlerzustand auftritt.

[0034] Auf Basis von durch den Komparator **47**, **48** ausgegebenen Signalen werden zusätzliche Steuerspannungen V_{LG} , V_{HG} generiert. V_{LG} steuert einen Low-Side-Schalter (beispielsweise entsprechend dem Signal **LSGD** oder als Basis dafür), und V_{HG} ist eine entsprechende Spannung für den High-Side-Schalter. Die Spannungen V_{LG} , V_{HG} werden erzeugt, wie gezeigt, unter Verwendung eines D-Latch **412**, eines Setz-/Rücksetz-Flipflop **413**, eines Inverters **414** und UND-Gattern **415**, **416**, die wie in Fig. 4 gezeigt gekoppelt sind.

[0035] Fig. 5 veranschaulicht Beispielsignale auf Basis der Ausführungsform von Fig. 4. Wie aus Beispielspannungen V_{LG} , V_{HG} in Fig. 5 ersichtlich ist, werden der Low-Side-Schalter und der High-Side-Schalter abwechselnd eingeschaltet, während die Spannung V_{CF} von 1 V auf 4 V in dem Beispiel von Fig. 5 ansteigt, wobei Totzeiten während des Entladens von V_{CF} der Spannung V_{delay} entsprechen. Eine Länge der Totzeit ist in Fig. 5 mit t_d gekennzeichnet.

[0036] Außerdem tritt im Beispiel von Fig. 5 zu einer gewissen Zeit ein Fehler auf, was zu einer Spannung (Fehlersignal) V_{fault} führt. Das Signal zum Abschließen des Schaltens, das von dem Setz-/Rücksetz-Flipflop **33** ausgegeben wird, wird um eine durch einen Pfeil **50** angezeigte Zeit bis zu einem Beginn einer nächsten Totzeit verzögert, wie am Boden von Fig. 5 dargestellt.

[0037] Es sei angemerkt, dass die in Fig. 5 explizit angegebenen Signalwellenformen und -spannungen lediglich als nichtbeschränkende Beispiele dienen, um eine weitere Darstellung bereitzustellen, und nicht als beschränkend auszulegen sind, da andere Umsetzungen andere Signalwellenformen besitzen können. Weiterhin können Einschaltzeiten des High-Side-Schalters und des Low-Side-Schalters in Abhängigkeit von der Sollausgangsspannung des SM-PS variiert werden.

[0038] In einigen Fällen kann es geschehen, dass eine Versorgungsspannung zu einer Steuerung wie der Steuerung **10** so schnell abfällt, dass das Schalten abgeschlossen würde, bevor die nächste Totzeit erreicht sein kann. In diesem Fall kann eine frühe Detektion einer abfallenden Versorgungsspannung eingesetzt werden, um in der Lage zu sein, das Schalten abzuschließen, erst nachdem ein Schaltzyklus beendet worden ist.

[0039] Fig. 6 veranschaulicht ein Ausführungsbeispiel, das solche Techniken einsetzt. In Fig. 6 entspricht Schaltung 43 der bereits unter Bezugnahme auf Fig. 4 beschriebenen Schaltung 43 und wird nicht wieder ausführlich beschrieben. Weiterhin wird in Fig. 6 die Steuerungsversorgungsspannung Vcc (siehe beispielsweise Fig. 1) an einem negativen Eingang eines Komparators 60 und weiterhin über ein Filter, das einen Widerstand 61, einen Kondensator 63 und eine Spannungsquelle 62 umfasst, an einen positiven Eingang des Komparators 60 geliefert. Im Fall einer Abnahme der Spannung über eine durch den Filter 61, 62, 63 bestimmten Schwellwertsteigung gibt der Komparator 60 ein Fehlersignal aus, das zu einem Abschluss des Schaltens bei einer nächsten Totzeit führt, d.h. nach Beendigung eines nächsten Schaltzyklus. Es sei angemerkt, dass der Ausgang des Komparators 60 auch an ein ODER-Gatter geliefert werden kann, um mit anderen Fehlersignalen verknüpft zu werden, wie das ODER-Gatter 20 von Fig. 2.

[0040] Fig. 7 ist ein Flussdiagramm, das ein Verfahren gemäß einer Ausführungsform darstellt. Zur leichteren Bezugnahme und zum besseren Verständnis wird das Verfahren von Fig. 7 unter Bezugnahme auf die Fig. 1 bis Fig. 6 erläutert. Es sei jedoch angemerkt, dass das Verfahren von Fig. 7 auch in anderen SMPS-Steuerungen und anderen SMPS als denen umgesetzt werden kann, die explizit gezeigt und unter Bezugnahme auf Fig. 1-6 beschrieben sind.

[0041] Bei 70 in Fig. 7 umfasst das Verfahren das Detektieren eines Fehlerzustands in einem SMPS. Ein derartiger Fehlerzustand kann einen Überlastzustand, Unterspannungen, ein Abschalten des SMPS oder eine abfallende Versorgungsspannung einer Steuerung beinhalten, wie bezüglich Fig. 1-6 erläutert.

[0042] Bei 71 umfasst das Verfahren das Deaktivieren des Schaltens von primären Schaltern eines Spannungswandlers des SMPS und optional auch von sekundärseitigen Schaltern wie Synchrongleichrichterschaltern ab einer nächsten Totzeit der primärseitigen Schalter. Mit anderen Worten wird das Schalten erst deaktiviert, nachdem ein aktueller Schaltzyklus beendet worden ist, wie ebenfalls oben erläutert.

[0043] Die obigen Ausführungsformen lassen sich insbesondere auf analoge Steuerungsdesigns oder auf periphere Schaltungsdesigns von digitalen Steuerungen anwenden. In rein digitalen Lösungen können andere Ansätze ergriffen werden. Ein Ausführungsbeispiel für einen derartigen Ansatz ist in Fig. 8 gezeigt. Fig. 8 veranschaulicht einen Teil einer SMPS-Steuerung gemäß einer Ausführungsform, die beispielsweise in digitalen Steuerungslösungen verwendet werden kann.

[0044] Die Steuerung von Fig. 8 umfasst einen ersten Gatepulsgenerator 81 zum Erzeugen eines Signals HSGD zum Steuern eines High-Side-Schalters (beispielsweise ähnlich dem Signal HSGD in zuvor erörterten Ausführungsformen) und einen zweiten Gatepulsgenerator 82 zum Erzeugen des Signals LSGD, das einen Low-Side-Schalter steuert (ähnlich dem zuvor erörterten Signal LSGD). Die Signale HSGD, LSGD werden dann an jeweilige Treiber geliefert, um beispielsweise Gates von MOS-Schaltern zu steuern, ähnlich den Treibern 22, 23 von Fig. 2 und Fig. 3.

[0045] Der Gatepulsgenerator 81 sendet nach dem Beenden eines Pulses (beispielsweise am Ende einer High-Zeit eines Pulses, der ein Einschalten des jeweiligen Schalters anzeigt) ein Triggersignal über eine Verbindung 86 zu dem zweiten Gatepulsgenerator 82. Bei Empfang dieses Triggerpulses startet der zweite Gatepulsgenerator 82 seinen eigenen Puls zum Einschalten des Low-Side-Schalters. Umgekehrt sendet nach dem Puls zum Einschalten des Low-Side-Schalters der zweite Gatepulsgenerator 82 über eine Verbindung 85 an den ersten Gatepulsgenerator 81 einen Triggerpuls, der anzeigt, dass der Puls beendet ist, bei dessen Empfang der erste Gatepulsgenerator 81 den den High-Side-Schalter schaltenden nächsten Puls startet. Anstelle von separaten Verbindungen 85, 86 kann auch eine einzelne bidirektionale Verbindung verwendet werden. Auf diese Weise werden, während jeder Gatepulsgenerator 81, 82 darauf wartet, dass der Triggerpuls eine Beendigung eines Pulses von dem jeweiligen anderen Gatepulsgenerator 81, 82 anzeigt, bevor er seinen eigenen Puls startet, gleichzeitige Einschaltzeiten sowohl des High-Side- als auch des Low-Side-Schalters verhindert und Totzeiten zwischen dem Schalten werden sichergestellt.

[0046] Falls ein Fehlerzustand detektiert wird, öffnet eine Steuerlogik 80 die Schalter 83, 84, die während des normalen Betriebs geschlossen sind, wodurch die Verbindungen 85, 86 unterbrochen werden und die Übertragung der oben erwähnten Triggerpulse von einem Gatepulsgenerator 81, 82 zum anderen Gatepulsgenerator 81, 82 verhindert wird. Fehlerzustände können wie zuvor erörterte Fehlerzustände sein, beispielsweise Überlast, Versorgungsspannung oder Busspannung, Unterspannung, Deaktivieren des Wandlers, ein schnelles Abfallen der Steuerungsversorgungsspannung usw. Deshalb erreicht, nachdem einer der Gatepulsgeneratoren 81, 82 seinen Puls beendet hat, kein Triggerpuls den jeweiligen anderen Gatepulsgenerator, und deshalb werden keine weiteren Pulse generiert und das Schalten wird deaktiviert. Auf diese Weise wird ähnlich wie bei vorausgegangenen Ausführungsformen ein aktueller Puls beendet, bevor das Schalten deaktiviert wird.

[0047] **Fig. 9** veranschaulicht ein Verfahren gemäß einer Ausführungsform. Das Verfahren von **Fig. 9** kann in der Steuerung von **Fig. 8** umgesetzt werden, kann aber auch unabhängig davon umgesetzt werden. Bei **90** umfasst das Verfahren von **Fig. 9** das Detektieren eines Fehlerzustands, beispielsweise Überlast, Unterspannung, Deaktivieren des Wandlers usw., wie zuvor erörtert. Bei **91** umfasst das Verfahren als Reaktion auf das Detektieren des Fehlerzustands das Deaktivieren einer Triggerverbindung zwischen Gatepulsgeneratoren (beispielsweise Deaktivieren der Verbindungen **85, 86** durch Öffnen der Schalter **83** bzw. **84** in **Fig. 8**). Dies verhindert die Generierung von weiteren Pulsen, während sichergestellt wird, dass ein aktueller Schaltzyklus beendet ist.

[0048] Als Nächstes werden Ausführungsformen weiter anhand eines Vergleichsbeispiels und von Beispielsignalen dargestellt. Es sei angemerkt, dass diese Beispielsignale nur zur weiteren Veranschaulichung dienen und Signalwellenformen in Abhängigkeit von Umsetzungs- und Arbeitsbedingungen des SMPS variieren können. Zu Veranschaulichungszwecken zeigt **Fig. 10** ein Vergleichsbeispiel ohne Techniken wie hierin offenbart, um sicherzustellen, dass ein Schaltzyklus beendet ist, zu Referenzzwecken. In dem Vergleichsbeispiel von **Fig. 10** werden verschiedene Fehlersignale ähnlich **Fig. 2** und **Fig. 3** in einem ODER-Gatter **100** verknüpft, um ein Fehlersignal zu bilden. Als Reaktion auf die Fehlersignale werden die Schalter **S1, S2**, über die Steuersignale **HSGD, LSGD** an die Treiber **101, 102** geliefert werden, geöffnet, so dass bei Auftreten eines Fehlersignals, das Schalten des High-Side- und Low-Side-Schalters sofort deaktiviert wird. Deshalb kann das Schalten in der Mitte einer Einschaltzeit eines High-Side-Schalters oder Low-Side-Schalters deaktiviert werden.

[0049] **Fig. 11** veranschaulicht simulierte Beispielsignale für ein Vergleichsbeispiel, wie in **Fig. 10** gezeigt, angewendet auf einen SMPS, wie in **Fig. 1** gezeigt. Eine Kurve **112** veranschaulicht einen primären LLC-Strom (Strom durch die Primärseite des Transformators **14** von **Fig. 1**), eine Kurve **113** veranschaulicht eine Gatterspannung an Synchrongleichrichterschaltern, eine Kurve **114** veranschaulicht eine Steuerungsversorgungsspannung (V_{cc}), und eine Kurve **115** zeigt eine beispielhafte Drain-Source-Spannung V_{ds} eines Synchrongleichrichterschalters (beispielsweise **15, 16** von **Fig. 1**). Wie ersichtlich ist, tritt eine Spannungsspitze **111** auf, wenn das Schalten unmittelbar während eines Schaltzyklus abgeschlossen wird. Dies kann die Synchrongleichrichter-MOSFETs beschädigen oder erfordern, dass die Synchrongleichrichter-MOSFETs dementsprechend ausgelegt werden, dass sie solche Spitzen aushalten können.

[0050] **Fig. 12** veranschaulicht Beispielsignale, die in einigen Ausführungsformen auftreten können. **Fig. 12** zeigt ein Beispiel für Signale im Fall einer Unterspannung einer Steuerungsversorgungsspannung V_{cc} . Das Beispiel von **Fig. 12** verwendet drei Schwellwerte **V_{cc_on}** , **V_{cc_uvlo}** und **V_{cc_off}** .

[0051] Beim Einschalten steigt die Spannung V_{cc} an. Bei t_1 ist der Spannungsschwellwert **V_{cc_on}** erreicht, und die Steuerung startet den Betrieb und der Betrieb der Schalter wird gestartet, wie durch ein Schaltsignal **121** (z.B. **HSGD** oder **LSGD**) angezeigt. Wenn insbesondere bei t_1 **V_{cc_on}** erreicht ist, beispielsweise ein Wert von 12 V, wird die Steuerung einen Initialisierungsprozess starten und Firmware-Parameter lesen, und falls kein Fehler detektiert wird, wird er das Schalten starten, wie durch das Schaltsignal **121** angezeigt.

[0052] Danach arbeitet die Steuerung zwischen den Zeiten t_1 und t_2 normal und stellt gesteuertes Schalten des High-Side- und Low-Side-Schalters eines SMPS bereit, um eine Ausgangsspannung zu regeln.

[0053] Bei t_2 erreicht die Spannung V_{cc} aus einem gewissen Grund (Fehler oder anderer) den Schwellwert **V_{cc_uvlo}** beispielsweise 9 V. An diesem Punkt wird das Schalten sowohl von primärseitigen Schaltern als auch Synchrongleichrichterschaltern deaktiviert, nachdem ein aktueller Schaltzyklus beendet ist, unter Verwendung von Techniken wie oben erörtert, z.B. zum Verhindern von Spannungsspitzen. Die Spannung **V_{cc_uvlo}** wird in Ausführungsformen so gewählt, dass diese Versorgungsspannung immer noch ausreicht, um die Gatetreiber wie einen High-Side-Gatetreiber zu versorgen, um den vollen Schaltzyklus zu beenden, d.h. über einen Abschaltenschwellwert dieser Treiber. Nach t_2 ist die Spannung immer noch hoch genug, damit die Steuerung arbeitet. Es können zwei verschiedene Szenarien auftreten. In einem Szenario steigt die Spannung wieder an und erreicht **V_{cc_on}** bei t_3 . In diesem Fall wird das Schalten bei t_3 wieder aufgenommen, vorausgesetzt, dass keine anderen Fehlerzustände detektiert werden. In dem gezeigten beispielhaften Szenario fällt V_{cc} dann bei t_4 auf **V_{cc_uvlo}** ab, und ähnlich zu t_2 wird das Schalten angehalten.

[0054] In diesem Fall jedoch fällt die Spannung weiter unter einen Schwellwert **V_{cc_off}** ab. In diesem Fall wird die Steuerung ohne Schalten insgesamt zurückgesetzt, bis bei t_6 **V_{cc_on}** wieder erreicht ist.

[0055] Durch das Wählen von **V_{cc_uvlo}** ausreichend über **V_{cc_off}** wird in einigen Ausführungsformen sichergestellt, dass ein voller Schaltzyklus beendet werden kann.

[0056] **Fig. 13** zeigt ein Simulationsergebnis, wo Größen entsprechend den simulierten Größen von

Fig. 11 gezeigt sind, d.h., Kurve **132** stellt einen LLC-Primärstrom dar, eine Kurve **133** stellt eine Gatterspannung eines Synchrongleichrichterschalters dar, eine Kurve **134** stellt eine Steuerungsversorgungsspannung dar, und eine Kurve **135** stellt eine beispielhafte Drain-Source-Spannung dar. Im Gegensatz zu **Fig. 11** wurden in **Fig. 13** Techniken wie hierin offenbart verwendet, um das Deaktivieren im Fall eines Fehlerzustands erst dann sicherzustellen, nachdem ein aktueller Schaltzyklus beendet ist. Wie ersichtlich ist, tritt in diesem Fall keine Spannungsspitze in der Kurve **135** auf. Dies ist auf die Tatsache zurückzuführen, dass im Fall von **Fig. 11** der Synchrongleichrichter-MOSFET geschaltet werden kann, während ein Strom an ihn angelegt wird, während im Szenario von **Fig. 13** ein Nullstromschalten eines Synchrongleichrichter-MOSFETs so beibehalten wird, dass ein durch eine Bodydiode oder durch den Synchrongleichrichterschalter fließender Gleichrichtungsstrom im normalen Betrieb natürlich null erreicht. Deshalb ist ein Effekt einer umgekehrten Wiederherstellung der Bodydiode klein und führt nicht zu einer Spannungsspitze.

Patentansprüche

1. Schaltnetzteil-Steuerung (10), umfassend: mindestens einen Ausgangsanschluss zum Steuern des Schaltens von mindestens einem Schalter eines Schaltnetzteils, und eine Volle-Schaltzyklus-Detektionsschaltung, die ausgebildet ist zum Deaktivieren des Schaltens des mindestens einen Schalters bei Empfang eines Fehlersignals erst nach Beendigung eines aktuellen Schaltzyklus.
2. Steuerung nach Anspruch 1, wobei die Volle-Schaltzyklus-Detektionsschaltung einen Schaltungsteil umfasst, der ausgebildet ist zum Erzeugen eines Totzeitsignals, das Totzeiten des Schaltens des mindestens einen Schalters anzeigt, wobei die Volle-Schaltzyklus-Detektionsschaltung ausgebildet ist zum Deaktivieren des Schaltens, wenn ein Fehlersignal einen Fehlerzustand anzeigt und das Totzeitsignal eine Totzeit anzeigt.
3. Steuerung nach Anspruch 2, wobei der Schaltungsteil, der zum Erzeugen des Totzeitsignals ausgebildet ist, ein NICHT-ODER-Gatter (31) umfasst, wobei ein erster Eingang des NICHT-ODER-Gatters (31) ausgebildet ist zum Empfangen eines High-Side-Gate-Treibersignals, das einen High-Side-Schalter des mindestens einen Schalters steuert, und zum Empfangen eines Low-Side-Gate-Treibersignals, zum Steuern eines Low-Side-Schalters des mindestens einen Schalters.
4. Steuerung nach Anspruch 2, wobei der Schaltungsteil, der zum Erzeugen des Totzeitsignals ausgebildet ist, eine Oszillatorschaltung (43) umfasst.
5. Steuerung nach einem der Ansprüche 1-4, wobei der mindestens eine Schalter einen oder mehrere eines primären High-Side-Schalters einer Spannungssteuerung, einen primärseitigen Low-Side-Schalter einer Spannungssteuerung oder einen Synchrongleichrichterschalter umfasst.
6. Schaltnetzteil-Steuerung, umfassend: einen ersten Gatepulsgenerator (81), der ausgebildet ist zum Erzeugen eines Steuersignals für einen High-Side-Schalter eines Schaltnetzteils, einen zweiten Gatepulsgenerator (82), der ausgebildet ist zum Erzeugen eines Steuersignals für einen Low-Side-Schalter des Schaltnetzteils, mindestens eine Triggerverbindung zwischen dem ersten Gatepulsgenerator und dem zweiten Gatepulsgenerator, wobei der erste Gatepulsgenerator ausgebildet ist zum Starten des Erzeugens eines Gatesteuerpulses nach dem Empfangen eines Triggersignals über die mindestens eine Triggersignalverbindung von dem zweiten Gatepulsgenerator, das anzeigt, dass der zweite Gatepulsgenerator einen Steuerpuls beendet hat, und wobei der zweite Gatepulsgenerator ausgebildet ist zum Starten des Erzeugens eines Gatesteuerpulses nach dem Empfangen eines Triggersignals über die mindestens eine Triggersignalverbindung von dem ersten Gatepulsgenerator, das anzeigt, dass der erste Gatepulsgenerator die Generierung eines Gatesteuerpulses beendet hat, und eine Steuerung (80), die ausgebildet ist zum Unterbrechen der mindestens einen Triggersignalverbindung (85, 86) im Fall eines Fehlerzustands.
7. Steuerung nach einem der Ansprüche 1-6, weiterhin umfassend eine Detektionsschaltung, die ausgebildet ist zum Detektieren einer abnehmenden Steuerungsversorgungsspannung, wobei ein detektierter Abfall der Steuerungsversorgungsspannung einem Fehlerzustand entspricht.
8. Steuerung nach Anspruch 7, wobei die Detektionsschaltung einen Komparator umfasst, wobei die Versorgungsspannung an einem ersten Eingang des Komparators zu koppeln und an einem zweiten Eingang des Komparators über eine Filterschaltung (61, 62, 63) zu koppeln.
9. Steuerung nach einem der Ansprüche 1-8, wobei die Steuerung zum Detektieren eines Fehlerzustands, wenn eine Steuerungsversorgungsspannung auf einen ersten Schwellwert abfällt, der über einem zweiten Schwellwert liegt, der ein Rücksetzen der Steuerung anzeigt, ausgebildet ist.
10. Schaltnetzteil, umfassend: eine Steuerung nach einem der Ansprüche 1-9, einen Spannungswandler umfassend mindestens einen durch die Steuerung gesteuerten Schalter, und

einen Synchrongleichrichterschalter an einem Ausgang des Spannungswandlers.

11. Verfahren, umfassend:

Detektieren eines Fehlerzustands in einem Schalt-
netzteil, und
Deaktivieren des Schaltens in dem Schaltnetzteil als
Reaktion auf das Detektieren des Fehlerzustands
nach Beenden eines aktuellen Schaltzyklus.

12. Verfahren nach Anspruch 11, wobei das
Deaktivieren des Schaltens das Deaktivieren des
Schaltens bei einer nächsten Totzeit zwischen ein-
nem Schalten eines High-Side-Schalters und einem
Schalten eines Low-Side-Schalters als Reaktion auf
das Detektieren des Fehlerzustands umfasst.

13. Verfahren, umfassend:

Detektieren eines Fehlerzustands, und
Deaktivieren einer Triggerverbindung zwischen ein-
nem High-Side-Gatepulsgenerator und einem Low-
Side-Gatepulsgenerator,
wobei jeder des High-Side-Gatepulsgenerators und
des Low-Side-Gatepulsgenerators ausgelegt ist zum
Starten des Erzeugens eines Gatesteuerpulses nach
dem Empfangen eines Triggersignals über die Trig-
gerverbindung, dass der andere des ersten Gatepul-
sgenerators und des zweiten Gatepulsgenerators das
Erzeugen eines Gatesteuerpulses beendet hat.

14. Verfahren nach einem der Ansprüche 11-13,
wobei das Detektieren des Fehlerzustands das De-
tektieren eines oder mehrerer eines Steuerungsver-
sorgungsspannungsabfalls, eines Unterspannungs-
zustands, eines Deaktivierens mindestens eines
Teils des Schaltnetzteils und eines Überlastzustands
umfasst.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

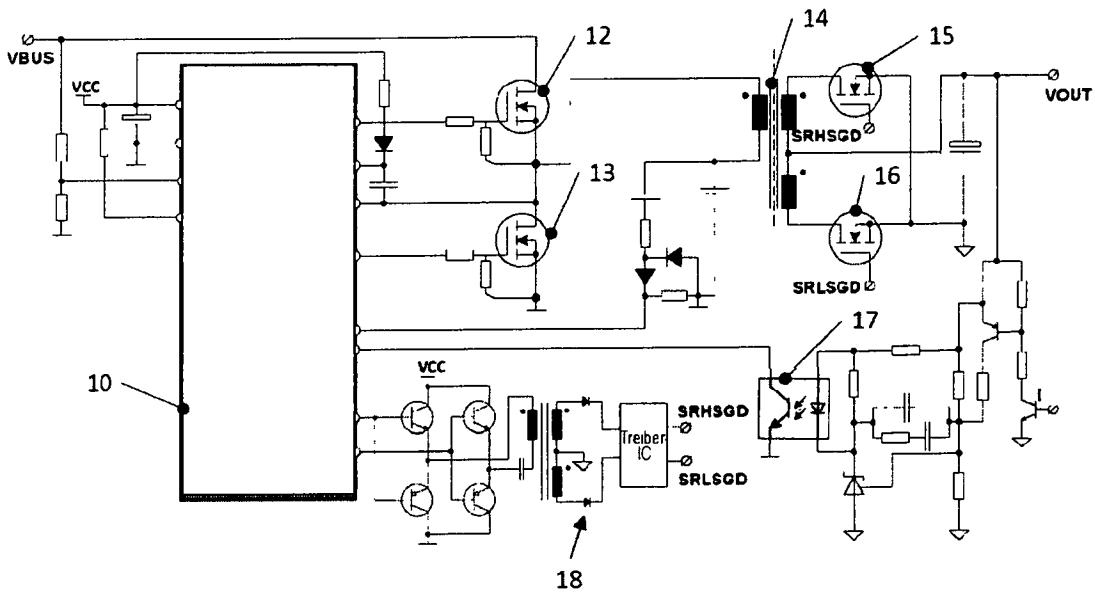


Fig. 1

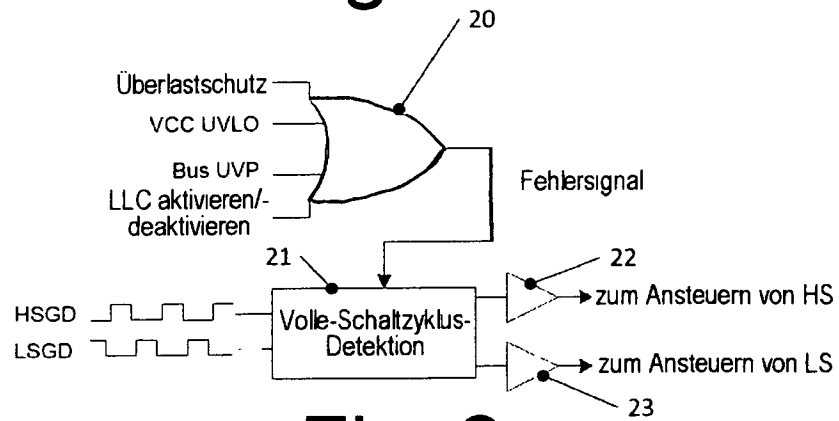


Fig. 2

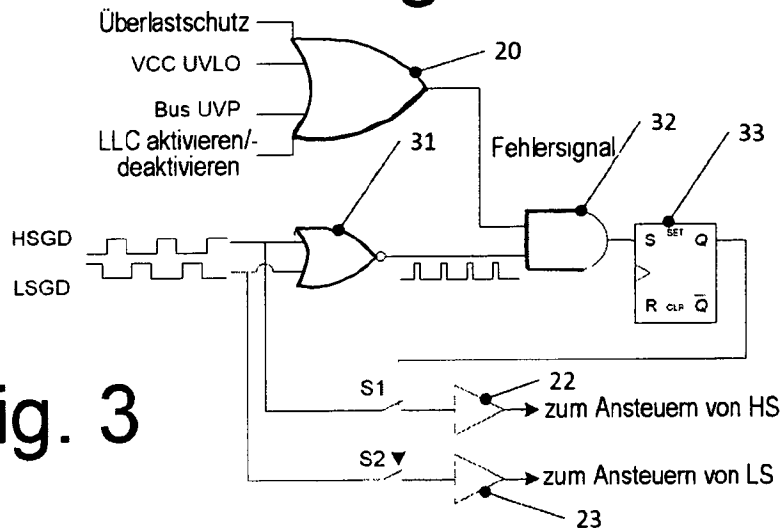


Fig. 3

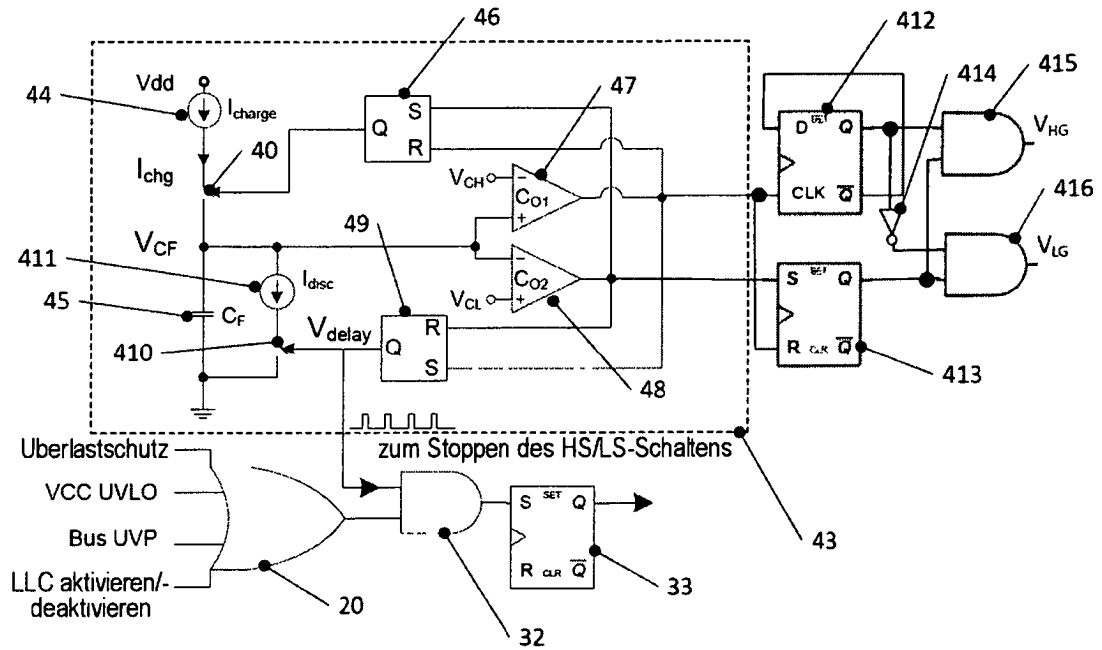


Fig. 4

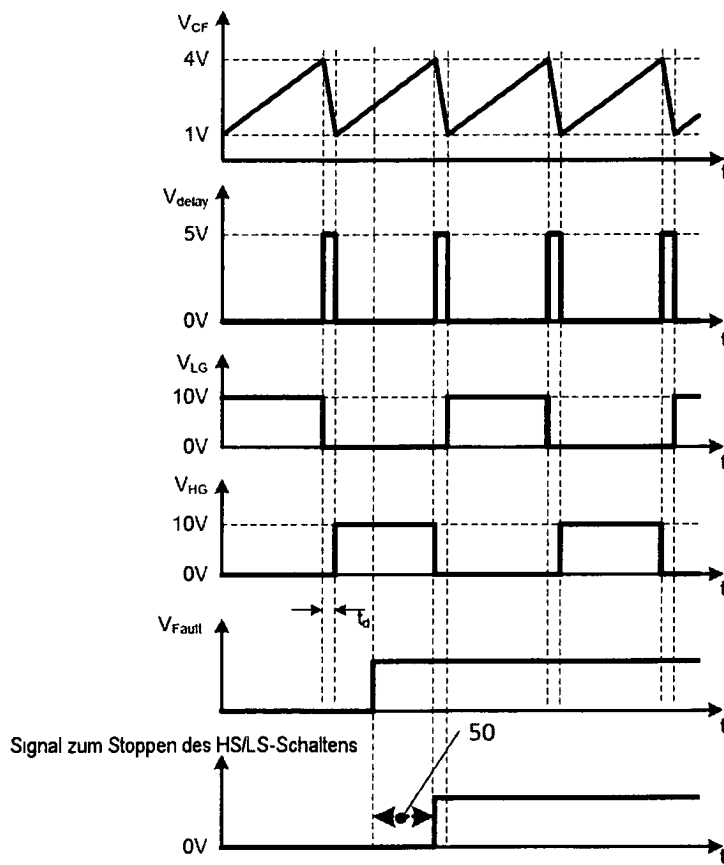


Fig. 5

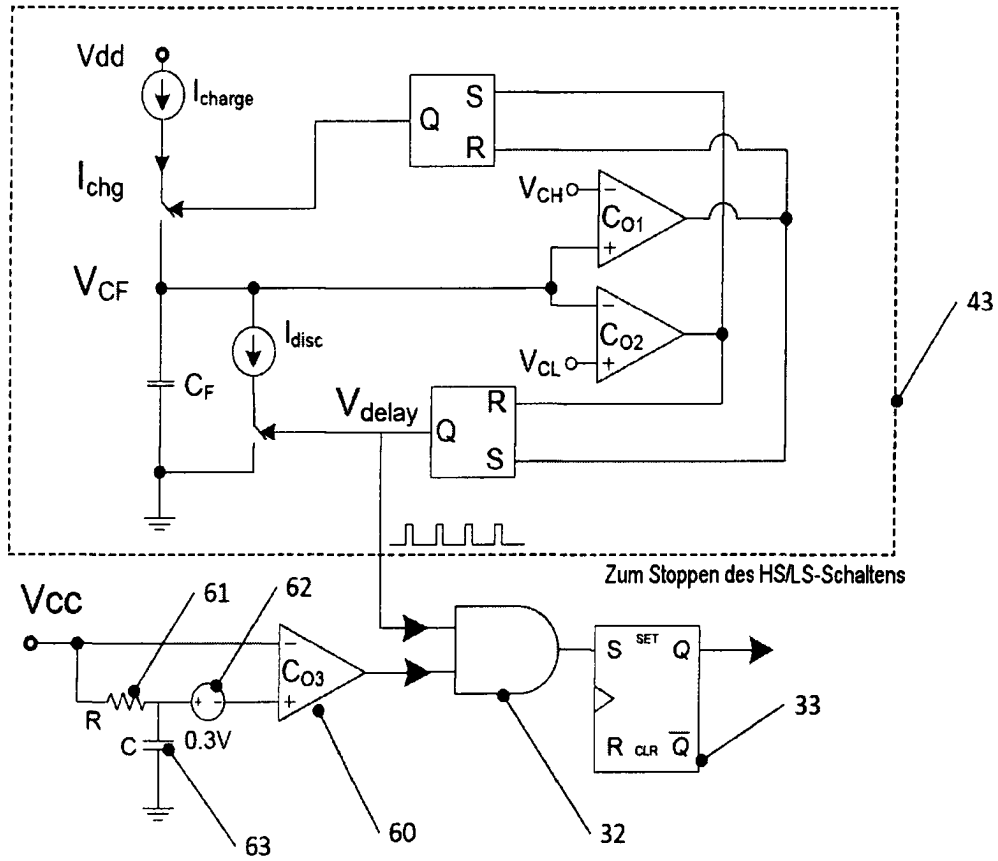


Fig. 6

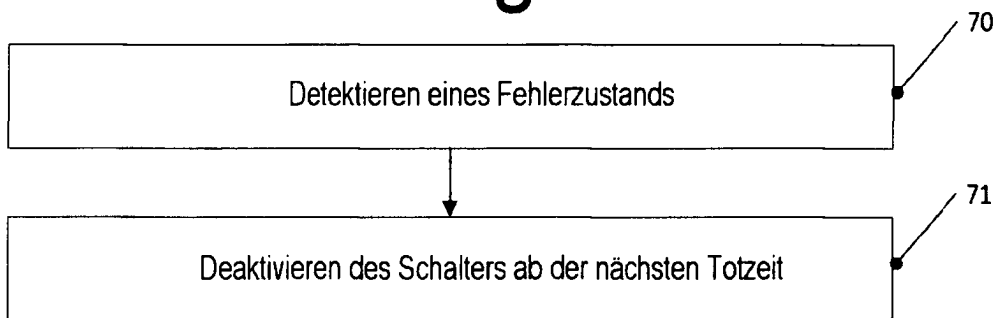


Fig. 7

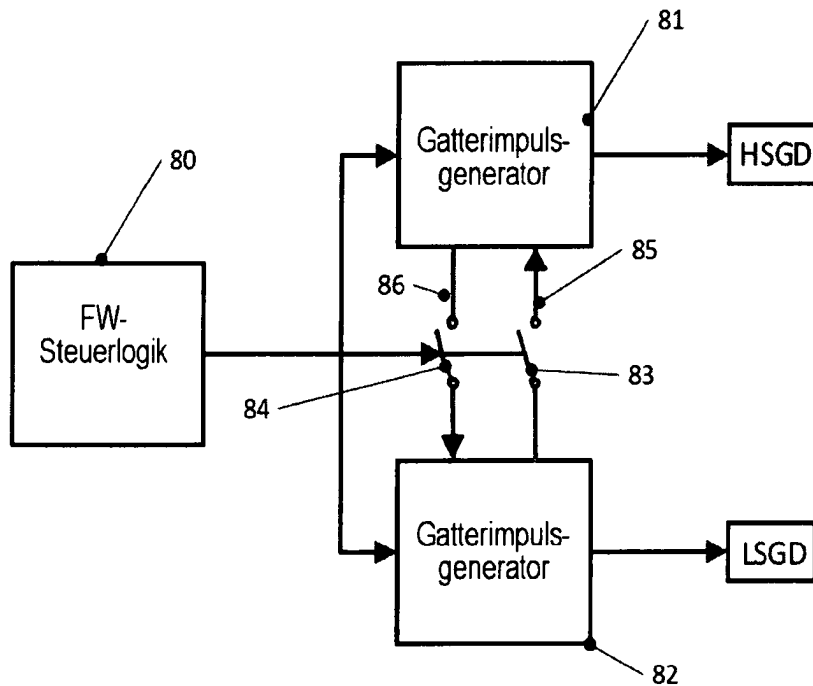


Fig. 8

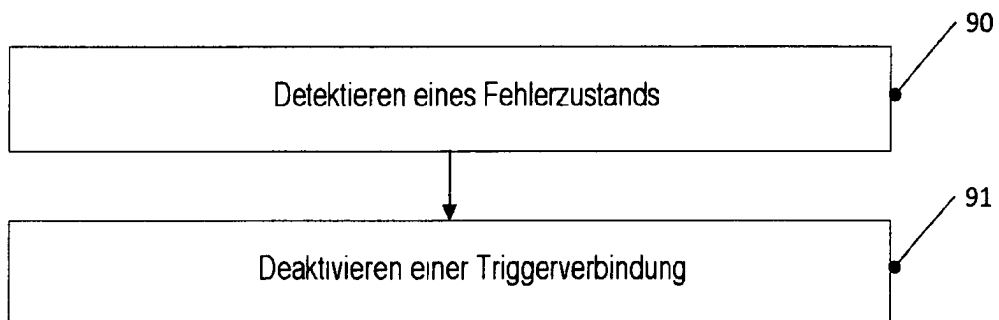


Fig. 9

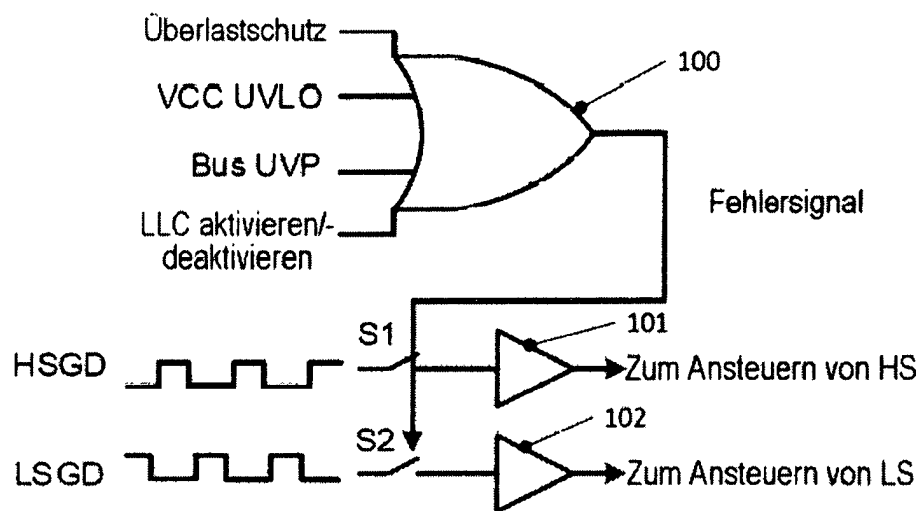


Fig. 10

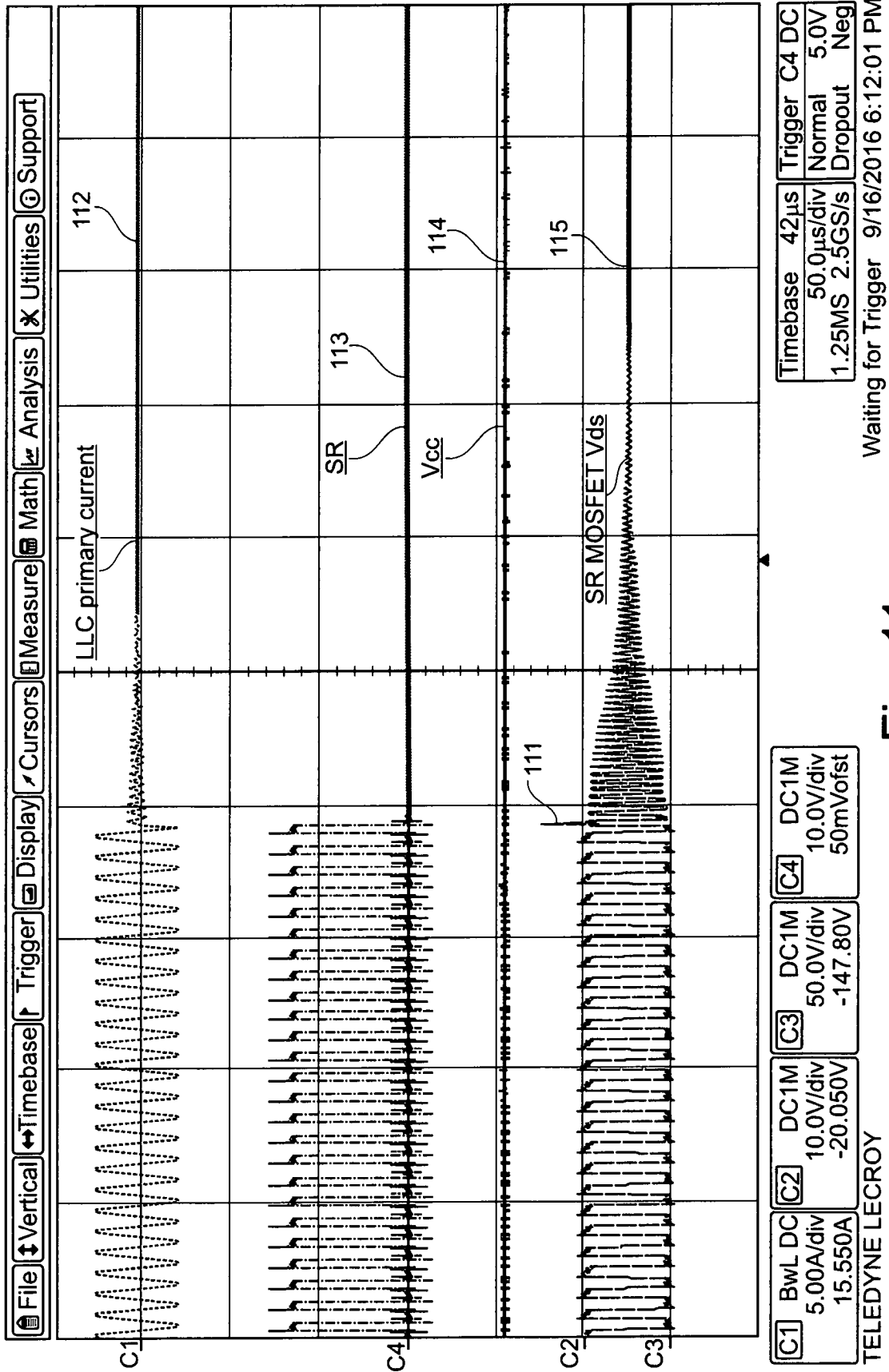


Fig. 11

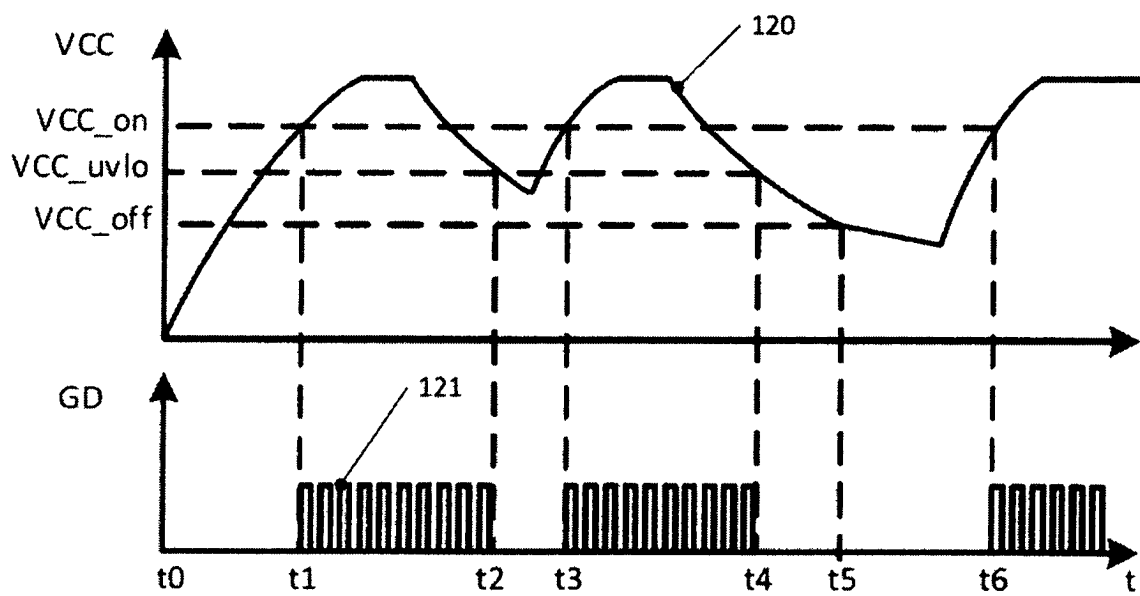


Fig. 12

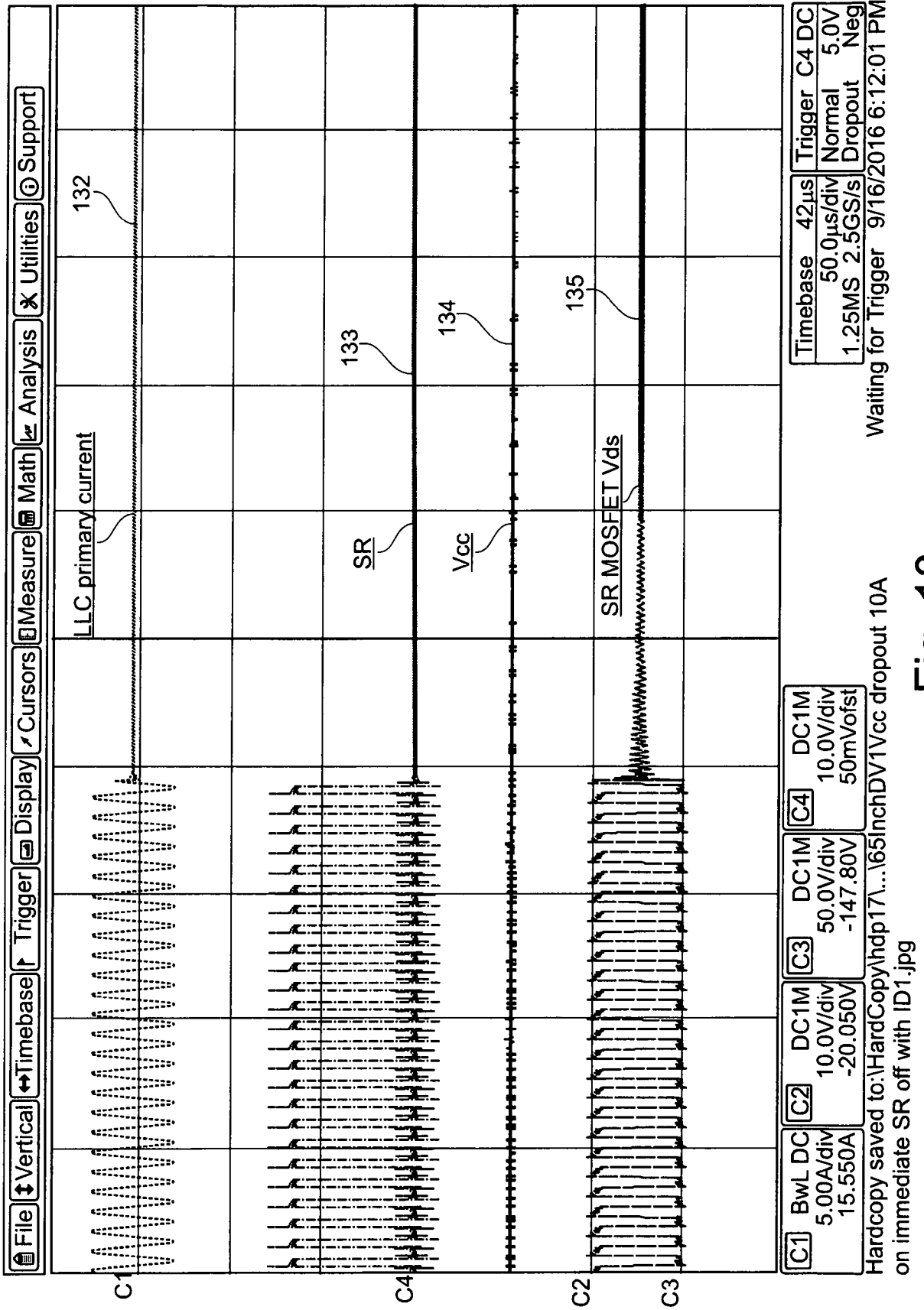


Fig. 13