

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4000206号

(P4000206)

(45) 発行日 平成19年10月31日(2007.10.31)

(24) 登録日 平成19年8月17日(2007.8.17)

(51) Int. Cl. F I
G 1 1 C 11/403 (2006.01) G 1 1 C 11/34 3 6 3 M
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 6 2 S

請求項の数 5 (全 19 頁)

(21) 出願番号	特願平9-218648	(73) 特許権者	000005223
(22) 出願日	平成9年8月13日(1997.8.13)		富士通株式会社
(65) 公開番号	特開平10-125059		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成10年5月15日(1998.5.15)	(74) 代理人	100070150
審査請求日	平成15年5月28日(2003.5.28)		弁理士 伊東 忠彦
(31) 優先権主張番号	特願平8-229002	(72) 発明者	鈴木 孝章
(32) 優先日	平成8年8月29日(1996.8.29)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	中野 正夫
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	富田 浩由
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

外部からの同期クロック信号に同期して動作可能な半導体記憶装置において、
 オートリフレッシュモードのエントリーを指示するコマンド入力があった後、前記同期クロック信号を半導体記憶装置に取り込むかどうかを指示するクロック信号が所定のレベル変化をした場合にセルフリフレッシュモードをエントリーする回路を具備することを特徴とする半導体記憶装置。

【請求項2】

外部からの同期クロック信号に同期して動作可能な半導体記憶装置において、
 オートリフレッシュモードのエントリーを指示するコマンド入力があった後の一定期間内
 10
 でセルフリフレッシュモードをキャンセルする信号を検出しない場合にセルフリフレッシュモードをエントリーする回路を具備し、
 前記一定期間は、前記同期クロック信号を半導体記憶装置に取り込むかどうかを指示するクロック信号が所定のレベル変化をした時点から計数されることを特徴とする半導体記憶装置。

【請求項3】

外部からの同期クロック信号に同期して動作可能な半導体記憶装置において、
 オートリフレッシュモードのエントリーを指示するコマンド入力があった後の一定期間内
 20
 で前記同期クロック信号が所定のレベルに固定されている場合にセルフリフレッシュモードをエントリーする回路を

具備することを特徴とする半導体記憶装置。

【請求項4】

前記一定期間は、前記オートリフレッシュモードのエントリーを指示するコマンド入力があった時点から計数されることを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】

前記一定期間は、前記オートリフレッシュモードのエントリーを指示するコマンド入力があった後、前記同期クロック信号が所定のレベルに固定された時点から計数されることを特徴とする請求項3に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は半導体記憶装置に関し、より詳細には外部クロックに同期して動作可能な同期式DRAM (Synchronous Dynamic Random Access Memory: SDRAM) デバイスに関する。より特定すれば、本発明はSDRAMデバイスのリフレッシュに関する。

【0002】

【従来の技術】

現在までに、SRAMやDRAMなど種々の半導体記憶装置が提案されている。これらの半導体記憶装置は用途等で使い分けられるが、最近では、アプリケーションやシステムの構成により、大量のDRAMを使うようになってきた。このような状況下において、極めて高速な外部クロックに同期して動作できるSDRAMが特に注目されている。

20

【0003】

SDRAMも汎用のDRAMと同様にリフレッシュ動作を必要とする。最近のDRAMでは、オートリフレッシュモードやセルフリフレッシュモード等の複数のリフレッシュモードを具備している。オートリフレッシュモードでは外部クロックや外部アドレスを必要とするが、セルフリフレッシュモードではこれらを必要としない。セルフリフレッシュモードはシステム待機時に外部信号を全く必要とせずデータ保持することができる。

【0004】

汎用のDRAMでのリフレッシュモードの選択は、/CAS (コラムアドレスストロブ信号) や/RAS (ローアドレスストロブ信号) 等の所定の信号を所定のタイミングで制御することで行われている (コマンドエントリー)。例えば、CASビフォアRASでオートリフレッシュモードをエントリーでき、このサイクル後、/CAS信号を所定時間 (例えば100 μ s) だけ所定レベルに保持することで、セルフリフレッシュモードをエントリーできる。なお、記号"/"はローアクティブを示す。

30

【0005】

SDRAMでは例えば、SDRAMへの同期クロック信号CLKを取り込むか取り込まないかの選択をするためのクロックイネーブル信号CKE、チップ選択信号/CS、/RAS、/CAS、書き込みイネーブル信号/WEを制御してオートリフレッシュモードやセルフリフレッシュモードをエントリーできる。例えば、クロックイネーブル信号CKEが2サイクル連続してハイ(H)であり、この時/CS=/RAS=/CAS=L (ロー) で/WE=Hの状態オートリフレッシュモードをエントリーでき、クロックイネーブル信号CKEがHからLに変化した時点で/CS=/RAS=/CAS=L、で/WE=Hの場合にはセルフリフレッシュモードをエントリーできる。SDRAMでは、クロックに同期したコマンドを入力することにより、セルフリフレッシュモードに入ればいつでも外部よりのコントロールを停止できる。なお、コマンドの解釈は、SDRAM内部に設けられたコマンドデコーダで行う。

40

【0006】

【発明が解決しようとする課題】

しかしながら、SDRAMにおけるセルフリフレッシュのエントリーには以下の問題点がある。

50

通常、コンピュータや周辺機器などのシステムでは、複数のSDRAMを1つのグループにまとめて用いる。このグループをチップセットという。上述した信号のうちチップセレクト信号/CS、ローアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、書き込みイネーブル信号/WEチップセットは、チップセット内の各SDRAM毎に生成される。これに対し、SDRAMへの同期クロック信号CLKを取り込むか取り込まないかの選択をするためのクロックイネーブル信号CKEは、チップセット内のSDRAMに共通に用いられる。従って、他の信号に比べ、クロックイネーブル信号CKEの負荷は非常に重いものである。この負荷の相違に起因して、タイミングのずれが発生する。すなわち、クロックイネーブル信号CKEは他の信号に遅れて変化する。このタイミングのずれがコマンドエンタリー、特にセルフリフレッシュのエンタリーに影響を与える。クロック同期で同期するSDRAMでは、このタイミングのずれによりセルフリフレッシュエンタリーのコマンド(例えば、上述したように、クロックイネーブル信号CKEがHからLに変化した時点で、/CS=/RAS=/CAS=L、で/WE=Hの場合)を認識することができない。換言すれば、SDRAMではセルフリフレッシュモードのコマンドエンタリーが定義されているにもかかわらず、チップセットのように複数のSDRAMをまとめて用いるような場合には、セルフリフレッシュモードを設定することができない。

10

【0007】

したがって、本発明は上記従来の問題点を解決し、セルフリフレッシュモードのエンタリーを確実に実行する半導体記憶装置を提供することを目的とする。

20

【0008】**【課題を解決するための手段】**

請求項1に記載の発明は、外部からの同期クロック信号(CLK)に同期して動作可能な半導体記憶装置において、オートリフレッシュモードのエンタリーを指示するコマンド入力があった後、前記同期クロック信号を半導体記憶装置に取り込むかどうかを指示するクロック信号が所定のレベル変化をした場合にセルフリフレッシュモードをエンタリーする回路を具備することを特徴とする。請求項1に記載の発明は、後述する第1の実施の態様に相当する。

【0010】

請求項2に記載の発明は、外部からの同期クロック信号に同期して動作可能な半導体記憶装置において、オートリフレッシュモードのエンタリーを指示するコマンド入力があった後の一定期間内でセルフリフレッシュモードをキャンセルする信号を検出しない場合にセルフリフレッシュモードをエンタリーする回路を具備し、前記一定期間は、前記同期クロック信号を半導体記憶装置に取り込むかどうかを指示するクロック信号が所定のレベル変化をした時点から計数されることを特徴とする。請求項2に記載の発明は、例えば後述する第2の実施の態様に相当する。

30

【0011】

請求項3に記載の発明は、外部からの同期クロック信号に同期して動作可能な半導体記憶装置において、オートリフレッシュモードのエンタリーを指示するコマンド入力があった後の一定期間内で前記同期クロック信号が所定のレベルに固定されている場合にセルフリフレッシュモードをエンタリーする回路を具備することを特徴とする。請求項3に記載の発明は、例えば第3及び第4の実施の態様に相当する。

40

【0012】

請求項4に記載の発明は、請求項3において、前記一定期間は、前記所定のコマンド入力があった時点から計数されることを特徴とする。請求項4に記載の発明は、例えば第1及び第3の実施の態様に相当する。

【0013】

請求項5に記載の発明は、請求項3において、前記一定期間は、前記所定のコマンド入力があった後、前記同期クロック信号が所定のレベルに固定された時点から計数されることを特徴とする。請求項6に記載の発明は、例えば第4の実施の態様に相当する。

50

【 0 0 1 5 】

【 発明の実施の形態 】

本発明は、SDRAMではクロック同期なのである状態を一定期間保持すると当初のモードとは別のモードに入るような動作を全く想定していなかったし、またその必要性も全くなかった状況において、敢て所定の信号を一定時間保持して所定の状態を保持することで、当初のモード（オートリフレッシュモード）から別のモード（セルフリフレッシュモード）に移行させることを1つの特徴とする。具体的には、クロックCKE信号が有効となる期間を他の信号より長く設定するか、又はCKE信号を使用せずに他の信号を制御する、例えばクロック信号CLKを止める等を行う。

【 0 0 1 6 】

以下、本発明の実施の形態について説明する。

図1は、本発明の実施の形態によるSDRAMデバイスの全体構成を示すブロック図である。SDRAMデバイス10は複数のバンク11（BANK-0）、12（BANK-1）を有する。図1では便宜上2つのバンクを示しているが、実際はこれ以上のバンク（例えば4つのバンク）を具備している。なお、説明の都合上、SDRAMデバイス10は2つのバンク11、12を有しているものとする。

【 0 0 1 7 】

各バンク11、12はDRAMコアであり、同一構成である。図1はバンク11の詳細を示している。バンク11は内部回路用制御信号発生器11a、セルフリフレッシュコントローラ11b、ロー（行）関連コントローラ11c、DRAMコア11d及びコラム（列）関連コントローラ11eを有する。これらのバンク11の各部の詳細は後述する。

【 0 0 1 8 】

更に、SDRAMデバイス10はクロックバッファ13、コマンドデコーダ14、アドレスバッファ/デコーダ15、I/Oデータバッファ/デコーダ16、制御信号ラッチ回路17、18、モードレジスタ19及びコラムアドレスカウンタ20、21を有する。

クロックバッファ13は、同期用に外部から供給されるクロック信号CLKと、SDRAMデバイス10にクロック信号CLKを取り込むべきかどうかのクロックイネーブル信号CKEを受け取る。クロックイネーブル信号CKEがオンのとき、クロック信号CLKはSDRAMデバイス10の各ブロックに供給される。更に、クロックイネーブル信号CKEはクロックバッファ13から読み出され、ブロック14、15及び16に供給される。

【 0 0 1 9 】

コマンドデコーダ14はチップセレクト信号/CS、ローアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、及びライトイネーブル信号/WEをデコードし、これらから種々の制御信号を生成する。そして、制御信号は制御信号ラッチ回路17、18及びモードレジスタ19に与えられる。

図2（A）は、コマンドデコーダ14の動作を示す図である。例えば、オートリフレッシュモードのエントリーを指示するコマンドは、次の通り定義される。

【 0 0 2 0 】

（1）クロックイネーブル信号CKEが前回のサイクルn-1と今回のサイクルnで連続してH（ハイ）；

（2）/CS = /RAS = /CAS = L；

（3）/WE = H。

セルフリフレッシュモードのエントリーを指示するコマンドは、次の通り定義される。

【 0 0 2 1 】

（1）クロックイネーブル信号CKEがサイクルn-1でHであり、次のサイクルnでLに変化する；

（2）/CS = /RAS = /CAS = L；

（3）/WE = H。

後述するように、コマンドデコーダ14はセルフリフレッシュモードのエントリー及び解除のために、本発明固有の動作をする。

10

20

30

40

50

【 0 0 2 2 】

アドレスバッファ/デコーダ 1 5 はアドレス信号 A 0 ~ A 1 1 を一時記憶した後デコードし、デコードされた信号をモードレジスタ 1 9、バンク 1 1、1 2、コラムアドレスカウンタ 2 0、2 1 に出力する。

I/O データバッファ/レジスタ 1 6 はデータの入出力を制御するもので、図 2 (B) に示すように動作する。例えばデータ制御信号 D Q M L = L でサイクル n - 1 におけるクロックイネーブル信号 C K E が H の場合には、データ D Q 0 ~ D Q 3 のうちのロー側バイトの書き込み/出力が活性化される。

【 0 0 2 3 】

制御信号ラッチ 1 7、1 8 はコマンドデコーダから信号 / R A S、/ C A S、/ W E を受け取り、これをバンク 1 1、1 2 に出力する。

モードレジスタ 1 9 は、所定のデコードされたコマンド及びデコードされたアドレス信号を受け取り、バーストモード等の所定の動作モードをリセットする。バーストモードにおいて、所定数のデータビットが記憶され、選択されたメモリセルに書き込まれる。バーストモードを実現するために、モードレジスタ 1 9 はコラムアドレスカウンタ 2 0、2 1 のカウント動作を制御する。コラムアドレスカウンタ 2 0、2 1 はデコードされたアドレス信号をカウントし、コラムアドレスを生成する。モードレジスタ 1 9 によりバーストモードが指定された時には、コラムアドレスカウンタ 2 0、2 1 はコラムアドレスが間欠的に出力されるようにカウント動作を変更する。

【 0 0 2 4 】

前述したように、バンク 1 1 は内部回路用制御信号発生器 1 1 a、セルフリフレッシュコントローラ 1 1 b、ロー関連コントローラ 1 1 c、D R A M コア 1 1 d 及びコラム関連コントローラ 1 1 e を有する。

D R A M コア 1 1 d は、マトリクス状に配列されたメモリセルのアレイと、センスアンプと、ワードデコーダとコラムデコーダとを有する。各メモリセルは、1 つのトランジスタと 1 つのキャパシタからなる。センスアンプはメモリセルに接続されているビット線対にそれぞれ接続されている。ワードデコーダはメモリセルに接続されているワード線を駆動する。コラムデコーダはメモリセルのコラムを駆動するとともに、ビット線に対応するバスラインに接続する。

【 0 0 2 5 】

制御信号生成回路 1 1 a は、信号 R A S、C A S、W E から、ロー関連コントローラ 1 1 c に与えるべき種々の制御信号を生成する。更に、制御信号生成回路 1 1 a は、セルフリフレッシュコマンドのエントリーがセルフリフレッシュコントローラ 1 1 b で検出された時に、ロー関連コントローラ 1 1 c 内のワードデコーダが必要とする制御信号が生成されるように、セルフリフレッシュコントローラ 1 1 b で制御される。これについては、後で詳述する。

【 0 0 2 6 】

セルフリフレッシュコントローラ 1 1 b は、後述するセルフリフレッシュのエントリーを検出し、S D R A M デバイス 1 0 がセルフリフレッシュモードで動作するように制御信号生成回路 1 1 a を制御する。セルフリフレッシュコントローラ 1 1 b の詳細については、後述する。

ロー関連コントローラ 1 1 c は、プリデコーダ、ワードデコーダドライバ、及びセンスアンプドライバを含む。回路 1 1 a のプリデコーダは、アドレスバッファ/デコーダ 1 5 からのローアドレスと制御信号発生回路 1 1 a からの対応する制御信号とを受け取り、プリデコードされたローアドレス信号を生成する。プリデコードされたローアドレス信号は D R A M コア 1 1 d に供給される。ワードデコーダドライバは、制御信号発生回路 1 1 a から供給される対応する制御信号に従い、D R A M コア 1 1 d 内のワードデコーダを駆動する。ロー関連コントローラ 1 1 c のセンスアンプドライバは、制御信号生成回路 1 1 a からの対応する制御信号に従い、D R A M コア 1 1 d 内のセンスアンプを駆動する。

【 0 0 2 7 】

コラム関連コントローラ 11e はプリデコーダと、I/O データセクタとを有する。プリデコーダは、コラムアドレスカウンタ 20 によって生成されたコラムアドレスから、DRAM コア 11d 内のコラムデコーダに供給されるプリデコードされたコラムアドレス信号を生成する。プリデコードされたコラムアドレス信号は、DRAM コア 11d 内のコラムデコーダに与えられる。コラム関連コントローラ 11e 内に設けられた I/O データセクタは、コラムアドレスに従って、I/O データバッファ/デコーダ 16 に出力すべき読み出しデータを選択し、選択されたメモリセル内に書き込むべき書き込むデータを選択する。

【0028】

次に、SDRAM デバイス 10 のセルフリフレッシュモードのエントリーは、次の通り実現される。 10

図 3 は、本発明の第 1 の実施の形態を示すタイミング図であり、図 1 に示すコマンドデコーダ 14 の第 1 の動作を示す。図 2 (A) に示すように、セルフリフレッシュモードのコマンドによるエントリーは、 $CKE_{n-1} = H$ 、 $CKE_n = L$ 、 $/CS = /RAS = /CAS = L$ 、 $/WE = H$ である。サイクル n では本来クロックイネーブル信号 CKE は L に変化しなければならないが、クロックイネーブル信号 CKE は大きな負荷を駆動しなければならないため、サイクル n では L に変化せず、H のままである。すなわち、サイクル n ではオートリフレッシュモードがエントリーされたことになる。コマンドデコーダ 14 はオートリフレッシュモードがエントリーされると、内部のカウンタ又はタイマ等を駆動して所定の一定期間 T_{c1} (例えば $100 \mu s$) を計測する。 20

【0029】

この一定期間 T_{c1} 内にクロックイネーブル信号 CKE が H から L に変化したことを検出すると、オートリフレッシュモードに代えてセルフリフレッシュモードをエントリーする。すなわち、クロックイネーブル信号 CKE が他の信号と同期していなくても、一定期間 T_{c1} の間にクロックイネーブル信号 CKE が L になったことが確認できれば、セルフリフレッシュモードに入る。なお、上記一定期間 T_{c1} 内に、後述するキャンセル信号がコマンドデコーダ 14 によりデコードされると、セルフリフレッシュモードはエントリーされない。

【0030】

以上の通り、従来技術ではセルフリフレッシュモードをエントリーすることができなかったが、上記の構成によればセルフリフレッシュモードをエントリーすることができる。なお、一定期間 T_{c1} は任意に設定できるが、セルフリフレッシュモードを確実にエントリーできる期間であって、できるだけ短いことが好ましい。 30

【0031】

図 4 は、本発明の第 2 の実施の形態を示すタイミング図であり、図 1 に示すコマンドデコーダ 14 の第 2 の動作を示す。図 3 に示す第 1 の実施の形態と同様に、一旦オートリフレッシュモードがエントリーされるが、クロックイネーブル信号 CKE が L になった時点から一定期間 T_{c1} (例えば $100 \mu s$) の計測を開始する点で第 1 の実施の形態とは異なる。クロックイネーブル信号 CKE が H から L に変化した後一定期間 T_{c1} の間 L レベルを保持したことを検出すると、オートリフレッシュモードに代えてセルフリフレッシュモードをエントリーする。なお、一定期間 T_{c1} 中 L を保持していることを検出する理由の 1 つは、スタンバイ状態の指示コマンドを区分するためである。また、上記一定期間 T_{c1} 内に、後述するキャンセル信号がコマンドデコーダ 14 によりデコードされると、セルフリフレッシュモードはエントリーされない。本発明の第 2 の実施の形態によれば、上記第 1 の実施の形態と同様の効果が得られる。 40

【0032】

図 5 は、本発明の第 3 の実施の形態を示すタイミング図であり、図 1 に示すコマンドデコーダ 14 の第 3 の動作を示す。第 3 の実施の形態では、クロックイネーブル信号 CKE がサイクル n - 1 の終わりで H に変化しているが、これはクロックイネーブル信号 CKE を用いないでオートリフレッシュモードに入るコマンドを意味している。このオートリフレ 50

ッシュモードのコマンドエントリーがあってから一定期間 T_{c1} （例えば $100\mu s$ ）の計測を開始し、その間にクロック信号 CLK が H 又は L に固定（図では L 固定）されている場合には、その間にキャンセル信号が入らない限りセルフリフレッシュモードがエントリーされる。本発明の第3の実施の形態によれば、上記第1の実施の形態と同様の効果が得られる。ただし、第3の実施の形態では、セルフリフレッシュモードにエントリーするためにクロックイネーブル信号 CKE を使用しない。

【0033】

図6は、本発明の第4の実施の形態を示すタイミング図であり、図1に示すコマンドデコード14の第4の動作を示す。図5に示す第3の実施の形態と同様に、一旦オートリフレッシュモードがエントリーされるが、同期クロック信号 CLK が L になった時点で一定期間 T_{c1} （例えば $100\mu s$ ）の計測を開始する点で第3の実施の形態とは異なる。一定期間 T_{c1} 内にクロック信号 CLK が H 又は L に固定（図では L 固定）されていることを検出すると、オートリフレッシュモードに代えてセルフリフレッシュモードをエントリーする。ただし、上記一定期間 T_{c1} 内に、後述するキャンセル信号がコマンドデコード14によりデコードされると、セルフリフレッシュモードはエントリーされない。本発明の第4の実施の形態によれば、上記第1の実施の形態と同様の効果が得られる。

【0034】

ここで、第1ないし第4の実施の形態において、セルフリフレッシュモードに入った場合には、外部から信号は実質的に全く $SDRAM$ に入力されない状況が考えられる。一方、セルフリフレッシュモードから抜けるためには、外部から何らかの信号を与える必要がある。このような外部の信号を受ける回路は一般に消費電流が多い。よって、同期クロック信号 CLK とクロックイネーブル信号 CKE のみを受け付け可能な状態に設定しておき、その他の信号を受ける回路をディスエーブル状態に設定しておけば、消費電流の削減になる。

【0035】

また、上記第1ないし第4の実施の形態では、セルフリフレッシュモードのエントリーに関するものであるが、以下に説明する実施の形態はセルフリフレッシュモードから抜け出る方法に関する。

図7は、本発明の第5の実施の形態を示すタイミング図であり、図1に示すコマンドデコード14の第5の動作を示す。図7に示す動作において、セルフリフレッシュモードのエントリーは、図5又は図6に示す方法、すなわち、クロックイネーブル信号 CKE を使用しない方法、換言すれば一定期間内でクロック信号 CLK が変化しないことを検出する方法である。セルフリフレッシュモードから抜け出るために、抜け出る時点よりも一定期間 T_{c2} 経過前にクロックイネーブル信号 CKE を H に設定して、同期クロック信号を受け付け可能状態にする。この状態で同期クロック信号 CLK を供給すると動作を開始し、セルフリフレッシュモードから抜け出ることができる。

【0036】

セルフリフレッシュモードのエントリーをクロックイネーブル信号 CKE を用いて行った場合（図3又は図4に示す場合で、同期クロック信号 CLK は供給され続けている）には、クロックイネーブル信号 CKE を H にすれば直ちにセルフリフレッシュモードから抜け出ることができる。また、クロックイネーブル信号 CKE が H のまま固定されている状況で同期クロック信号 CLK の供給が停止したことでセルフリフレッシュモードにエントリーされた場合には、同期クロック信号 CLK の供給を開始することでセルフリフレッシュモードから抜け出ることができる。なお、セルフリフレッシュモードを抜け出る時に、通常モードとの移行期間（マージン）として一定期間を取ることが好ましい。

【0037】

なお、図2（A）に示すように、セルフリフレッシュから抜け出るコマンドを用いてもよい。

上記本発明の第5の実施の形態は、一旦セルフリフレッシュモードに入った後にこれから抜け出る方法であった。これに対し、先に説明したキャンセル信号でセルフリフレッシュ

10

20

30

40

50

モードに実際に移行する前にキャンセルできるようにすることは、ユーザのニーズを幅広く満足させる1つの要因となる。以下、この場合の構成を本発明の第6の実施の形態として、図8を参照して説明する。

【0038】

図8において、図3を参照して説明したように、オートリフレッシュモードのエントリーから所定の一定期間 T_{c1} が経過する間にクロック信号がLに変化した場合に、一定期間経過時にセルフリフレッシュモードにエントリーされる。よって、一定期間が経過する前に、キャンセルしたいタイミングよりも期間Aだけ早くクロック信号CLKをHとし、新たな任意のコマンド(定義されている以外のコマンド)をコマンドデコーダ14に入力することで、セルフリフレッシュモードをキャンセルすることができる。図8に示す例では、新たなコマンドは $\overline{CS} = \overline{RAS} = \overline{CAS} = \overline{WE} = L$ である。コマンドデコーダ14は、この新たなコマンドをデコードすると、セルフリフレッシュモードをキャンセルし、各部をリセットする。

10

【0039】

上記キャンセル条件は、セルフリフレッシュモードのエントリー時に同期クロック信号CLKを固定し、かつクロックイネーブル信号CKEをHに固定した場合(図5や図6の場合)には、同期クロック信号CLKを供給することでセルフリフレッシュモードをキャンセルすることができる。この場合には、上記のような新たなコマンドを必要としない。

【0040】

また、上記キャンセル条件は、セルフリフレッシュモードのエントリー時に同期クロック信号CLKを固定し、かつ任意の時間にクロックイネーブル信号CKEをLにした場合には、キャンセルしたいタイミングよりも前に2クロック分同期クロックCLKを供給し、かつ期間Aよりも前にクロックイネーブル信号CKEを立ち上げる。この場合にも、上記のような新たなコマンドを必要としない。

20

【0041】

次に、上記発明の実施の形態のより詳細な構成及び動作について説明する。

図9は、図1に示すコマンドデコーダ14の詳細な一構成例を示す回路図である。コマンドデコーダ14は、信号 $rascx$ 、 $rascz$ 、 $cascx$ 、 $cascz$ 、 $wecx$ 、 $wecz$ 、 $cspz$ を受け取り、種々のデコードされた信号を生成する。信号 $rascx$ 、 $cascx$ 、 $wecx$ はそれぞれ前述の \overline{RAS} 、 \overline{CAS} 、 \overline{WE} に対応する。信号 $rascz$ 、 $cascz$ 、 $wecz$ 及び $cspz$ はそれぞれ、 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 、 \overline{CS} の反転信号である。更に、コマンドデコーダ14はクロック信号CLKの反転信号である信号 $clkpz$ と信号 $ckecx$ 、 $ckez$ (これらはそれぞれ、クロックイネーブル信号CKE及びその反転信号に相当する)を受け取る。

30

【0042】

コマンドデコーダ14はNANDゲート $14_1 \sim 14_{11}$ 、NORゲート $14_{12} \sim 14_{13}$ 、及びインバータ $14_{14} \sim 14_{23}$ を有する。上記入力信号は上記論理素子でデコードされ、デコードされた信号が生成される。例えば、オートリフレッシュコマンドはNANDゲート 14_6 及びNORゲート 14_{12} で検出され、デコードされた信号 $refpz$ がNORゲート 14_{12} から出力される。すなわち、NANDゲート 14_6 及びNORゲート 14_{12} は、図2Aに示すオートリフレッシュコマンドに関連する論理演算を行う。セルフリフレッシュコマンドはNANDゲート 14_6 及びNORゲート 14_{13} によって検出され、デコードされた信号 $srpz$ がNORゲート 14_{13} から出力される。すなわち、NANDゲート 14_6 及びNORゲート 14_{13} は図2Aに示すセルフリフレッシュコマンドに関連する論理演算を行う。本発明では、たとえデコードされた信号が生成されなくても、上記動作によりセルフリフレッシュモードをエントリーすることができる。上記デコードされた信号 $refpz$ 、 $srpz$ は、図1に示すセルフリフレッシュコントローラ11bに与えられる。

40

【0043】

インバータ 14_{15} から出力されるデコードされた信号 $wrtcz$ は、ローアドレスの生成

50

及びオートリフレッシュモードに係る回路を活性化する。インバータ14₁₄から出力されるデコードされた信号c a c p zは、ローアドレスの生成及び図2Aに示すアクティブモードに係る回路を活性化する。インバータ14₁₇から出力されるデコードされた信号d a c p zは、プリチャージ動作に係る回路を活性化する。上記コマンド化c p z, a c t p z及びd a c p zは、図1に示すセルフリフレッシュコントローラ11bに与えられる。

【0044】

インバータ14₁₉から出力されるデコードされた信号m r s p zは、前述したバーストモードのような所定のモードの設定を指示している。インバータ14₂₀から出力されるデコードされた信号m r s c zは、所定モードのリセットを指示している。デコードされた信号m r s p zは、セルフリフレッシュコントローラ11b及びモードレジスタ19に与えられる。デコードされた信号m r s c zは、モードレジスタ19に与えられる。インバータ14₂₃から出力されるデコードされた信号b s t c zは、制御信号ラッチ回路17、18及びセルフリフレッシュコントローラ11bに与えられる。インバータ14₂₁から出力される信号は、コラムアドレスストローブ信号/CASのキャンセルを指示するもので、制御信号ラッチ回路17、18及びセルフリフレッシュコントローラ11bに与えられる。

【0045】

クロック信号CLKに対応する信号c l k p zは、NANDゲート14₁₁とインバータ14₂₂とで内部クロック信号c m c p zに変換される。

図10は、図1に示すセルフリフレッシュコントローラ11bのブロック図である。図10に示す構成は、一定の所定期間 T_{c1} の開始がクロック信号CLKに依存する場合の動作に対応している。オートリフレッシュコマンドラッチ回路36は上記デコードされた信号r e f p zに対応するセット信号を受け取り、ラッチ信号を出力する。1ショットパルス発生器38は、この設定信号をパルス信号に変換する。このパルス信号は、第1のセット信号として、セルフリフレッシュコマンドラッチ回路40に与えられる。第1の設定信号に应答して、セルフリフレッシュコマンドラッチ回路40はセットされる。また、ラッチ回路40は第2のセット信号でもセット可能である。この第2のセット信号は、前述したデコードされた信号s r e p zに相当する。第2のセット信号は、図2Aを参照して説明したように、セルフリフレッシュモードのエントリーの要求を受け付けるために用いられる。オートリフレッシュコマンドラッチ回路36から1ショットパルス発生器38を介して供給された第1のセット信号は、本発明によって定義されたものである。

【0046】

セルフリフレッシュコマンドラッチ回路40がセットされた時、ラッチ信号が出力され、1ショットパルスばっせいき41でパルス信号に変換される。このパルス信号は、セット信号として、セルフリフレッシュ状態ラッチ回路43に与えられる。セルフリフレッシュ状態ラッチ回路43がセットされると、クロック転送回路45が活性化され、リング発振器等で構成されるクロック発生器44により生成されたクロック信号がカウンタ48に与えられる。NANDゲート49の出力信号でリセットされるカウンタ48は、クロック転送回路45を介してクロック発生器44から受け取ったクロック信号をカウントし、前記一定の所定期間 T_{c1} (例えば、100 μ s)に相当するカウント値になった時に、出力信号を発生する。1ショットパルス発生器51は、カウンタ48の出力信号をパルス信号に変換する。このパルス信号は、第2のリセット信号として、オートリフレッシュラッチ回路36に与えられる。上記パルス信号はまた、アービタ46に与えられる。アービタ46は、所定のパルス期間を有する調停信号をリセット信号阻止回路42に送る。セルフリフレッシュコマンドラッチ回路40がリセットされると、その出力信号がリセット信号阻止回路42を通過できるようになる。また、調停信号がリセット信号阻止回路42に与えられていない場合には、回路40の出力信号はセルフリフレッシュ状態ラッチ回路43に与えられる。調停信号がリセット信号阻止回路42に与えられると、阻止回路42は所定のパルス期間に対応する期間において、ラッチ回路40の出力信号を阻止する。調停信号はDRAMコア11dがアクセス中であり、直ちにセルフリフレッシュモードから開放できな

10

20

30

40

50

い状況を考慮して用いられるものである。

【 0 0 4 7 】

ブロック 1 4、1 5 及び 1 6 を有する入力初段回路に接続される入力初段ディスエーブル回路 3 7 は、オートリフレッシュコマンドラッチ回路 3 6 のラッチ信号にตอบสนองして、入力初段回路をディスエーブル状態（不活性化）にする。従って、ブロック 1 4、1 5、1 6 中で消費される電力を減らすことができる。

オートリフレッシュコマンドラッチ回路 3 6 はまた、第 1 のリセット信号でリセットできる。この第 1 のリセット信号はクロック検出器 3 2、NOR ゲート 3 3 及びインバータ 3 5 で生成される。NOR ゲート 3 3 は前述した新たに定義したコマンドに相当するデコードされた信号であってセルフリフレッシュモードのエントリーのキャンセルを指示する信号を受け取る。クロック検出器 3 2 は、図 6 及び図 7 を参照して前述した第 5 及び第 6 の動作に相当する。すなわち、クロック検出器 3 2 は、クロックイネーブル信号 C K E がハイレベル（イネーブルを示す）に切り替わった後のクロック信号 C L K の最初のパルスを検出する。NOR ゲート 3 3 の出力信号はインバータ 3 5 によって反転される。その反転信号は、第 1 のリセット信号として、オートリフレッシュコマンドラッチ回路 3 6 に与えられる。第 1 のリセット信号は、セルフリフレッシュコマンドラッチ回路 4 0 に与えられ、これをリセットする。

【 0 0 4 8 】

図 1 1 は、図 1 0 に示すクロック検出器 3 2 の構成を示すブロック図である。クロック検出器 3 2 は、NAND ゲート 3 2₁、インバータ 3 2₂、及びパルス伸張回路 3 2₃ からなる。NAND ゲート 3 2₁ は、クロックイネーブル信号 C K E と図 1 0 に示すラッチ回路 3 6 が出力するオートリフレッシュラッチコマンド信号との NAND 演算を行う。オートリフレッシュモードのエントリーの要求が受け付けられると、オートリフレッシュコマンドラッチ回路 3 6 はハイレベルのラッチ信号を出力する。クロックイネーブル信号 C K E がハイレベルに切り替わり、クロック信号 C L K の最初のパルスが与えられると、オートリフレッシュコマンドラッチ信号はローレベルに切り替わる。これは NAND ゲート 3 2₁ で検出され、その出力信号はインバータ 3 2₂ で反転される。パルス伸張回路 3 2₃ は、インバータ 3 2₂ の出力信号のパルス期間を所定のパルス期間まで伸張する。パルス伸張回路 3 2₃ の出力信号 c l k p z は、第 1 のリセット信号として、オートリフレッシュコマンドラッチ回路 3 6 に与えられる。

【 0 0 4 9 】

図 1 0 に戻り、内部クロック発生器 4 7 は、クロック信号 C L K 及びクロックイネーブル信号 C K E から、内部クロック（図 1 2 に示す内部クロック信号 c l k m p z に相当する）を生成する。クロックイネーブル信号 C K E がローレベル又はクロック信号 C L K の供給が停止すると、内部クロック発生器 4 7 は内部クロックの生成を停止する。このようにして生成された内部クロックは、NAND ゲート 4 9 を介して、初期値設定回路 5 0 に与えられる。NAND ゲート 4 9 の出力信号はカウンタ 4 8 をリセットし、初期値設定回路 5 0 の初期値を設定する。この初期値は、前述した一定の所定期間 T_{c1} に相当する。

【 0 0 5 0 】

図 1 2 は、図 1 0 の示すセルフリフレッシュコントローラ 1 1 b の構成を示す回路図である。図 9 を参照して既に説明したデコードされた信号 m r s p z、d a c p z、a c t p z 及び b s t c z、並びに信号 c l k p z が OR ゲート 3 3 に与えられている。信号 c l k p z は、図 1 1 に示すクロックデコーダ 3 2 で生成される。図 9 に示す NOR ゲート 1 4₁₂ から出力されるデコードされた信号 r e f p z は、セット信号として、オートリフレッシュコマンドラッチ回路 3 6 に与えられる。図 9 の NOR ゲート 1 4₁₃ から出力されるデコードされた信号 s r e p z は、第 2 のセット信号として、セルフリフレッシュコマンドラッチ回路 4 0 に与えられる。入力初段ディスエーブル回路 3 7 に与えられる信号 c k e m x l p は、クロックイネーブル信号 C K E がハイのときディスエーブル状態である。回路 3 7 が出力する信号 s e l f z 及び e n z e n は、図 1 に示すブロック 1 4、1 5、1 6 の入力初段回路に与えられる。

【 0 0 5 1 】

図 1 3 は図 1 2 の動作を示すタイミング図であり、オートリフレッシュをエントリーするコマンド検出からセルフリフレッシュモードに入るまでの動作を示す。なお、図 1 3 中、(a) ~ (n) はそれぞれ図 1 0 の (a) ~ (n) の信号を示す。

オートリフレッシュコマンドが図 1 に示すコマンドデコーダ 1 4 に与えられると、セット信号として機能するデコードされた信号 $r e f p z$ (図 1 3 (a)) がオートリフレッシュコマンドラッチ回路 3 6 に与えられる。セット信号 $r e f p z$ に応答して、オートリフレッシュコマンドラッチ回路 3 6 はセットされ、図 1 3 (b) に示すコマンドラッチ信号を出力する。コマンドラッチ信号は図 1 2 に示すインバータ 5 3 で反転され、図 1 3 (c) に示す信号 $s r a z$ が 1 ショットパルス発生器 3 8 に与えられる。1 ショットパルス発生器 3 8 は、図 1 3 (d) に示すように、信号 $s r a z$ からパルス信号 $s r a r z$ を生成し、パルス信号 $s r a r z$ が第 1 のセット信号としてセルフリフレッシュコマンドラッチ回路 4 0 に与えられる。従って、セルフリフレッシュコマンドラッチ回路 4 0 はセットされ、図 1 3 (e) に示すように、内部のフリップフロップの出力信号がローレベルに切り替わる。そして、図 1 3 (f) に示すように、セルフリフレッシュコマンドラッチ回路 4 0 の出力信号はハイレベルに切り替わる。

10

【 0 0 5 2 】

セルフリフレッシュコマンドラッチ回路 4 0 のラッチ出力信号は、1 ショットパルス発生器 4 1 に与えられる。この 1 ショットパルス発生器 4 1 は、図 1 3 (g) に示す内部クロック信号 $c l k m p x$ が与えられる。1 ショットパルス発生器 4 1 は、図 1 3 (h) に示すパルス信号を生成する。図 1 3 (h) に示すパルス信号は、セルフリフレッシュ状態ラッチ信号 4 3 をセットし、その出力信号は図 1 3 (i) に示すように、ローレベルに切り替わる。クロック転送回路 4 5 は図 1 3 (i) に示すパルス信号を受け取り、図 1 3 (j) に示すように、その内部のインバータの出力信号がローレベルからハイレベルに切り替わる。従って、図 1 3 (k) に示すクロック信号であって、図 1 0 に示すクロック発生器 4 4 で生成されるクロック信号 $o s c z$ は、カウンタ 4 8 に転送可能となる。

20

【 0 0 5 3 】

カウンタ 4 8 は信号 $o s c z$ をカウントし、カウント値が一定の所定期間 T_1 。(例えば $100 \mu s$) に相当する所定数のパルスに等しいカウント値となったときに、図 1 3 (l) に示すように、カウンタ 4 8 の出力信号 $s r c b z$ はローレベルに切り替わる。1 ショットパルス発生器 5 1 は、図 1 3 (m) に示すように、信号 $s r c b z$ からパルス信号 $s r p z$ を生成する。このように生成されたパルス信号 $s r p z$ は、第 2 のリセット信号として、オートリフレッシュコマンドラッチ回路 3 6 に与えられ、オートリフレッシュモードのエントリーが取り消される。前述したように、パルス信号 $s r p z$ はアービタ 4 6 に出力される。そして、NAND ゲート 4 9 の出力信号によってカウンタ 4 8 はリセットされ、カウンタ 4 6 は例えば $16 \mu s$ に等しい信号 $o s c z$ の所定パルス数をカウントする。そして、図 1 3 (n) に示すように、パルス信号が $16 \mu s$ 毎に間欠的に生成される。このパルス信号は図 1 に示す制御信号発生回路 1 1 a に与えられ、セルフリフレッシュモードでロー関連コントローラ 1 1 c が動作する。

30

【 0 0 5 4 】

上記方法でセットされたオートリフレッシュモードは、以下のようにして開放できる。SDRAM デバイスをオートリフレッシュモードから開放するために、クロック検出器 3 2 に与えられるクロックイネーブル信号 $C K E$ はハイレベルに切り替わり、入力初段ディスエーブル回路 3 7 に供給される信号 $c k e m x l p$ はハイレベルに切り替わる。従って、回路 3 7 で制御される入力初段回路は、ディスエーブル状態から開放される。その後、図 1 1 に示すクロックデコーダ 3 2 の NAND ゲート 3 2₁ はクロック信号 $C L K$ を受け取り、これの最初のパルスにตอบสนองして 1 ショットパルス信号 $c l k p x$ を出力する。このパルス信号 $c l k p x$ は NOR ゲート 3 3 に与えられる。パルス信号 $c l k p x$ はオートリフレッシュコマンドラッチ回路 3 6 とセルフリフレッシュコマンドラッチ回路 4 0 をリセットする。ラッチ回路 4 0 の出力信号の変化はリセット信号阻止回路 4 2 を通り、リセッ

40

50

ト信号として、セルフリフレッシュ状態ラッチ回路43に与えられる。従って、ラッチ回路43でラッチされた状態は開放され、クロック発生器44からのクロック信号の供給が停止する。更に、カウンタ48の動作は停止される。ラッチ回路40の出力信号の上記変化は、アービタ46に与えられる。DRAMコアがアクセス中であり、直ちにセルフリフレッシュモードから開放できない場合には、アービタ46は所定の期間、調停信号をリセット信号阻止回路42に出力する。そして、セルフリフレッシュモードが開放される。

【0055】

図14は、図10の示す構成とは異なる、セルフリフレッシュコントローラ11bの別の構成を示すブロック図である。図14において、前述した図に示す構成要素と同一のものには同一の参照番号を付けてある。図14に示す構成は、オートリフレッシュモードのエントリーが認識されたときから、前記一定の所定期間 T_{c1} がスタートする場合の動作を実現する。

10

【0056】

図14に示す構成は、図10に示す構成と次のように異なる。オートリフレッシュモードがエンターされたときに所定期間 T_{c1} の計測を開始するために、オートリフレッシュモードコマンドラッチ回路36の出力信号は、1ショットパルス発生器56のみならず、クロック転送回路58及び初期値設定回路60に与えられる。すなわち、オートリフレッシュコマンドが検出されると、クロック発生器44が出力するクロック信号はクロック転送回路58を介してカウンタ59に与えられる。前述した信号 $clkmpx$ である内部クロック停止指示信号は、1ショットパルス発生器56に与えられる。パルス発生器56は、クロックイネーブル信号 CKE がローレベルに切り替わったときに、第1のセット信号を発生する。カウンタ59のカウント値が所定値になる前に、クロックイネーブル信号 CKE がローレベルに切り替わる。内部クロック停止指示信号が1ショットパルス発生器56に与えられると、発生器56は第1のセット信号を出力し、これによりセルフリフレッシュコマンドラッチ回路40はセットされる。

20

【0057】

図15は、図14に示すセルフリフレッシュコントローラ11bの回路図である。図15に示すように、オートリフレッシュコマンドラッチ回路36の出力信号はクロック転送回路58とコントローラ59(初期値設定回路60を含む)に与えられる。初期クロック停止指示信号 $clkmpx$ は、1ショットパルス発生器56に与えられる。

30

【0058】

図16は、図15に示す回路の動作を示すタイミング図である。このタイミング図は、オートリフレッシュモードのエントリーの要求の検出から、セルフリフレッシュモードのエントリーまでのシーケンスを示す。図16の(a)~(h)は、図15の(a)~(h)に相当する。

オートリフレッシュコマンドがコマンドデコーダ14でデコードされると、図16(a)に示すデコードされた信号 $refpz$ がオートリフレッシュコマンドラッチ回路36に与えられる。回路36の出力信号は、図16(b)に示すように、ローレベルに切り替わる。この図16(b)に示すコマンドラッチ信号は、1ショットパルス発生器56、クロック転送回路58及びカウンタ59に与えられる。上記コマンドラッチ信号がクロック転送回路58のNANDゲートに与えられると、クロック発生器44で生成されたクロック信号 $oscz$ はクロック転送回路58を通り、カウンタ59に与えられる。カウント値が所定値(例えば $100\mu s$)になると、信号 $srcbz$ (図16では図示しないが、図13(1)に示してある)がカウンタ59から出力される。そして、パルス信号 $srpz$ が図13(m)で示すように、1ショットパルス発生器51によって信号 $srcbz$ から生成され、第2のリセット信号としてオートリフレッシュコマンドラッチ回路36に与えられる。従って、図16(b)に示すコマンドラッチ信号は、ハイレベルに切り替わる。

40

【0059】

内部クロック停止指示信号 $clkmx$ がローレベルに変化しない時のみ、カウンタ59のカウント値は $100\mu s$ に等しい値となる。前述したように、クロックイネーブル信号 C

50

KEがローレベルに変化した時又はクロック信号CLKの供給が停止した時のみ、内部クロック停止指示信号clk_{mx}は変化する。もし、図16(d)に示すように、カウンタ59のカウンタ値が100μsに等しいカウンタ値に到達する前に内部クロック信号clk_{mpx}がローレベルに変化したとすると、図16(e)に示すパルスが生成され、デコードされたセルフリフレッシュコマンド信号(又は第1のセット信号)として、セルフリフレッシュコマンドラッチ回路40に与えられる。

【0060】

従って、セルフリフレッシュコマンドラッチ回路40はセットされ、その出力信号は図16(f)に示すように、ローレベルに切り替わる。そして、1ショットパルス発生器57は、上記出力信号から図16(g)に示す1ショットパルス信号を生成する。セルフリフレッシュ状態ラッチ回路43は図16(g)に示すセット信号をラッチし、その出力信号は図16(h)に示すように、ローレベルに切り替わる。この状態であっても、オートリフレッシュコマンドのラッチされた状態が開放されるまで、クロック信号osczはクロック転送回路58を介してカウンタ59に継続的に出力される。

10

【0061】

オートリフレッシュコマンドラッチ回路40がセットされたときに行われるアービタ46の動作は、図10~図13を参照して説明した動作と同一である。

上記のようにして設定されたセルフリフレッシュモードから抜け出る動作は、次の通りである。クロックイネーブル信号CKEをハイレベルにすると、入力初段停止回路37に供給されている信号ckem_{1p}がハイレベルに切り替わる。その後、図11に示すクロック検出器32のNANDゲート32₁がクロック信号CLKを受け取り、その最初のパルスにตอบสนองして1ショットパルス信号clk_{px}が生成され、NORゲート33に与えられる。パルス信号clk_{px}はオートリフレッシュコマンドラッチ回路36とセルフリフレッシュコマンドラッチ回路40をリセットする。ラッチ回路40の出力信号の変化はリセット信号阻止回路42を通り、リセット信号としてセルフリフレッシュ状態ラッチ回路43に与えられる。従って、ラッチ回路43でラッチされた状態は開放され、クロック発生器44からのクロック信号の供給が停止する。更に、カウンタ59はその動作を停止する。ラッチ回路40の出力信号の上記変化は、アービタ46に与えられる。DRAMコアがアクセス中で、直ちにセルフリフレッシュモードから開放できない場合には、アービタ46は所定の時間、調停信号をリセット信号阻止回路42に出力する。そして、セルフリフレッシュモードが開放される。

20

30

【0062】

以上、本発明の実施の形態を説明した。以上説明したように、クロックイネーブル信号CKEの負荷が他の信号に比べ重く、変化のタイミングが揃わなくても、確実にセルフリフレッシュモードをコマンドエントリーすることができる。

【0063】

【発明の効果】

以上説明したように、本発明によれば以下の効果が得られる。

請求項1ないし8に記載の発明によれば、一定期間、所定の信号の状態を検出し、この検出結果に応じてセルフリフレッシュモードをコマンドエントリーする構成としたため、コマンドエントリーに必要な信号のうち、ある信号、具体的にはクロックイネーブル信号CKEが他の信号よりも遅れているような場合であっても、確実にセルフリフレッシュモードをコマンドエントリーすることができる。

40

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体記憶装置の全体構成を示すブロック図である。

【図2】(A)は図1に示すコマンドデコーダの動作の一例を示す図で、(B)は図1に示すI/Oデータバッファ/レジスタの動作の一例を示す図である。

【図3】本発明の第1の実施の形態の動作を示すタイミング図である。

【図4】本発明の第2の実施の形態の動作を示すタイミング図である。

【図5】本発明の第3の実施の形態の動作を示すタイミング図である。

50

【図6】本発明の第4の実施の形態の動作を示すタイミング図である。

【図7】本発明の第5の実施の形態の動作を示すタイミング図である。

【図8】本発明の第6の実施の形態の動作を示すタイミング図である。

【図9】図1に示す半導体記憶装置のコマンドデコーダの一構成例を示すブロック図である。

【図10】図1に示す半導体記憶装置のセルフリフレッシュコントローラの一構成例を示すブロック図である。

【図11】図10に示すクロック検出器の一構成例を示すブロック図である。

【図12】図10に示すセルフリフレッシュコントローラの回路構成の一例を示す回路図である。

10

【図13】図12に示す構成の動作を示すタイミング図である。

【図14】図1に示す半導体記憶装置のセルフリフレッシュコントローラの別の構成例を示すブロック図である。

【図15】図14に示すセルフリフレッシュコントローラの回路構成の一例を示す回路図である。

【図16】図15に示す構成の動作を示すタイミング図である。

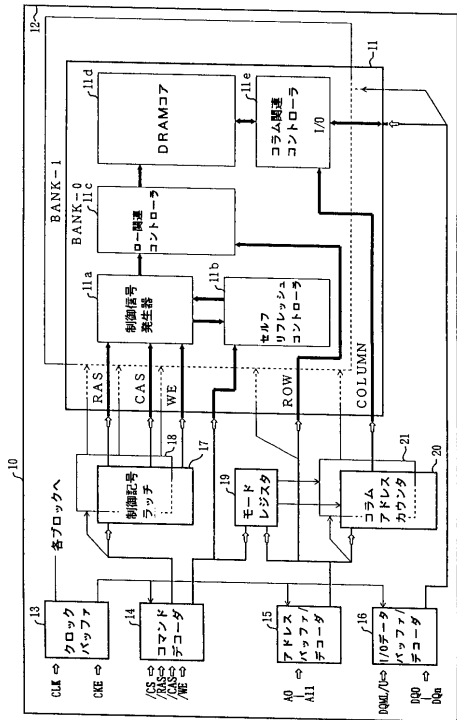
【符号の説明】

- 10 SDRAMデバイス
- 11、12 バンク(DRAMコア)
- 13 クロックバッファ
- 14 コマンドデコーダ
- 15 アドレスバッファ/デコーダ
- 16 I/Oデータバッファ/レジスタ
- 17、18 制御信号ラッチ
- 19 モードレジスタ
- 20、21 コラムアドレスカウンタ

20

【図1】

本発明の実施の形態による半導体記憶装置の全体構成を示すブロック図



【図2】

(A)は図1に示すコマンドデコーダの動作の一例を示す図、
(B)は図1に示すI/Oデータバッファ/レジスタの動作の一例を示す図

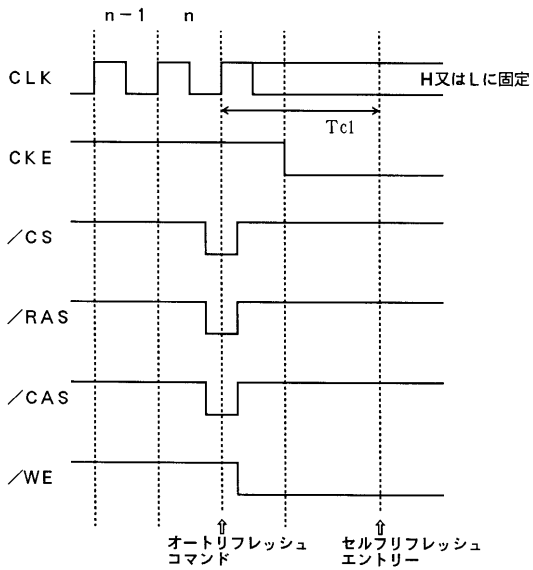
Current State	Action	Command	CKE		CS	RAS	CAS	WE	Addr
			n-1	n					
Bank Active	Clock Suspend Mode Entry	CSUS	H	L	X	X	X	X	X
Any State (Except to Idle)	Clock Suspend		L	L	X	X	X	X	X
Clock Suspend	Clock Suspend Mode Exit		L	H	X	X	X	X	X
Idle	Auto Refresh Command	REF	H	L	L	L	L	H	X
Idle	Self Refresh Entry	SELF	H	L	L	L	L	H	X
Self Refresh	Self Refresh Exit	SELF X	L	H	L	L	L	H	X
Idle	Power Down Entry	PD	H	L	X	X	X	X	X
Power Down	Power Down Exit		L	H	X	X	X	X	X

x : don't care

Function	Command	CKE		DOML	DOMU
		n-1	n		
Data Write/Output Enable for Lower Byte	ENBL	L	H	X	X
Data Write/Output Enable for Upper Byte	ENBL	H	H	X	L
Data Mask/Output Disable for Lower Byte	MASK	L	H	X	X
Data Mask/Output Disable for Upper Byte	MASK	H	H	X	X

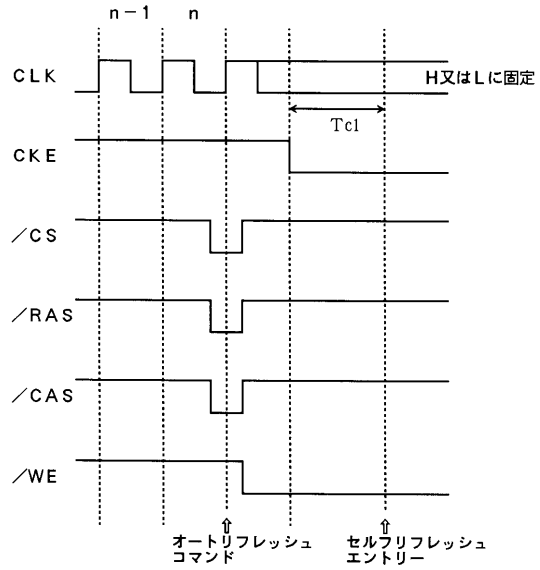
【図3】

本発明の第1の実施の形態の動作を示すタイミング図



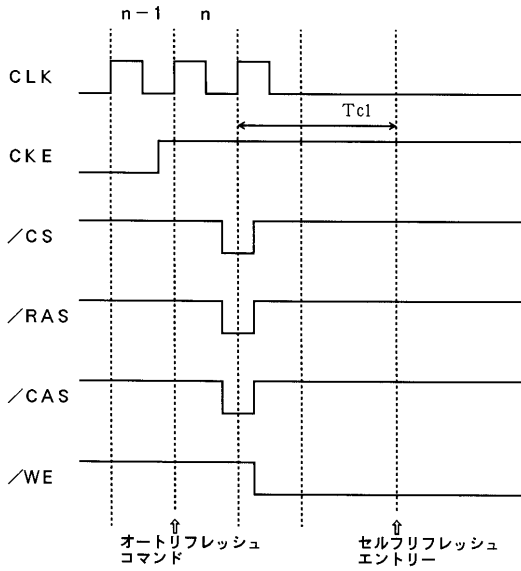
【図4】

本発明の第2の実施の形態の動作を示すタイミング図



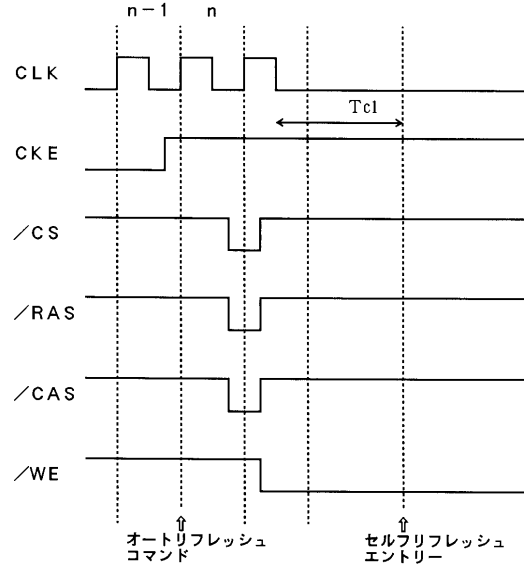
【 図 5 】

本発明の第 3 の実施の形態の動作を示すタイミング図



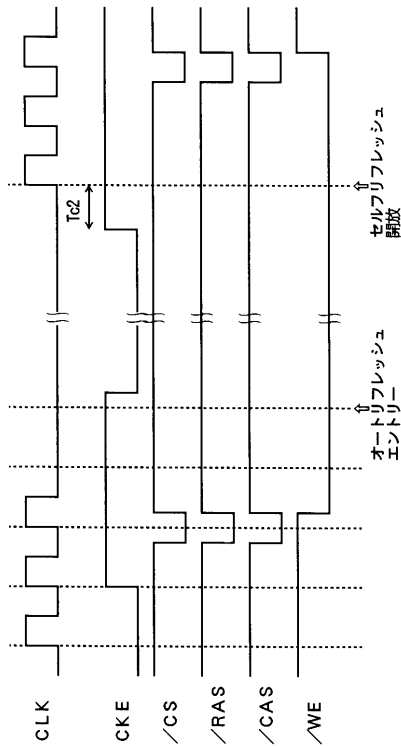
【 図 6 】

本発明の第 4 の実施の形態の動作を示すタイミング図



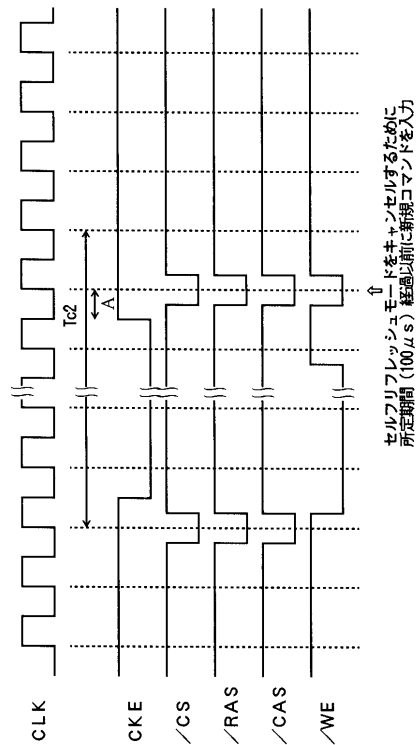
【 図 7 】

本発明の第 5 の実施の形態の動作を示すタイミング図



【 図 8 】

本発明の第 6 の実施の形態の動作を示すタイミング図



フロントページの続き

- (72)発明者 佐藤 靖治
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 佐藤 光徳
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 谷口 暢孝
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 須原 宏光

- (56)参考文献 特開平06-275071(JP,A)
特開平04-313888(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/40-11/409