

(12) 发明专利申请

(10) 申请公布号 CN 101901809 A

(43) 申请公布日 2010.12.01

(21) 申请号 201010129555.8

(22) 申请日 2010.03.03

(30) 优先权数据

61/209,095 2009.03.03 US

12/705,158 2010.02.12 US

(71) 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 龙翔澜 施彦豪 赖二琨 李明修 吕函庭

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 汤保平

(51) Int. Cl.

H01L 27/115(2006.01)

H01L 21/8247(2006.01)

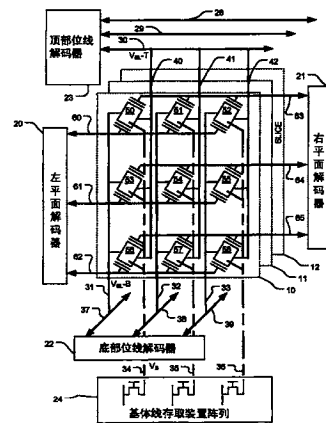
权利要求书 3 页 说明书 15 页 附图 14 页

(54) 发明名称

用于 FN 隧穿编程及擦除的三维存储器阵列

(57) 摘要

一种三维存储单元阵列,包括半导体基体柱及位线柱的一阵列、介电电荷捕捉结构、以及排列成正交于半导体基体柱及位线柱的所述阵列的多个阶层的字符线结构。所述半导体基体柱在相对的第一及第二边具有相对应的位线柱,以提供源极端及漏极端。所述半导体基体柱在相对的第三及第四边具有第一及第二通道表面。介电电荷捕捉结构则覆盖第一及第二通道表面,以在所述三维阵列的每一阶层的每一半导体基体柱的两边提供资料储存位置。上述元件可操作成一三维与门(AND) 解码的闪存。



1. 一种三维存储单元阵列,包括:

多个三维排列的双存储单元结构,该双存储单元结构包括一半导体基体柱、位于该半导体基体柱的相对的第一及第二边的第一及第二位线柱、位于该半导体基体柱的相对的第三及第四边的介电电荷捕捉结构、排列成邻接位于该半导体基体柱的该第三边的该介电电荷捕捉结构的一第一字符线,以及排列成邻接位于该半导体基体柱的该第四边的该介电电荷捕捉结构的一第二字符线;以及

一控制器,用以编程及擦除该多个双存储单元结构中的选取的存储单元,其方式为施加偏压于相对应的所述半导体基体柱与该第一及第二字符线的一以感应 Fowler-Nordheim 隧穿。

2. 如权利要求 1 所述的三维存储单元阵列,其中该电荷捕捉结构包括邻接该相对应的第一或第二字符线的一隧穿层、一介电电荷捕捉层,以及邻接该相对应的半导体基体柱的一阻挡层,并且配置该控制器用以经由该隧穿层感应来自该相对应的第一或第二字符线的电荷的 Fowler-Nordheim 隧穿。

3. 如权利要求 1 所述的三维存储单元阵列,还包括解码器电路,该解码器电路包括:

一存取元件阵列,耦接至所述半导体基体柱且配置成用以施加偏压于个别的该半导体基体柱;

一底部位线解码器,耦接至所述第一位线柱且配置成用以存取该第一位线柱的个别行;

一顶部位线解码器,耦接至所述第二位线柱且配置成用以存取该第二位线柱的个别列;以及

一第四解码器,耦接至该第一及第二字符线,且配置成用以驱动该多个双存储单元结构的选取的阶层的该第一及第二字符线之一。

4. 如权利要求 1 所述的三维存储单元阵列,用于随机存取与门解码。

5. 如权利要求 1 所述的三维存储单元阵列,其中该第一及第二位线柱包括具有一核心的半导体材料,该核心包括一金属或金属硅化物。

6. 一种三维存储单元阵列,包括:

多个三维排列的结构,所述结构包括多个半导体基体柱、位于所述半导体基体柱的相对的第一及第二边的第一及第二位线柱、位于所述半导体基体柱的第三边的资料储存结构、以及排列成邻接位于所述半导体基体柱的所述第三边的所述资料储存结构的一字符线;以及

一控制器,用以编程及擦除所述结构的选取的存储单元,其方式为施加偏压于相对应的所述半导体基体柱以感应 Fowler-Nordheim 隧穿。

7. 一种包含三维存储单元阵列的存储元件,包括:

一集成电路基底;

半导体基体柱及位线柱的一阵列,位于该基底上,与包含排列成正交于半导体基体柱及位线柱的该阵列的多个字符线结构的多个字符线阶层相交,该阵列中的所述半导体基体柱在相对的第一及第二边具有相对应的位线柱,并且在相对的第三及第四边具有第一及第二通道表面;

多个介电电荷捕捉结构,位于该阵列的所述半导体基体柱的该第一及第二通道表面

上；

位于所述阶层中的所述字符线结构，分别具有排列成邻接该阵列的所述半导体基体柱上的所述介电电荷捕捉结构的一第一组字符线，以及排列成邻接该阵列的所述半导体基体柱上的所述介电电荷捕捉结构的一第二组字符线；

位于该阵列中的所述位线柱，在所述半导体基体柱的所述第一边具有底部解码的柱，并且在所述半导体基体柱的所述第二边具有顶部解码的柱；

解码器电路，耦接至所述半导体基体柱及所述位线柱的该阵列，并耦接至所述字符线结构的所述阶层，并且配置成用以存取该三维阵列中的选取的存储单元；以及

一控制器，用以编程及擦除该三维阵列中的选取的存储单元，其方式为施加偏压于所述相对应的半导体基体柱与所述相对应的阶层的该第一及第二组字符线其中一组；以及读取该三维阵列中的选取的存储单元，其方式为在所述相对应的半导体基体柱的对边感测所述位线柱中的电流，以响应于施加至该相对应的阶层的该第一及第二组字符线其中一组的栅极电压。

8. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，其中该解码器电路包括：

一存取元件阵列，耦接至该阵列的所述半导体基体柱，且用以偏压个别的所述半导体基体柱；

一底部位线解码器，耦接至位于该阵列中的所述半导体基体柱的所述第一边的所述位线柱，且用以存取所述位线柱的个别行；

一顶部位线解码器，耦接至位于该阵列的所述半导体基体柱的所述第二边的所述位线柱，且用以存取所述位线柱的个别列；以及

一第四解码器，耦接至所述字符线阶层中的所述字符线结构，且用以驱动选取的字符线阶层上的第一及第二组字符线其中一组。

9. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，还包括控制电路，用以施加偏压于该三维阵列中的选取的存储单元，以进行栅极注入 Fowler-Nordheim 编程操作。

10. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，还包括控制电路，用以施加偏压于该三维阵列的选取的存储单元，以便进行栅极注入 Fowler-Nordheim 电子隧穿编程操作与栅极注入 Fowler-Nordheim 空穴隧穿擦除操作。

11. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，其中所述半导体基体柱及所述位线柱的该阵列配制成包含多个单元组柱的一图案，所述单元组柱包括一第一位线柱、邻接该第一位线柱的一半导体基体柱、邻接该半导体基体柱的一第二位线柱、以及使相邻的所述单元组柱彼此绝缘的一绝缘构件。

12. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，其中该阵列中的所述位线柱包括具有一核心的半导体材料，该核心包含一金属或金属硅化物。

13. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，其中该阵列中的所述半导体基体柱包括 p 型硅，并且该阵列中的所述位线柱包括 n 型硅。

14. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，其中该三维阵列的特定存储单元的该介电电荷捕捉结构位在该半导体基体柱与一相对应的阶层的所述第一及第二组字符线的一相对应组中的该字符线之间包括一隧穿层、一电荷捕捉层以及一阻挡层。

15. 如权利要求 7 所述的包含三维存储单元阵列的存储元件，用于随机存取与门解码。

16. 一种存储元件的制造方法,包括:

提供包含一存取元件阵列及一第一组位线的一基底,该基底具有一表面,该表面具有一接点阵列,其中包括耦接至该存取元件阵列中的多个存取元件的多个接点以及耦接至该第一组位线中的多个位线的多个接点;

在该接点阵列上形成由交替的字符线材料层及绝缘材料层所构成的一叠层;

在该叠层中形成多个沟槽,所述沟槽暴露位于耦接至所述存取元件的该基底的该表面上的接点的个别列,且暴露位于耦接至该第一组位线的所述位线的该基底的该表面上的接点,并具有暴露该叠层中的所述字符线材料层的字符线材料的多个侧壁;

沿所述沟槽的所述侧壁形成一电荷捕捉结构,其至少位于暴露在所述沟槽的所述侧壁上的字符线材料上;

在该电荷捕捉结构上形成位于所述沟槽内的多个半导体基体柱,所述半导体基体柱接触所述沟槽中的所述接点列的个别接点;

在所述半导体基体柱的第一及第二对边上及所述沟槽内形成位于所述沟槽内的多个位线柱,其中位于所述半导体基体柱的该第一对边的所述位线柱接触耦接至该第一组位线中的一位线的个别接点;以及

在所述半导体基体柱的该第二对边形成耦接至所述位线柱的一第二组位线。

17. 如权利要求 16 所述的存储元件的制造方法,其中形成所述半导体基体柱的步骤包括:在该电荷捕捉结构上以掺杂的半导体材料来填充所述沟槽,然后实施一图案化蚀刻工艺来移除位于所述沟槽内的该掺杂的半导体材料,以便留下所述半导体基体柱。

18. 如权利要求 17 所述的存储元件的制造方法,其中形成所述位线柱的步骤包括:用位线材料来填充该图案化蚀刻工艺所留下的区域,以便提供所述位线柱。

19. 如权利要求 16 所述的存储元件的制造方法,其中形成所述位线柱的步骤包括:提供具有一金属或金属硅化物核心的一半导体柱作为所述位线柱。

20. 如权利要求 16 所述的存储元件的制造方法,其中形成该电荷捕捉结构的步骤包括:在所述沟槽的所述侧壁上形成介电材料的一多层叠层,该多层叠层包括一隧穿层、一电荷捕捉层以及一阻挡层。

21. 如权利要求 20 所述的存储元件的制造方法,其中该隧穿层邻接所述沟槽的所述侧壁。

22. 如权利要求 16 所述的存储元件的制造方法,其中形成所述沟槽的步骤包括利用一第一光刻掩膜来定义所述沟槽的一图案,并且形成所述半导体基体柱的步骤包括利用一第二光刻掩膜来定义所述沟槽中的所述半导体基体柱的一图案。

23. 如权利要求 16 所述的存储元件的制造方法,还包括蚀刻该叠层,以定义包含位于交替成对的所述沟槽之间的第一条字符线的左侧字符线结构,以及包含位于交替成对的所述沟槽之间且与所述第一多条字符线交错的一第二多条字符线的右侧字符线结构。

24. 如权利要求 16 所述的存储元件的制造方法,还包括在位于一第一半导体基体柱的该第二对边上的位线柱与位于一第二半导体基体柱的该第一对边上的位线柱之间,形成位在所述沟槽中的绝缘柱。

用于 FN 隧穿编程及擦除的三维存储器阵列

[0001] 本申请案主张 2009 年 3 月 3 日申请的美国暂时专利申请案第 61/209,095 号的国际优先权,该暂时专利申请案的全部揭露内容均并入本案供参考。

技术领域

[0002] 本发明是有关于一种高密度存储元件 (memory device),且特别是有关于一种其中排列有多重平面 (multiple planes) 的存储单元以提供三维阵列的存储元件。

背景技术

[0003] 因为在集成电路 (integrated circuits) 中元件的关键尺寸受限于一般存储单元 (memory cell) 技术,所以设计者正在寻求叠层多重平面的存储单元,以达成较大的储存容量以及较低的单位成本的技术。例如,将薄膜晶体管 (thin film transistor) 技术应用于电荷捕捉存储器 (charge trapping memory) 技术,可参阅 Lai 等人在 2006 年 12 月 11-13 日发表于 IEEE Int'l Electron Devices Meeting 的名为“A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory”的论文;以及 Jung 等人在 2006 年 12 月 11-13 日发表于 IEEE Int'l Electron Devices Meeting 的名为“Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node”的论文。

[0004] 并且,将交叉点阵列 (cross-point array) 技术应用于反熔丝存储器 (anti-fuse memory),可参阅 Johnson 等人在 2003 年 11 月发表于 IEEE J. of Solid-State Circuits 第 38 卷第 11 号的名为“512-Mb PROM With a Three-Dimensional Array of Diode/Anti-fuse Memory Cells”的论文。在 Johnson 等人所述的设计中,提供多层的字符线 (word lines) 及位线 (bitlines),其交叉点具有存储器元件。上述的存储器元件包括连接字符线的 p+ 多晶硅阳极 (polysilicon anode),以及连接位线的 n- 多晶硅阴极 (polysilicon cathode),其中阳极与阴极由反熔丝材料予以分开。

[0005] 在 Lai 等人、Jung 等人以及 Johnson 等人所述的工艺中,对于每一存储器层存在几个关键光刻 (critical lithography) 步骤。因此,制造元件所需的关键光刻步骤的数目随着所实施的层数而倍增。关键光刻步骤很昂贵,所以最好在制造集成电路时予以最小化。因此,虽然利用三维阵列能有达成较高密度的优点,但是较高的制造成本却限制此技术的使用。

[0006] 在电荷捕捉存储器技术中提供垂直的与非门 (NAND) 存储单元的另一种结构可参阅 Tanaka 等人在 2007 年 6 月 12-14 日发表于 2007 Symposium on VLSI Technology Digest of Technical Papers 第 14-15 页的名为“Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”的论文。Tanaka 等人所述的结构包括具有其操作类似与非门 (NAND) 的垂直通道 (channel) 的多重栅极场效应晶体管结构 (multi-gate field effect transistor structure),其中利用硅-氧化硅-氮化硅-氧化硅-硅 (silicon-oxide-nitride-oxide-silicon, SONOS) 电荷捕捉技术,在每一个栅极

/垂直通道接口 (channel interface) 产生储存位置。此存储器结构是根据当作多重栅极存储单元的垂直通道的半导体 (semiconductor) 材料柱, 具有邻接基底 (substrate) 的下选择门 (select gate), 以及位于顶部的上选择门。利用与柱相交的平面电极层 (planar electrode layers) 来形成多个水平的控制门 (control gates)。控制门所使用的平面电极层不需要关键光刻, 因而得以节省成本。然而, 每一个垂直的存储单元需要许多关键光刻步骤。并且, 能以这种方式堆层的控制门的数目有其限制, 可由例如垂直通道的导电率、所使用的编程 (program) 及擦除 (erase) 程序等等因子 (factors) 予以测定。

[0007] 三维反熔丝存储器结构可参阅 Hsiang-Lan Lung 所申请的名为“Stacked Bit Line Dual Word Line Nonvolatile Memory”的美国专利第 7, 420, 242 号, 其中利用比其它的先前技术的结构更少的光刻步骤来制造。在美国专利第 7, 420, 242 号中, 反熔丝存储器元件形成于配置在多个阶层 (levels) 中的水平位线的两边, 并且水平位线之间的垂直柱经由多个阶层向下延伸至底下的水平字符线的两个较低阶层, 其中一个字符线阶层耦接至位于位线的一边的柱, 而另一个字符线阶层则耦接至位于位线的另一边的柱。这提供高密度且反熔丝存储器。

[0008] 期望能提供一种低制造成本的三维集成电路存储器结构, 其中包括可予以擦除及编程的可靠且很小的存储器元件。

发明内容

[0009] 本发明提供一种在单一集成电路基底上实现三维与门 (AND) 型电荷捕捉存储元件。上述元件可利用一种其结构的每一阶层不需要额外的光刻步骤且具有高密度的工艺予以制造。此元件的存储单元利用半导体基体柱 (semiconductor body pillar) 的通道与字符线的栅极之间的电荷隧穿 (charge tunneling) 来编程及擦除, 并且当受到字符线的栅极电压控制时, 可利用流经与半导体基体柱相邻的位线柱 (bit line pillars) 之间的通道的电流来读取 (read)。

[0010] 本发明提供一种基于三维排列的多个双存储单元结构的三维存储单元阵列。上述双存储单元结构包括: 半导体基体柱、位于半导体基体柱的相对的第一及第二边上的第一及第二位线柱、位于半导体基体柱的相对的第三及第四边上的介电电荷捕捉结构 (dielectric charge trapping structures) 或其它的资料储存结构 (data storage structures)、排列成邻接位于半导体基体柱的第三边上的介电电荷捕捉结构的第一字符线、以及排列成邻接位于半导体基体柱的第四边上的介电电荷捕捉结构的第二字符线。控制器 (controller) 则耦接至所述阵列, 并配置成用以编程及擦除多个双存储单元结构的选取的存储单元 (selected memory cells), 其方式为施加偏压于相对应的半导体基体柱与第一及第二字符线其中之一, 以便感应 FN (Fowler-Nordheim) 隧穿。其它的方法可能利用单一存储单元结构, 其中位于第三边的字符线及资料储存结构被当作存储单元, 而位于另一边的资料储存结构及字符线之一或两者则不予以形成或者不被用以当作存储单元。

[0011] 本发明提供一种元件, 包括: 位于基底上的一半导体基体柱及位线柱阵列、介电电荷捕捉结构、以及多个阶层的字符线结构, 其排列成正交于所述半导体基体柱及位线柱阵列。半导体基体柱在相对的第一及第二边具有相对应的位线柱, 提供源极 (source) 端及漏

极 (drain) 端。半导体基体柱在相对的第三及第四边具有第一及第二通道表面。介电电荷捕捉结构覆盖第一及第二通道表面,并在三维阵列的每一阶层的每一半导体基体柱的两边提供资料储存位置 (sites)。提供所述柱阵列的方式为,利用 n 型及 p 型掺杂的半导体材料来实施交替的半导体基体柱及位线柱的列,以合于 n 通道存储单元及 p 通道存储单元,加上以多层介电电荷捕捉结构覆盖这些列的侧边。以下将更详细说明多层介电电荷捕捉结构。多层电荷捕捉结构的例子包括 SONOS 型氧化层 - 氮化层 - 氧化层 (ONO) 结构及能隙工程硅 - 氧化硅 - 氮化硅 - 氧化硅 - 硅 (bandgap engineered silicon-oxide-nitride-oxide-silicon, BE-SONOS) 型氧化层 - 氮化层 - 氧化层 - 氮化层 - 氧化层 (ONONO) 结构。

[0012] 在本发明的一实施例中,利用每一阶层的字符线结构于半导体基体柱及位线柱阵列上实现多重阶层的存储单元,因而使存储单元形成于半导体基体柱的通道表面与每一阶层的字符线结构的交叉点,加上多层电荷捕捉结构介于其间,由此提供所述三维存储单元阵列。因此,在所述元件中,字符线结构的多个阶层排列成正交于半导体基体柱及位线柱阵列。所述字符线结构包括:第一组字符线,在例如结构的左边共同耦接至第一驱动器 (driver),并排列成邻接位于交替成对的半导体基体柱及位线柱列之间的那些介电电荷捕捉结构;以及第二组字符线,与第一组字符线交错,在例如结构的右边共同耦接至第二驱动器,并排列成邻接位于交错且交替成对的半导体基体柱及位线柱列之间的那些介电电荷捕捉结构。这使字符线提供邻接位于半导体基体柱的第一通道表面及第二通道表面上的介电电荷捕捉结构的栅极,因而在每一半导体基体柱上提供每一阶层的两个可独立寻址的存储单元。

[0013] 在本发明的一实施例中,解码器电路 (decoder circuitry) 耦接至半导体基体柱及位线柱阵列,并且耦接至位于字符线结构的多个阶层上的驱动器。解码器电路用以存取三维阵列的选取的存储单元。解码器电路可用于随机存取与门解码 (random access AND-decoding)。在所述的一例子中,在耦接至上述阵列的半导体基体柱的基底中,解码器电路包括存取元件阵列,用以存取个别的半导体基体柱。解码器电路也包括列解码器 (rowdecoder),此列解码器藉由位于阵列的顶部的位线导体 (bit line conductors) 耦接至位于半导体基体柱的第一边的位线柱用以存取位线柱的个别列 (例如平行于字符线)。解码器电路也包括行解码器 (column decoder),此行解码器由位于阵列的底部的位线导体耦接至位于半导体基体柱的第二边的位线柱,用以存取位于半导体基体柱的第二边的位线柱的个别行。存取元件阵列可利用顶部及底部位线导体,来共享列解码器及行解码器。解码器电路也包括存储器平面及字符线解码器,此解码器耦接至多个字符线结构的驱动器,用以存取位于结构的个别阶层的第二组字符线其中一组。

[0014] 在本发明的另一实施例中,存储元件的实施方式也可是半导体基体柱及位线柱列以单元源极 - 通道 - 漏极组 (unit source-channel-drain sets) 排列,其中单元组 (unit set) 包括:第一位线柱,半导体基体柱邻接第一位线柱;第二位线柱,邻接半导体基体柱;以及绝缘构件 (insulating member),实现源极 - 通道 - 漏极 - 绝缘体图案。在此实施例中,绝缘构件隔离相邻的源极 - 通道 - 漏极组,在编程、擦除以及读取期间抑制与选取的存储单元相邻的存储单元的干扰。

[0015] 在本发明的一实施例中,存储元件包括控制电路 (control circuits) 及偏压电路 (biasing circuits),用以施加偏压于三维阵列的选取的存储单元,来执行栅极侧 FN 编程

与栅极侧 FN 擦除操作,并且抑制未选取的存储单元所储存的电荷的干扰。

[0016] 本发明提供一种基于栅极侧注入 FN 电子 (electron) 及空穴 (hole) 隧穿的三维与门 (AND) 型电荷捕捉存储器阵列的操作方法。为了编程选取的存储单元,将施加偏压于耦接至选取的存储单元的半导体基体线 (body line) 及字符线元件 (例如施加 -15 伏特 (V) 至位于柱的一侧的选取的字符线,将 n 通道存储单元的基体柱接地,施加 -8 伏特 (V) 至位于柱的其它侧的未选取的字符线),以便产生栅极注入电子隧穿的电场,同时断开其它的半导体基体线,尽管已由施加偏压至未选的字符线来电容性增压。位于三维阵列中的相同的阶层及其它的阶层的未选的字符线则被施加偏压 (例如施加 -8 伏特 (V) 至 n 通道存储单元),以避免干扰。

[0017] 本发明提供一种存储元件的制造方法。此方法包括提供集成电路基底,此集成电路基底具有用以连接个别的半导体基体柱的存取元件阵列,以及用以连接位于半导体基体柱的第一边的位线柱行的位线导体列。相对应的接点 (contacts) 阵列则包含于所述存取元件及位线导体的表面。交替的绝缘材料层及字符线材料层形成于基底的表面上,以便建立多个阶层的字符线材料。由多个阶层的字符线材料蚀刻多个沟槽 (trenches),而使沟槽正交于基底的位线导体,并且暴露位于存取元件及位线导体两者的表面的接点阵列的接点。电荷捕捉结构形成于沟槽的侧壁上,至少形成于暴露在多个阶层的侧壁的字符线材料上。沟槽以具有第一型掺杂物 (dopant) 的半导体材料来填充,然后予以蚀刻以便定义与存取元件的相对应接点接触的位于沟槽内的半导体基体柱,并且在半导体基体柱的相对的第一及第二边留下开口 (openings)。所述开口以包含具有相反类型的掺杂物的半导体材料的位线柱来填充,以便定义接触基底的位线的接点的位于半导体基体柱的第一边的第一位线柱,并且定义位于半导体基体柱的第二边的第二位线柱 (用以接触位于顶部的位线)。由于这工艺,使得半导体基体柱在与位于沟槽的侧壁的电荷捕捉结构接触的相对的第三及第四边上具有通道表面。藉由蚀刻多个阶层的字符线材料,以便在交替成对的列之间形成交错的左字符线元件及右字符线元件,并且耦接至位于半导体基体柱的相对的第三及第四边的电荷捕捉结构。于顶部则形成有多个位线导体,用以连接位于半导体基体柱的第二边的位线柱行。位线导体、存取元件以及字符线元件连接位于基底上的解码电路,其排列如上所述。

[0018] 基于上述,本发明的工艺需要的光刻步骤很少,因而相较于其它的三维存储器工艺更实用且成本较低。

附图说明

[0019] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附附图作详细说明如下,其中:

[0020] 图 1 是依照本发明的一实施例的用于与门 (AND) 解码的三维存储器结构的 X-Z 切面图。

[0021] 图 2 是依照本发明的一实施例的用于与门 (AND) 解码的三维存储器结构的 X-Y 阶层图。

[0022] 图 3 绘示依照本发明的一实施例的 2 位单元存储单元的结构,其符号与图 1 及图 2 的三维存储器结构的单元存储单元的符号一致。

[0023] 图 4 是依照本发明的一实施例的三维存储器结构的一部分的透视图。

[0024] 图 5 是依照本发明的一实施例的三维存储器结构的一阶层的 X-Y 平面布局图。

[0025] 图 6 至图 15 绘示依照本发明的一实施例的用以制造三维存储器结构的一系列的工艺阶段。

[0026] 图 16 绘示依照本发明的另一实施例的半导体位线柱及半导体基体柱的列,其绝缘构件将单元源极-通道-漏极组分开。

[0027] 图 17 绘示依照本发明的一实施例的三维存储器结构的 BE-SONOS 电荷储存结构。

[0028] 图 18 及图 19A 至图 19D 绘示依照本发明的一实施例的用以耦合字符线阶层与解码电路的三维内联机结构。

[0029] 图 20 绘示依照本发明的一实施例的在基底中代表性的基体线存取元件阵列。

[0030] 图 21 是依照本发明的一实施例的包含三维与门 (AND) 型电荷捕捉存储器阵列的集成电路的简化方块图。

具体实施方式

[0031] 以下将参考图 1 至图 21 详细说明本发明的实施例。

[0032] 图 1 是三维存储元件的示意图,图中绘示置于此三维结构的 X-Z 平面的“切面 (slices)”10、11、12。在此示意图中,有九个双存储单元单元结构 (two-cell unit structures)50-58,每一个单元结构具有两个存储单元,其中包含分开的电荷储存结构 (charge storage structures) 与左及右栅极。在三维存储元件的实施例中,每一切面可包括许多的双存储单元单元结构。上述元件包括用于与门 (AND) 型解码的存储单元阵列,其使用左平面解码器 (left plane decoder)20、右平面解码器 (right plane decoder)21、顶部位线 (列) 解码器 23、底部位线 (行) 解码器 22 以及基体线存取元件阵列 (body line access device array)24。Z-方向行 (例如 50、53、56) 的双存储单元单元结构的半导体基体经由半导体基体柱 (例如 34) 耦接至在此结构底下的集成电路基底实施的基体线存取元件阵列 24 的存取元件。同样地,双存储单元单元结构 51、54、57 的半导体基体经由半导体基体柱 35 耦接至基体线存取元件阵列 24 的相对应的存取元件。双存储单元单元结构 52、55、58 的半导体基体经由半导体基体柱 36 耦接至基体线存取元件阵列 24。

[0033] 位于所有的切面 10、11、12 的特定阶层 (例如 50、51、52) 的双存储单元单元结构的左栅极,经由字符线元件 60 耦接至左平面解码器 20 所选择的驱动器。同样地,位于所有的切面 10、11、12 的特定阶层 (例如 50、51、52) 的单元结构的右栅极经由字符线元件 63 耦接至右平面解码器 21 所选择的驱动器。位于包含单元结构 53、54、55 的阶层的左栅极及右栅极分别经由字符线元件 61 耦接至左平面解码器 20,且经由字符线元件 64 耦接至右平面解码器 21。位于包含单元结构 56、57、58 的阶层的左栅极及右栅极分别经由字符线元件 62 耦接至左平面解码器 20,且经由字符线元件 65 耦接至右平面解码器 21。

[0034] 在这示意图中,位于 Z-方向行 (例如 50、53、56) 的单元结构的右边的源极/漏极端经由位线柱 40、41、42 耦接至沿着 X-方向存储单元行 (实施于结构上方的集成电路基底) 排列的位线导体 28、29、30,并且耦接至顶部位线解码器 (top bit line decoder)23。在这示意图中,位于 Z-方向行 (例如 50、53、56) 的单元结构的左边的源极/漏极端经由位线柱 31、32、33 耦接至沿着 Y-方向行 (实施于三维结构底下) 排列的位线导体 37、38、39,

并且耦接至底部位线解码器 (bottom bit line decoder) 22。位于单元结构 51、54、57 的左边的源极 / 漏极端耦接至位于其右边的源极 / 漏极端分别与位线柱 32 及 41, 这些位线柱分别耦接至顶部位线导体 30 及底部位线导体 38。位于单元存储单元 52、55、58 的左边的源极 / 漏极端耦接至位于其右边的源极 / 漏极端分别与位线柱 33 及 42, 这些位线柱分别耦接至顶部位线导体 330 及底部位线导体 39。位线柱可用金属捆住或用金属硅化物捆住, 以便改善导电率。

[0035] 如图所示, 利用顶部位线解码器 23 来选择位于位线导体 30 的 X- 方向列以及利用底部位线解码器 22 来选择位于位线导体 37 的 Y- 方向行, 可建立用以读取个别存储单元 (例如单元结构 53 的两个存储单元之一) 的电流路径。而利用左平面解码器 20 来选择字符线元件 61 及利用右平面解码器 21 来选择字符线元件 64, 可施加栅极电压至特定阶层的一单元结构中的个别存储单元。利用 X- 解码及 Y- 解码的基体线存取元件阵列 24, 可选取 Z- 方向行的个别半导体基体用以施加偏压。

[0036] 图 2 是三维存储元件的示意图, 图中绘示置于此三维结构的 X-Y 平面的“阶层 (levels)” 66、67、68。左平面解码器 20 及右平面解码器 21 绘示于图中。在上述的示意图中每一阶层包括 9 个双存储单元单元结构。在实施例中, 每一阶层可包括许多的存储单元。在示意图中, 阶层 66 的单元结构的前列包括结构 50、51、52, 对应于图 1 所示的切面的顶列 (top row)。双存储单元单元结构 70-75 的平衡使阶层的单元结构的 3 乘 3 (3-by-3) X-Y 排列完整。如图 2 所示, 左字符线元件 60 利用分岔的字符线元件 60-L 来连接位于交替成对的列之间的栅极。同样地, 右字符线元件 63 与左字符线元件 60 交错, 并且利用分岔的字符线元件 63-R 来连接位于其它的交替成对的列之间的栅极。

[0037] 所述的双存储单元单元结构绘示于图 3。图 1 及图 2 所使用的符号 50 表示单元结构, 此单元结构能以所绘示的结构予以表示, 其中包括字符线元件 60-L、字符线元件 63-R、半导体基体柱 34、第一位线柱 31 以及第二位线柱 32。介电电荷储存结构 (dielectric charge storage structures) 78、79 位于半导体基体柱 34 的对边且介于在半导体基体柱 34 的对边上的个别通道表面与字符线元件 60-L 或 63-R 所提供的相对应栅极之间。因此, 这种单元结构提供双存储单元, 包括图中所标示的 CELL 1 及 CELL 2, 每一存储单元包括源极、漏极、电荷捕捉元件以及栅极。

[0038] 施加于单元结构的偏压包括右字符线电压 V_{wl-R} 左字符线电压 V_{wl-L} 、底部位线电压 V_{bl-B} 、顶部位线电压 V_{bl-T} 以及基体线电压 V_b 。从字符线到未选取的浮接半导体基体线的电压的电容性耦合 (capacitive coupling) 所造成的自增压 (self boosting) 有助于避免编程干扰情况。下列表格显示此单元结构的两个存储单元 (c1 及 c2) 在读取、栅极注入编程以及栅极注入擦除模式下, 所述端的典型操作电压。当然, 可调整电压位准, 以适应特定实施方式与编程或擦除方法。

[0039]

	读取 -c1	读取 -c2	编程 -c1	编程 -c2	擦除 -c1	擦除 -c2
选取的 V_{wl-R}	+2 伏特	0 伏特	-15 伏特	-8 伏特	+15 伏特	+15 伏特

选取的 V_{WL-L}	0 伏特	+2 伏特	-8 伏特	-15 伏特	+15 伏特	+15 伏特
选取的 V_{BL-B}	V_S	V_S	浮动 (floating)	浮动	浮动	浮动
选取的 V_{BL-T}	V_D	V_D	浮动	浮动	浮动	浮动
选取的 V_B	浮动或 0 伏特	浮动或 0 伏特	0 伏特	0 伏特	0 伏特	0 伏特
未选的 V_{WL-R}	0 伏特	0 伏特	-8 伏特	-8 伏特	浮动	浮动
未选的 V_{WL-L}	0 伏特	0 伏特	-8 伏特	-8 伏特	浮动	浮动
未选的 V_{BL-B}	0 伏特	0 伏特	浮动	浮动	浮动	浮动
未选的 V_{BL-T}	0 伏特	0 伏特	浮动	浮动	浮动	浮动
未选的 V_B	浮动	浮动	浮动	浮动	浮动	浮动

[0040]

[0041] 图 4 绘示包含参考图 1 至图 3 所说明的存储单元阵列的三维结构的一部分。图中绘示四阶层的字符线,其中顶部阶层包括依 X- 方向延伸的字符线 110-112,下一阶层包括字符线 113-115,再下一阶层包括字符线 116-118,并且底部阶层包括字符线 119-121。电荷储存结构 125-130 形成于顶部阶层的字符线 110-112 的对边。电荷储存结构 131-132 形成于字符线 115 的对边,电荷储存结构 133-134 形成于字符线 118 的对边,并且电荷储存结构 135-136 形成于字符线 121 的对边。类似的电荷储存结构同样形成于结构的其它字符线的边上。上述的结构包括半导体基体柱阵列,其包含位于所绘示的结构的后方的柱 81-84,以

及位于所绘示的结构的前方的柱 93、95、97、99。位线柱形成于半导体基体柱的对边之间及对边之上。因此，位线柱 86、87、88、89、90 绘示于半导体基体柱 81-84 的对边。位线柱 92、94、96、98、100 绘示于半导体基体柱 93、95、97、99 的对边。顶部位线导体（未绘示）位于上述的结构的上部，依 X- 方向延伸跨越位线柱 87-90 及 92-94、89-98 等等。底部位线导体（未绘示）位于上述的结构的下部，依 Y- 方向延伸，耦接至沿着 Y- 方向行（例如在包含柱 92 及柱 86 的行中）的半导体位线柱。

[0042] 图 5 是一阶层的布局图，此阶层绘示图 4 的顶部阶层的三条交错的字符线 110-112 及额外的字符线 155，且绘示用以连接字符线 110、111、112、155 与左平面解码器及右平面解码器的延伸部分 (extensions) 150、151。图 4 所使用的参考数字会适当地重复出现在图 5 中。如图所示，字符线 110、112 耦接至用以连接降落区 (landing area) 153 的接点插塞的延伸部分 151，以连接位于集成电路基底的解码器电路。同样地，字符线 155、111 耦接至用以连接降落区 152 的接点插塞的延伸部分 150，以连接位于集成电路基底的解码器电路。以下将参考图 18 说明一种用以连接多重阶层的结构。

[0043] 图 6 至图 15 绘示上述结构的工艺的阶段。在图 6 中，集成电路基底的表面 200 绘示用以连接三维结构的接点阵列。此接点阵列包括第一组接点，其中包括耦接至个别的存取元件的接点 201-204，用以连接三维结构的半导体基体线。个别的存取元件可形成于基底中，且可包括例如金属氧化物半导体 (MOS) 晶体管，其栅极耦接至依 X- 方向排列的字符线，其源极耦接至依 Y- 方向排列的源极线，且其漏极连接至接点（例如 201-204）。可由施加偏压至字符线及源极线，来选择个别的存取元件以符合特定操作。所述接点阵列包括接触区 (contact areas) 207-210，位于依 Y- 方向排列的底部位线导体 206、205 上，用以连接三维结构的左侧位线柱，其说明如上所述。

[0044] 图 7 绘示于基底 220 的顶部上形成交替的绝缘材料（例如二氧化硅或氮化硅）层 221、223、225、227 与字符线材料（例如 n+ 型多晶硅）层 222、224、226、228 之后，于工艺的第一阶段的一多层叠层的材料的侧边剖面。在一典型结构中，交替的绝缘材料层的厚度可以是大约 50 纳米 (nanometers)，并且交替的字符线材料层的厚度可以是大约 50 纳米。在交替层的顶部上方，可形成硬掩膜 (hard mask) 材料（例如氮化硅）层 229。

[0045] 图 8 是从上方透视层 229 所获得的布局图，图中绘示利用第一光刻工艺来定义沟槽 (trenches) 的图案的结果，并且用以由图 7 所示的多层叠层的材料来形成沟槽 245-248 的叠层的图案化蚀刻 (patterned etch)，并暴露底部位导体（例如接触区 210）以及耦接至基体线存取电路的个别存取元件的接点（例如接点 204）。可由非等向性反应离子蚀刻 (anisotropic reactive ion etching) 技术蚀刻出具有高的深宽比 (aspect ratio) 的多晶硅层与氧化硅层 (silicon oxide) 或氮化硅层。沟槽具有侧壁 230-233，结构的每一阶层的字符线材料层暴露于其上。典型结构的沟槽 245-248 的宽度可以是大约 50 纳米。

[0046] 图 9 绘示在接触字符线材料层的沟槽 245-248 的侧壁上沉积所述多层电荷捕捉结构 240-243 之后，工艺的后续阶段。以下将参考图 17 说明代表性结构及工艺。在沉积多层电荷捕捉结构之后，上述工艺包括沉积薄保护层（例如多层电荷捕捉结构上方的 p 型多晶硅），以及利用非等向性工艺蚀刻所得的形成物，以便由沟槽 245-248 的底部移除多层电荷捕捉结构 240-243 的材料，并且暴露底部位线导体及接点（例如 210、204）。

[0047] 电荷捕捉结构 240-243 包括与字符线材料接触的隧穿层，隧穿层上方的电荷捕捉

层 (charge trapping layer), 以及电荷捕捉层上方的阻挡层 (blocking layer), 像是用于典型电荷捕捉存储元件。例如, 隧穿层可包括二氧化硅层或氮氧化硅层, 电荷捕捉层可包括氮化硅层或其它的电荷捕捉材料层, 并且阻挡层可包括二氧化硅层或 SONOS 型存储元件特有的高介电系数材料层。另一方面, 如同以下参考图 17 所述, 可利用能隙工程电荷捕捉结构 (bandgap engineered charge trapping structure)。

[0048] 图 10 绘示在将用于半导体基体线的材料 (例如 p 型多晶硅) 填充沟槽以便形成填充沟槽 250-253 之后, 工艺的下一阶段。半导体基体线接触所述电荷捕捉结构 240-243 的阻挡层。

[0049] 图 11 绘示利用第二光刻工艺来定义半导体基体线的图案的结果, 并且利用对于半导体基体线材料是选择性的非等向性蚀刻工艺进行填充沟槽的图案化蚀刻, 以便定义接触接点的半导体基体柱 250-a、250-b、250-c、251-a、251-b、251-c、252-a、252-b、252-c、253-a、253-b、253-c (所述接点包括接触下面个别存取元件的接点 204 (未绘示)), 并且在暴露底部位线导体 (包括接触区 210) 的半导体基体线之间产生垂直的开口。

[0050] 图 12 绘示于开口内沉积位线材料 (例如 n 型多晶硅) 以形成耦接至底部位线导体的位线柱 260-a、260-b 及耦接至顶部位线导体的位线柱 261-a、261-b 之后, 工艺的后续阶段。在一工艺中, 利用共形工艺 (conformal process) 沉积 n 型多晶硅以覆盖开口的侧壁。然后, 以钨插塞 (tungsten plug) 270-273 或者其它金属或硅化物前驱材料 (precursor material) 来填充所获得的衬有多晶硅的通孔 (vias), 以便改善位线柱的导电率, 并且提供用金属或金属硅化物捆住的位线柱。使用被捆住的位线柱能够藉由降低位线柱的电阻及增加其导电率来形成更多的三维结构的阶层。其次, 利用化学机械研磨工艺 (chemical mechanical polishing process) 或其它的平面化技术来平面化所述结构, 以便揭露半导体基体线。

[0051] 图 13 绘示在左字符线结构及右字符线结构图案化之后, 工艺的后续阶段。此工艺包括藉由多层叠层来蚀刻并利用绝缘材料 285-289 填充所得的开口, 以便在元件的所有阶层中产生交错的左字符线结构 281 与右字符线结构 280。

[0052] 图 14 绘示在形成经由绝缘层 (insulating layer) (未绘示) 向上延伸的接点 290、291 之后, 工艺的后续阶段。上述的接点用以连接右侧位线柱 261-a、261-b 与依 X- 方向排列的上面的位线导体而且不会使基体线柱 (例如 290) 与左侧位线柱 (例如 260-a、260-b) 短路。如图 15 所示, 位线导体 294、295、296、297 在结构的上方形成图案且依 X- 方向平行于字符线元件延伸, 用以连接顶部位线解码器, 顶部位线导体连接在参考图 14 所述的右侧位线柱的顶部所形成的接点 (例如 290、291, 其轮廓显示位于位线导体底下)。

[0053] 图 16 绘示另一种排列, 其中用于半导体基体柱及半导体位线柱的半导体柱列 (例如在左字符线元件 309 与右字符线元件 310 之间) 组成一单元组 (unit set), 其包括第一位线柱 306、半导体基体柱 303、第二位线柱 307 以及绝缘材料柱 302。这种单元沿着此列 (绝缘柱 (insulating pillar) 301 及位线柱 305 是先前的单元组的一部分) 重复, 以便电性隔离个别的源极 - 通道 - 漏极单元。这使沟槽的绝缘柱 (例如 301) 介于第一半导体基体柱 (例如 300) 的第二对边的位线柱 (例如 305) 与第二半导体基体柱 (例如 303) 的第一对边的位线柱 (例如 306) 之间。如此将改善阵列的干扰情况。除了图 6 至图 15 的工艺之外, 可利用一个额外的光刻步骤来制造图 16 的结构以定义绝缘柱, 或者可共享以上参考

图 13 所述的用以形成左侧字符线元件及右侧字符线元件的光刻步骤。

[0054] 图 17 是适合用于在此所述的存储单元且利用能隙工程介电隧穿层 (BE-SONOS 型) 的电荷储存结构的简图。上述的存储单元包括半导体基体柱 400 的通道表面 400a。在图 17 中未绘示第一邻接位线柱的源极与第二邻接位线柱的漏极。

[0055] 在这实施例中,栅极 420 包括 n+ 型多晶硅。也可使用 p+ 型多晶硅。其它的实施例将金属、金属化合物或金属及金属化合物的组合于栅极 420,例如铂、氮化钽 (tantalum nitride)、金属硅化物、铝或其它的金属或金属化合物栅极材料。对于某些应用,最好使用其功函数 (work functions) 高于 4.5 电子伏特 (eV) 的材料。参照上文,美国专利第 6,912,163 号说明多种适合当作栅极端的高功函数材料。此种材料通常利用溅镀 (sputtering) 及物理气相沉积 (physical vapor deposition) 技术予以沉积,并且可利用反应离子蚀刻来进行图案化。

[0056] 在图 17 所示的实施例中,栅极侧的介电隧穿层包括复合材料,其中二氧化硅所构成的第一层 419 位于栅极 420 的表面上,称为空穴隧穿层 (hole tunneling layer),利用例如现场蒸气产生 (in-situ steam generation, ISSG) 以沉积一氧化氮后退火 (post deposition NO anneal) 或在沉积期间增添一氧化氮 (NO) 至环境 (ambient) 中的选择性氮化 (nitridation) 方式来形成。二氧化硅所构成的第一层 419 的厚度小于 2 纳米 (nm),并且最好是 1.5 纳米 (nm) 或更小。

[0057] 氮化硅所构成的第二层 418 位于氧化硅所构成的第一层 419 上,称为能带偏移层 (band offset layer),利用例如低压化学气相沉积 (low-pressure chemical vapor deposition, LPCVD) 在 680°C 以二氯硅烷 (dichlorosilane, DCS) 及氨 (NH₃) 前驱物来形成。在另外的工艺中,能带偏移层包括氮氧化硅 (silicon oxynitride),利用类似的工艺以一氧化二氮 (N₂O) 前驱物来制造。氮化硅层 418 的厚度小于 3 纳米 (nm),并且最好是 2.5 纳米 (nm) 或更小。

[0058] 二氧化硅所构成的第三层 417 位于氮化硅层 418 上,称为隔离层 (isolation layer),利用例如低压化学气相沉积 (LPCVD) 以高温氧化物 (high temperature oxide, HTO) 沉积来形成。也可利用氮氧化硅或其它具有较大能隙的适当材料来实施第三层 417。第三层 417 的厚度小于 4 纳米 (nm),并且最好是 3.5 纳米 (nm) 或更小。

[0059] 在这实施例中,电荷捕捉层 416 包括其厚度大于 5 纳米 (nm) 的氮化硅,例如对于利用低压化学气相沉积 (LPCVD) 来形成的这实施例是大约 7 纳米 (nm)。可利用其它的电荷捕捉材料及结构,包括例如氮氧化硅 (Si_xO_yN_z)、多硅氮化硅 (silicon-rich nitride)、多硅氧化硅 (silicon-rich oxide)、包含内嵌的纳米粒子 (embedded nano-particles) 的捕捉层等等。

[0060] 在这实施例中,阻挡介电层 (blocking dielectric layer) 415 包括氧化硅,可利用湿式炉管氧化工艺 (wet furnace oxidation process) 由氯化物的湿式转换而形成。其它的实施例可利用高温氧化物 (HTO) 或利用低压化学气相沉积 (LPCVD) 以二氧化硅 (SiO₂) 来实施。氧化硅层 415 的厚度可以是例如在大约 5 至 8 纳米的范围内,而氮化硅层 416 的厚度则可以是例如在 5 至 7 纳米的范围内。在一例中,氧化硅层 415 是大约 7 纳米 (nm)。另一方面,阻挡介电层 415 可使用其它的材料,例如氧化铝 (aluminum oxide)、氧化铪 (hafnium oxide) 等等的高介电系数金属氧化物,或材料的组合。

[0061] 在典型实施例中,第一层 419 可以是 1.3 纳米 (nm) 的二氧化硅;能带偏移层 418 可以是 2 纳米 (nm) 的氮化硅;隔离层 417 可以是 2.5 纳米 (nm) 的二氧化硅;电荷捕捉层 416 可以是 7 纳米 (nm) 的氮化硅;以及阻挡介电层 415 可以是 7 纳米 (nm) 的氧化硅。栅极材料可以是 p+ 型多晶硅。

[0062] 图 17 的层 419-417 的叠层在低电场下具有“U 形”导电带 (conduction band) 及“倒 U 形”价电带 (valence band)。因而在此所述的介电隧穿层的特征是能带偏移特性,包括在位于半导体基体接口的薄区域 (第一层 419) 中有较大的空穴隧穿位障高度 (hole tunneling barrier height),以及在小于 2 纳米 (nm) 的第一偏移从通道表面起增加价电带能阶。能带偏移特性也包括藉由提供较高的隧穿位障高度材料 (第三层 417) 的薄层而在第二偏移 (第二层 418) 从通道起减少价电带能阶,导致倒 U 形价电带形状。同样地,导电带具有相同的材料选择所导致的 U 形。

[0063] 第一位置的价电带能阶使电场足以经由半导体基体与第一位置接口之间的薄区域感应空穴隧穿,也足以提升第一位置后面的价电带能阶至可有效消除第一位置后面的复合隧穿介电质中的空穴隧穿位障 (hole tunneling barrier) 的位准。这结构能够高速执行电场辅助空穴隧穿,同时有效避免在为了其它的操作 (例如从存储单元读取资料或编程相邻的存储单元) 而不感应电场或感应较小的电场的情况下经由复合隧穿介电质泄漏电荷。

[0064] 图 18 是具有内联机结构 (interconnect structure) 690 的适当三维结构的剖面图,在此元件中的导体 (conductors) 680 延伸至各阶层 660-1 至 660-4 的字符线结构上的降落区。在所示的例子中绘示四阶层 660-1 至 660-4。导体 680 排列于内联机结构 690 内以便接触各阶层 660-1 至 660-4 上的降落区。每一特定阶层的导体 680 经由上面的阶层的开口延伸以便接触降落区 661-1a、661-1b、661-2a、661-2b、661-3a、661-3b、661-4。在本例中是使用导体 680 来使阶层耦接至覆盖阶层 660-1 至 660-4 的布线层 (wiring layer) (未绘示) 的内联机 (interconnect lines) 685,并且经由此布线层耦接至基底的解码器。

[0065] 降落区是阶层 660-1 至 660-4 的一部分,用以接触导体 680。降落区的大小必须足以提供空间给导体 680,来充分耦合阶层 660-1 至 660-4 与上面的内联机 685,同时对于不同阶层的降落区而言,可解决例如导体 680 与某一阶层上面的开口之间对不准的问题。

[0066] 降落区的大小因而取决于一些因子,包括所使用的导体的大小及数目,并且将随着不同的实施例而变动。此外,导体 680 的数目对于每一个降落区可以不一样。

[0067] 在所示的例子中,阶层 660-1 至 660-4 由上述的各种平面字符线结构所构成,并且以绝缘材料层 665 来分开阶层 660-1 至 660-4。

[0068] 接触不同的阶层 660-1 至 660-4 的导体 680 依照沿着图 18 所示的横截面延伸的方向来排列。接触不同的阶层 660-1 至 660-4 的导体 680 的排列所定义的这方向在此称为“纵向 (longitudinal)”方向。“横向 (transverse)”方向垂直于纵向方向,且进出图 18 所示的横截面。纵向方向及横向方向都被认为是“横向尺寸 (lateral dimensions)”,意指在阶层 660-1 至 660-4 的平面图的二维区域中的方向。结构或特征的“长度”是纵向方向的长度,而其“宽度”则是横向方向的宽度。

[0069] 阶层 660-1 是多个阶层 660-1 至 660-4 的最低阶层。阶层 660-1 位于绝缘层 664 上。

[0070] 阶层 660-1 包括用以接触导体 680 的第一降落区 661-1a 及第二降落区 661-1b。

[0071] 在图 18 中, 阶层 660-1 包括位于内联机结构 690 的相反端的两个降落区 661-1a、661-1b。在某些另外的实施例中, 省略降落区 661-1a、661-1b 其中之一。

[0072] 图 19A 是阶层 660-1 的一部分的平面图, 其中包含位于内联机结构 690 的占用面积 (footprint) 内的降落区 661-1a、661-1b。内联机结构 690 的占用面积的宽度可能接近导体的通孔尺寸的宽度, 并且其长度可能远长于此宽度。如图 19A 所示, 降落区 661-1a 具有横向方向的宽度 700 及纵向方向的长度 701。降落区 661-1b 具有横向方向的宽度 702 及纵向方向的长度 703。在图 19A 的实施例中, 每一个降落区 661-1a、661-1b 都具有长方形横截面。在其它的实施例中, 每一个降落区 661-1a、661-1b 的横截面可以是圆形、椭圆形、正方形、长方形或稍微不规则的形状。

[0073] 因为阶层 660-1 是最低阶层, 所以导体 680 不需要通过阶层 660-1 到下面的阶层。因此, 在本例中, 阶层 660-1 在内联机结构 690 内没有开口。

[0074] 回头参照图 18, 阶层 660-2 覆盖阶层 660-1。阶层 660-2 包括覆盖阶层 660-1 上的降落区 661-1a 的开口 750。开口 750 则具有定义开口 750 的长度 752 的远程纵向侧壁 (distal longitudinal sidewall) 751a 及近端纵向侧壁 (proximal longitudinal sidewall) 751b。开口 750 的长度 752 至少与下面的降落区 661-1a 的长度 701 一样大, 以便降落区 661-1a 的导体 680 可穿过阶层 660-2。

[0075] 阶层 660-2 也包括覆盖降落区 661-1b 的开口 755。开口 755 具有定义开口 755 的长度 757 的远程纵向侧壁 756a 及近端纵向侧壁 756b。开口 755 的长度 757 至少与下面的降落区 661-1b 的长度 703 一样大, 以便降落区 661-1b 的导体 680 可穿过阶层 660-2。

[0076] 阶层 660-2 也包括分别邻接开口 750、755 的第一降落区 661-2a 与第二降落区 661-2b。第一降落区 661-2a 及第二降落区 661-2b 是阶层 660-2 的一部分, 用以接触导体 680。

[0077] 图 19B 是阶层 660-2 的一部分的平面图, 其中包括第一降落区 661-2a 及第二降落区 661-2b 与位于内联机结构 690 内的开口 750、755。

[0078] 如图 19B 所示, 开口 750 具有定义长度 752 的纵向侧壁 751a、751b, 并且具有定义开口 750 的宽度 754 的横向侧壁 (transverse sidewalls) 753a、753b。宽度 754 至少与下面的降落区 661-1a 的宽度 700 一样大, 以便导体 680 可穿过开口 750。

[0079] 开口 755 具有定义长度 757 的纵向侧壁 756a、756b, 并且具有定义宽度 759 的横向侧壁 758a、758b。宽度 759 至少与下面的降落区 661-1b 的宽度 702 一样大, 以便导体 680 可穿过开口 755。

[0080] 如图 19B 所示, 降落区 661-2a 邻接开口 750 且具有横向方向的宽度 704 及纵向方向的长度 705。降落区 661-2b 邻接开口 755 且具有横向方向的宽度 706 及纵向方向的长度 707。

[0081] 回头参照图 18, 阶层 660-3 覆盖阶层 660-2。阶层 660-3 包括覆盖阶层 660-1 上的降落区 661-1a 及阶层 660-2 上的降落区 661-2a 的开口 760。开口 760 具有定义开口 760 的长度 762 的远程纵向侧壁 761a 及近端纵向侧壁 761b。开口 760 的长度 762 至少与下面的降落区 661-1a、661-2a 的长度 701、705 的总和一样大, 以便降落区 661-1a、661-2a 的导体 680 可穿过阶层 660-3。

[0082] 如图 18 所示, 开口 760 的远程纵向侧壁 761a 垂直地对准下面的开口 750 的远程

纵向侧壁 751a。在下文将更详细地说明制造实施例中,可利用单一蚀刻掩膜的开口及一个形成于此单一蚀刻掩膜的开口上方的额外的掩膜来形成开口,并且蚀刻此额外的掩膜的工艺没有关键对准步骤,因而形成垂直对准的开口,这些开口具有沿着单一蚀刻掩膜的周边的远程纵向侧壁 761a、751a 等等。

[0083] 阶层 660-3 也包括覆盖阶层 660-1 上的降落区 661-1b 及阶层 660-2 上的降落区 661-2b 的开口 765。开口 765 具有定义开口 765 的长度 767 的外部纵向侧壁 766a 及内部纵向侧壁 766b。开口 765 的外部纵向侧壁 766a 垂直地对准下面的开口 755 的外部纵向侧壁 756a。

[0084] 开口 765 的长度 767 至少与下面的降落区 661-1b、661-2b 的长度 703、707 的总和一样大,以便降落区 661-1b、661-2b 的导体 680 可穿过阶层 660-3。

[0085] 阶层 660-3 也包括分别邻接开口 760、765 的第一降落区 661-3a 与第二降落区 661-3b。第一降落区 661-3a 及第二降落区 661-3b 是阶层 660-3 的一部分,用以接触导体 680。

[0086] 图 19C 是阶层 660-3 的一部分的平面图,其中包括第一降落区 661-3a 及第二降落区 661-3b 与位于内联机结构 690 内的开口 760、765。

[0087] 如图 19C 所示,开口 760 具有定义长度 762 的外部纵向侧壁 761a 及内部纵向侧壁 761b,并且具有定义开口 760 的宽度 764a、764b 的横向侧壁 763a、763b。宽度 764a 至少与下面的降落区 661-1a 的宽度 700 一样大,并且宽度 764b 至少与下面的降落区 661-2a 的宽度 704 一样大,以便导体 680 可穿过开口 760。

[0088] 在所示的实施例中,宽度 764a 与 764b 实质上相同。另一方面,为了包容具有不同宽度的降落区,宽度 764a 与 764b 可以不一样。

[0089] 开口 765 具有定义长度 767 的纵向侧壁 766a、766b,并且具有定义宽度 769 的横向侧壁 768a、768b。宽度 769a 至少与下面的降落区 661-1b 的宽度 702 一样大,并且宽度 769b 至少与下面的降落区 661-2b 的宽度 706 一样大,以便导体 680 可通过开口 765。

[0090] 如图 19C 所示,降落区 661-3a 邻接开口 760 且具有横向方向的宽度 714 及纵向方向的长度 715。降落区 661-3b 邻接开口 765 且具有横向方向的宽度 716 及纵向方向的长度 717。

[0091] 回头参照图 18,阶层 660-4 覆盖阶层 660-3。阶层 660-4 包括覆盖阶层 660-1 上的降落区 661-1a、阶层 660-2 上的降落区 661-2a 以及阶层 660-3 上的降落区 661-3a 的开口 770。开口 770 具有定义开口 770 的长度 772 的纵向侧壁 771a、771b。开口 770 的长度 772 至少与下面的降落区 661-1a、661-2a、661-3a 的长度 701、705、715 的总和一样大,以便降落区 661-1a、661-2a、661-3a 的导体 680 可通过阶层 660-4。如图 18 所示,开口 770 的纵向侧壁 771a 垂直地对准下面的开口 760 的纵向侧壁 761a。

[0092] 阶层 660-4 也包括覆盖阶层 660-1 上的降落区 661-1b、阶层 660-2 上的降落区 661-2b 以及阶层 660-3 上的降落区 661-3b 的开口 775。开口 775 具有定义开口 775 的长度 777 的纵向侧壁 776a、776b。开口 775 的纵向侧壁 776a 垂直地对准下面的开口 765 的纵向侧壁 766a。

[0093] 开口 775 的长度 777 至少与下面的降落区 661-1b、661-2b、661-3b 的长度 703、707、717 的总和一样大,以便降落区 661-1b、661-2b、661-3b 的导体 680 可穿过阶层 660-4。

[0094] 阶层 660-4 也包括位于开口 770、775 之间的降落区 661-4。降落区 661-4 是阶层 660-4 的一部分,用以接触导体 680。在图 18 中,阶层 660-4 具有一个降落区 661-4。另一方面,阶层 660-4 可包含多于一个降落区。

[0095] 图 19D 是阶层 660-4 的一部分的平面图,其中包括降落区 661-4 及位于内联机结构 690 内的开口 770、775。

[0096] 如图 19D 所示,开口 770 具有定义长度 772 的纵向侧壁 771a、771b,并且具有定义开口 770 的宽度 774 的横向侧壁 773a、773b。宽度 774a、774b、774c 至少与下面的降落区 661-1a、661-2a、661-3a 的宽度 700、704、714 一样大,以便导体 680 可穿过开口 760。

[0097] 开口 775 具有定义长度 777 的纵向侧壁 776a、776b,并且具有定义宽度 779 的横向侧壁 778a、778b。宽度 779a、779b、779c 至少与下面的降落区 661-1b、661-2b、661-3b 的宽度 702、706、716 一样大,以便导体 680 可穿过开口 775。

[0098] 如图 19D 所示,降落区 661-4 位于开口 770、775 之间且具有横向方向的宽度 724 及纵向方向的长度 725。

[0099] 回头参照图 18,开口 770、760、750 的远程纵向侧壁 771a、761a、751a 垂直地对准,所以开口 770、760、750 的长度差是由于侧壁 771b、761b、751b 的水平偏移。当在此使用时,元件或特征“垂直地对准”实质上对齐一个垂直于横向方向及纵向方向两者的想象平面。当在此使用时,用语“实质上对齐”想要考虑到利用单一蚀刻掩膜的开口及多重蚀刻工艺来形成开口的制造公差 (tolerance),此制造公差可能导致侧壁的平坦度 (planarity) 变化。

[0100] 如图 18 所示,开口 775、765、755 的纵向侧壁 776a、766a、756a 也垂直地对准。

[0101] 同样地,上述的阶层的开口的横向侧壁也垂直地对准。参照图 19A 至图 19D,开口 770、760、750 的横向侧壁 773a、763a、753a 垂直地对准。此外,横向侧壁 773b、763b、753b 垂直地对准。对于开口 775、765、755,横向侧壁 (未绘示) 垂直地对准,并且纵向侧壁 776b、766b、756b 垂直地对准。

[0102] 在所示的实施例中,各阶层 660-1 至 660-4 的开口具有实质上相同的横向方向的宽度。另一方面,为了考虑到具有不同宽度的降落区,开口的宽度可能沿着纵向方向变动,例如类步阶方式 (step-like manner)。

[0103] 在图 18 的横截面中,位于内联机结构 690 内的开口导致上述的阶层在阶层 660-4 的降落区 661-4 的两边具有类梯状图案 (staircase-like pattern)。亦即,每一阶层的两个开口对称于与纵向方向及横向方向两者垂直的轴,并且每一阶层的两个降落区也对称于此轴。当在此使用时,用语“对称的”想要考虑到利用单一蚀刻掩膜的开口及多重蚀刻工艺来形成开口的制造公差,此制造公差可能导致开口的尺寸变化。

[0104] 在每一阶层包含单一开口及单一降落区的其它实施例中,阶层只在一边具有类梯状图案。

[0105] 图 20 绘示适合当作图 1 所示的基体线存取元件阵列的存取元件阵列的一个实施例。如图 20 所示,存取层 (access layer) 804 实施于一基底中,其包含绝缘材料 810 且具有暴露接点 (例如接点 812) 阵列的顶部表面。在漏极接点 808 的顶面提供个别基体柱的接点,且其耦接至存取层的金属氧化物半导体 (MOS) 晶体管的漏极端。存取层 804 包括半导体基体,其中具有源极区域 842 及漏极区域 836。多晶硅字符线 834 配置于栅极介电层 (gatedielectric layers) 之上以及在源极区域 842 与漏极区域 836 之间。在所示的实

施例中,相邻的金属氧化物半导体(MOS)晶体管共享源极区域842,因而产生双晶体管结构(two-transistor structures)848。源极接点840位于字符线834之间且接触基底838内的源极区域842。源极接点840可连接至金属层的位线(未绘示),其走向垂直于字符线且位于漏极接点808的行之间。硅化物覆盖层(silicide caps)844覆盖字符线834。介电层(dielectric layer)845覆盖字符线834及覆盖层844。隔离沟槽(isolation trenches)846将双晶体管结构848与相邻的双晶体管结构分开。在本例中,晶体管的运作有如存取元件。个别的基体柱可耦接至接点812,并且可由控制源极接点840及字符线834的偏压予以个别地选择。当然,可使用其它的结构来实施存取元件阵列,包括例如垂直的金属氧化物半导体(MOS)元件阵列。

[0106] 图21是依照本发明的一实施例的集成电路的简化方块图。集成电路975包括位于半导体基底上的三维与门闪存阵列(3D AND flash memory array)960,其实施方式在此描述。总线(bus)965供应地址(addresses)给行解码器963、列解码器961以及左/右平面解码器958。个别的基体线的存取元件阵列构成阵列960,并且共享列解码器961及行解码器963,在阵列960中具有顶部位线及底部位线,应用于如图1所示的阵列实施例。在本例中,方块966的感测放大器(sense amplifiers)及资料输入结构(data-in structures)经由资料总线967耦接至顶部位线及行解码器963。资料是从位于集成电路975上的输入/输出端口(input/output ports)或从位于集成电路975的内部或外部的其它的资料源极经由资料输入线(data-in line)971供应给方块966的资料输入结构。在所示的实施例中,其它的电路974包含于例如通用处理器(processor)或专门应用电路的集成电路,或提供与门(AND)闪存存储单元阵列所支持的单芯片系统(system-on-a-chip)功能的模块的组合。资料是从方块966的感测放大器经由资料输出线(data-out line)972供应给位于集成电路975上的输入/输出端口或位于集成电路975的内部或外部的其它的资料目的地。

[0107] 本例所实施的一控制器利用偏压安排状态机(bias arrangement state machine)969控制偏压安排供应电压的施加,例如读取、擦除、编程、擦除验证以及编程验证电压,其中经由电压供应器或由方块968中供应的电压产生或提供所述供应电压。所述控制器可利用在所属技术领域中所众所周知的专用逻辑电路(special-purpose logic circuitry)予以实施。在另外的实施例中,控制器包括可在相同的集成电路上予以实施的通用处理器,此通用处理器执行计算机程序以控制元件的操作。在另外的其它实施例中,可利用专用逻辑电路及通用处理器的组合来实施控制器。

[0108] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视权利要求范围所界定的为准。

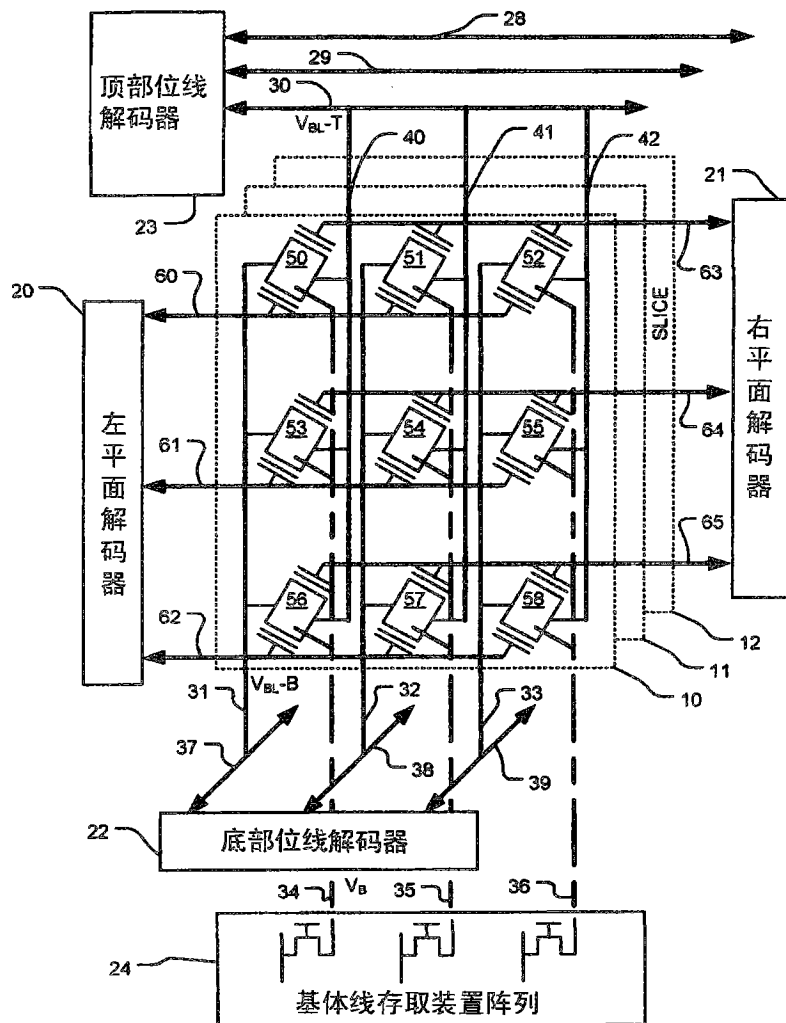


图 1

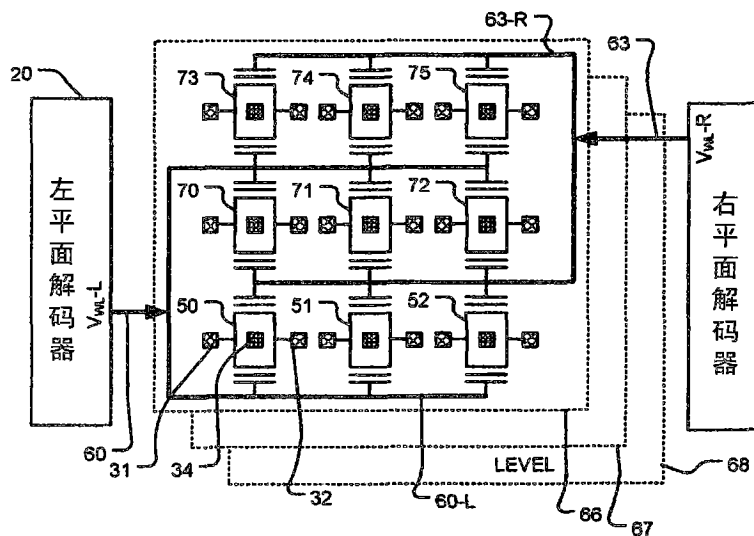


图 2

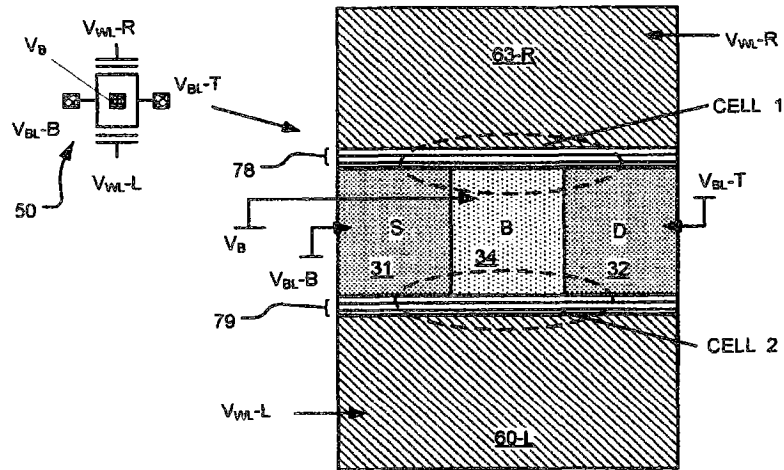


图 3

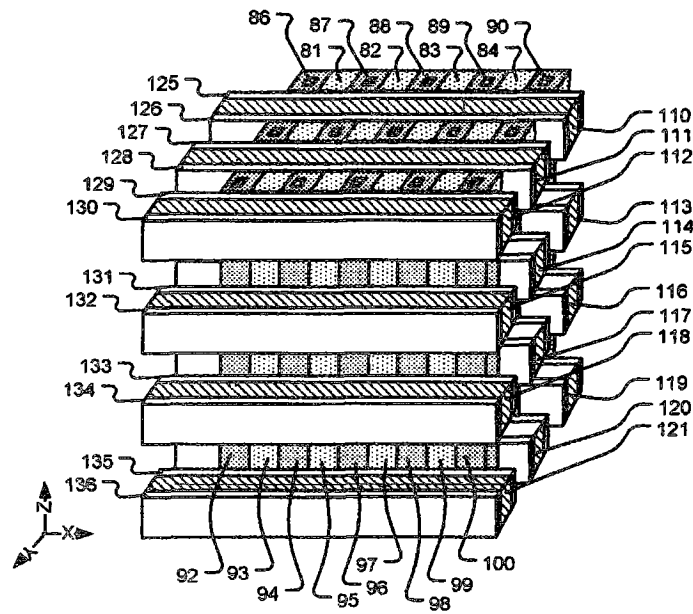


图 4

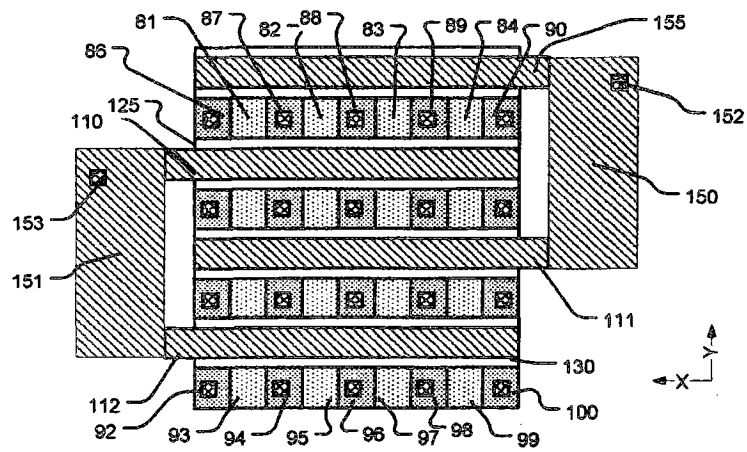


图 5

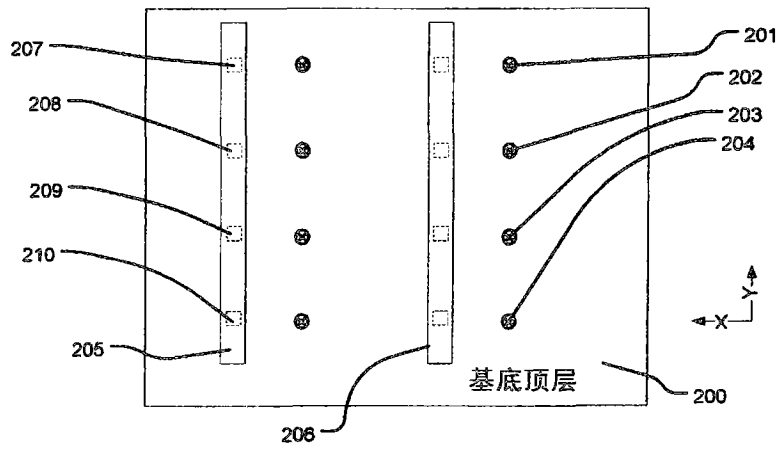


图 6

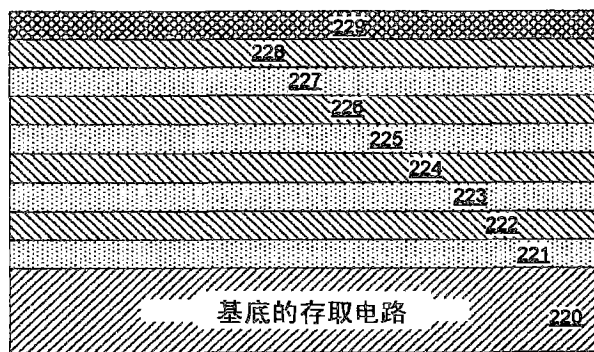


图 7

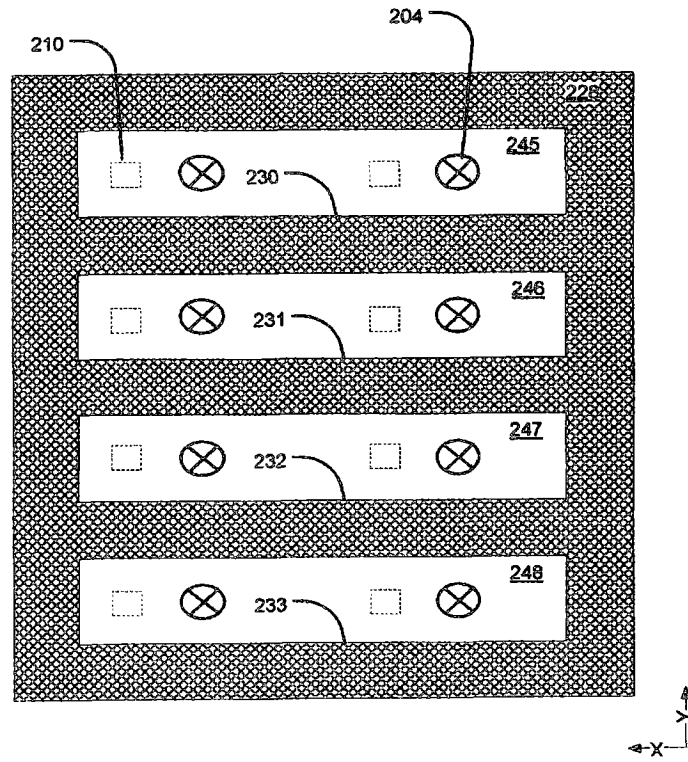


图 8

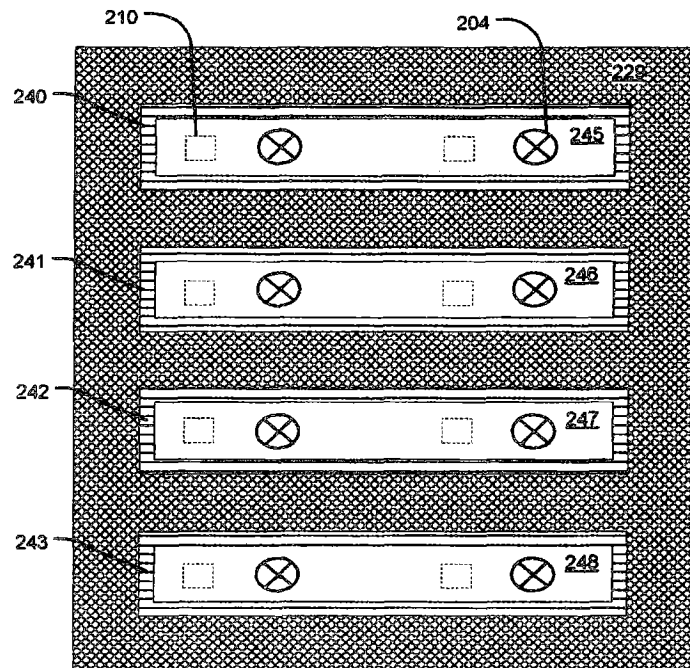


图 9

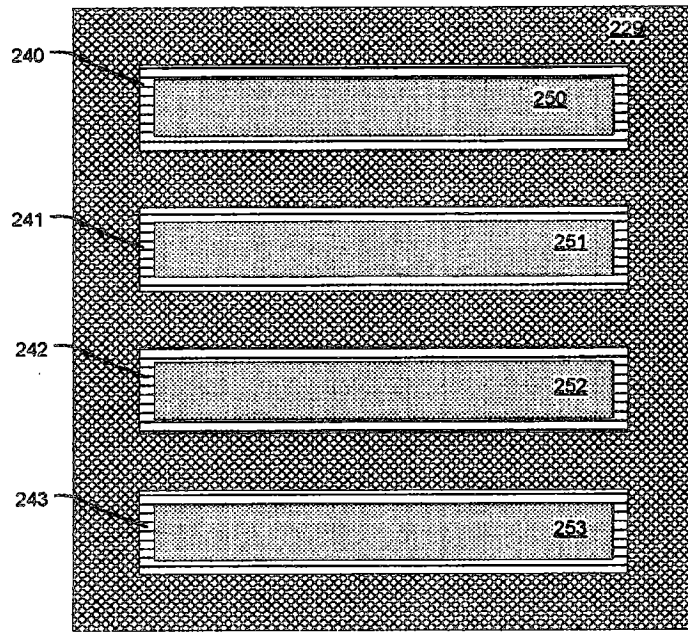


图 10

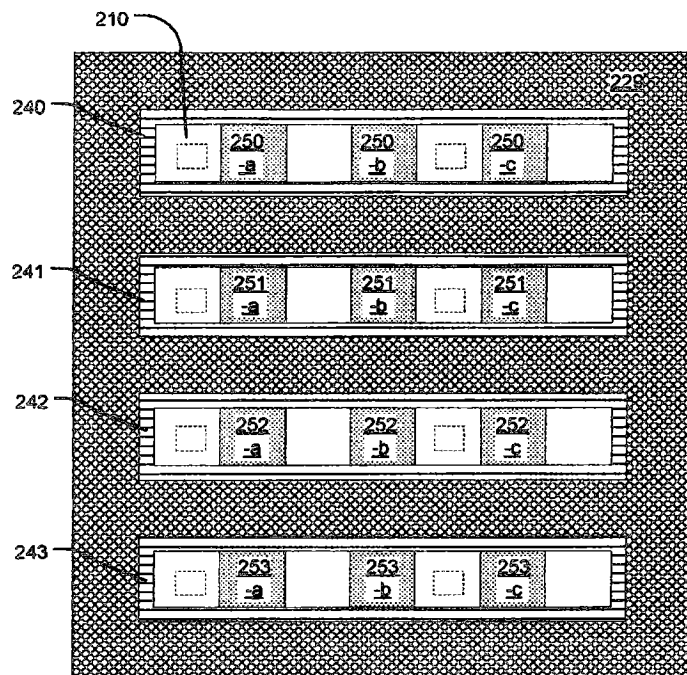


图 11

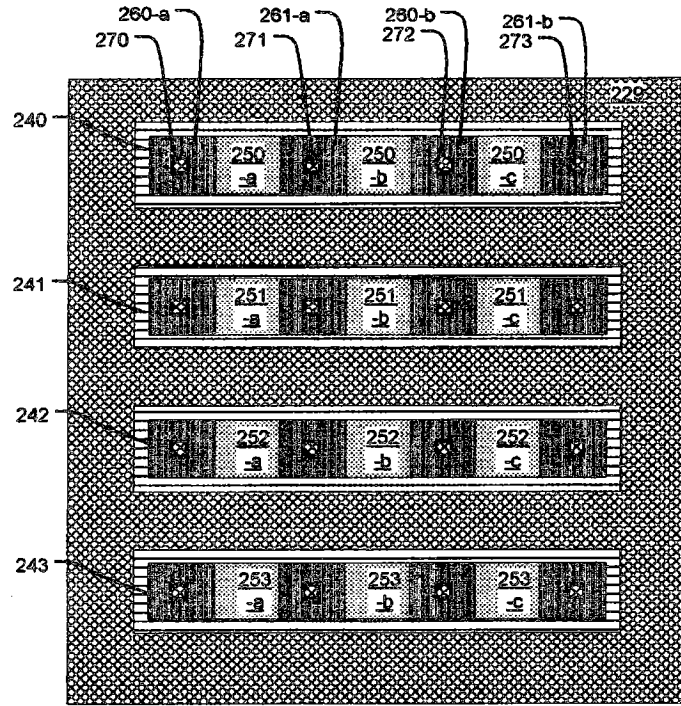


图 12

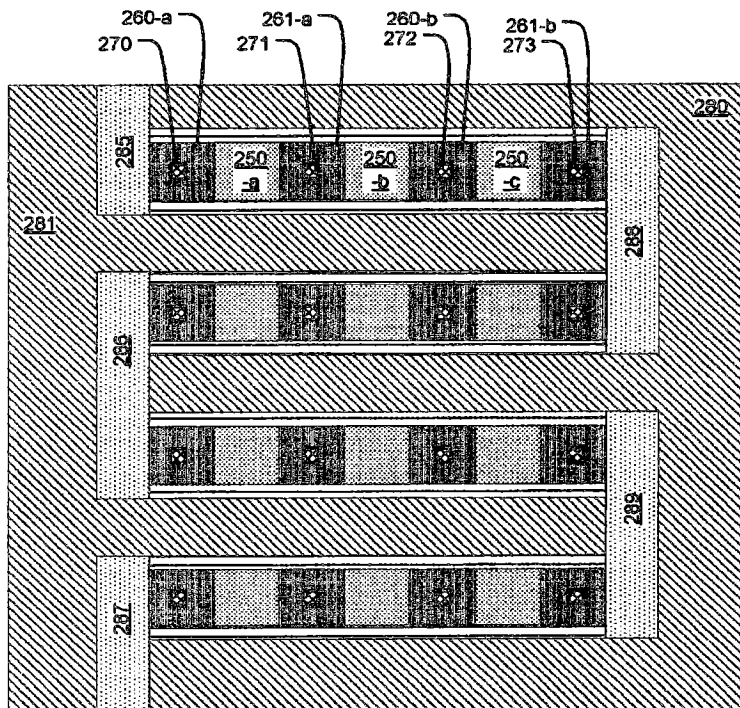


图 13

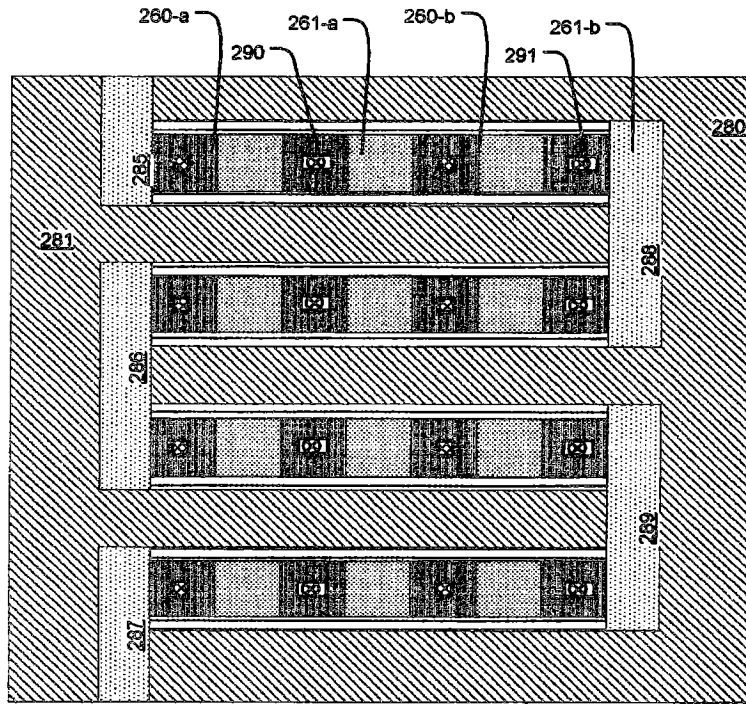


图 14

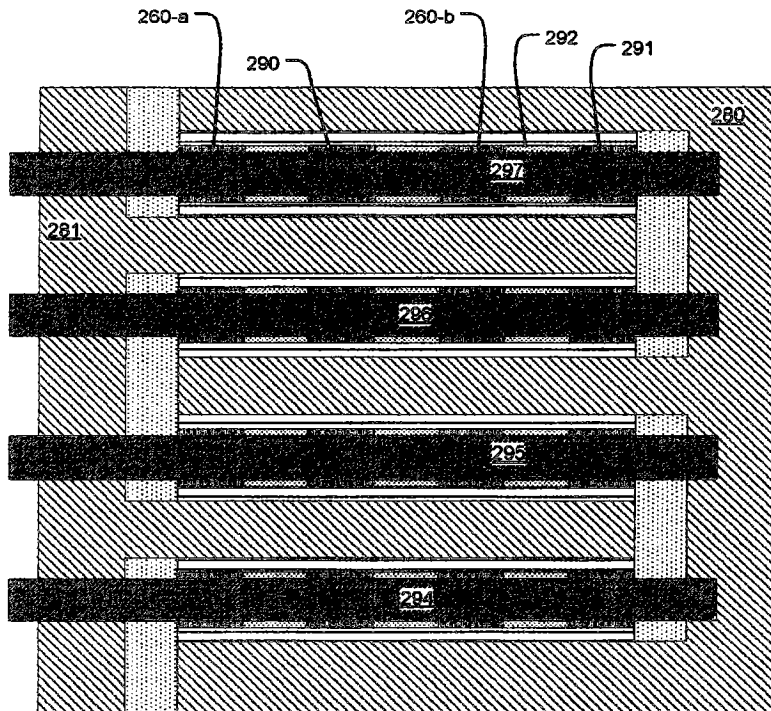


图 15

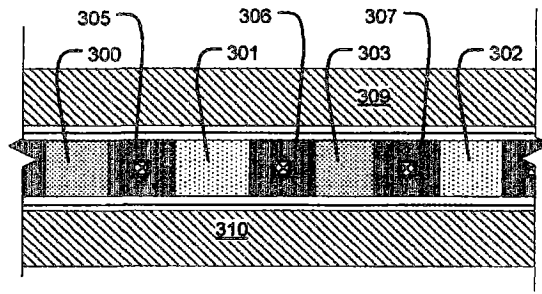


图 16

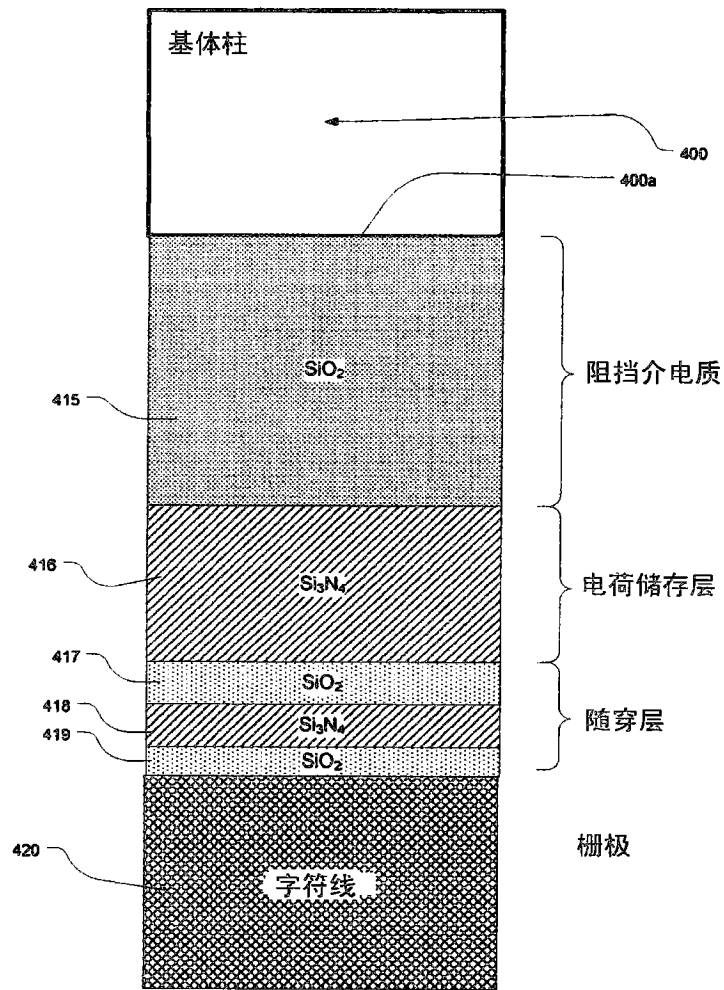


图 17

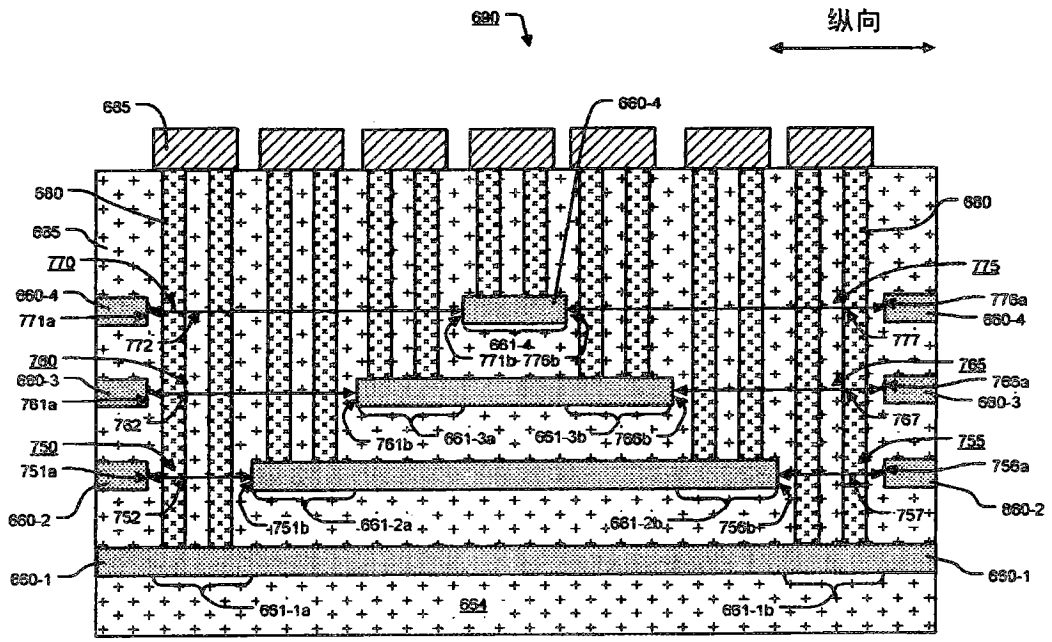


图 18

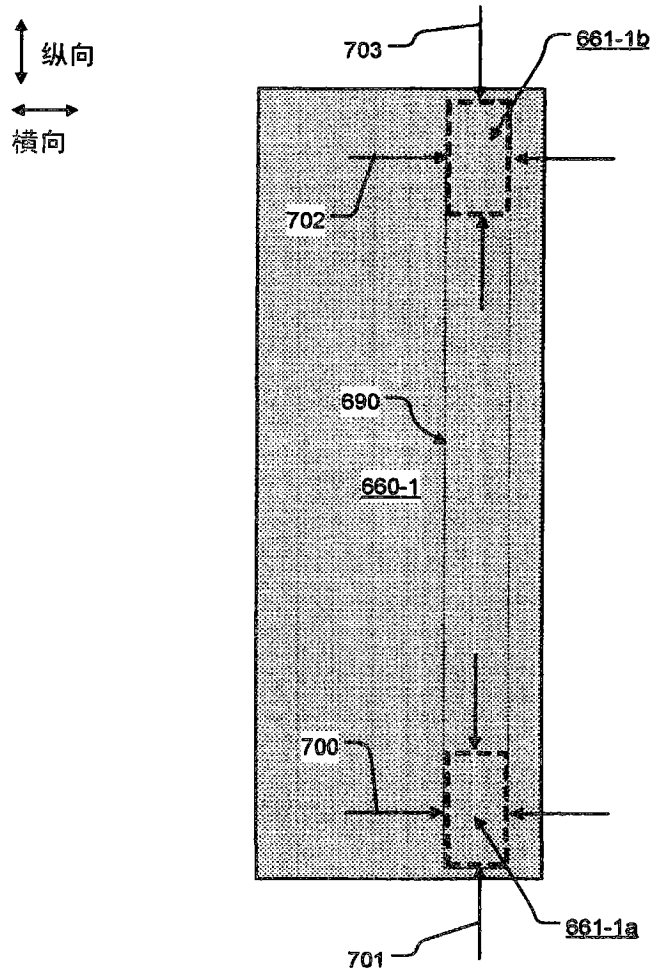


图 19A

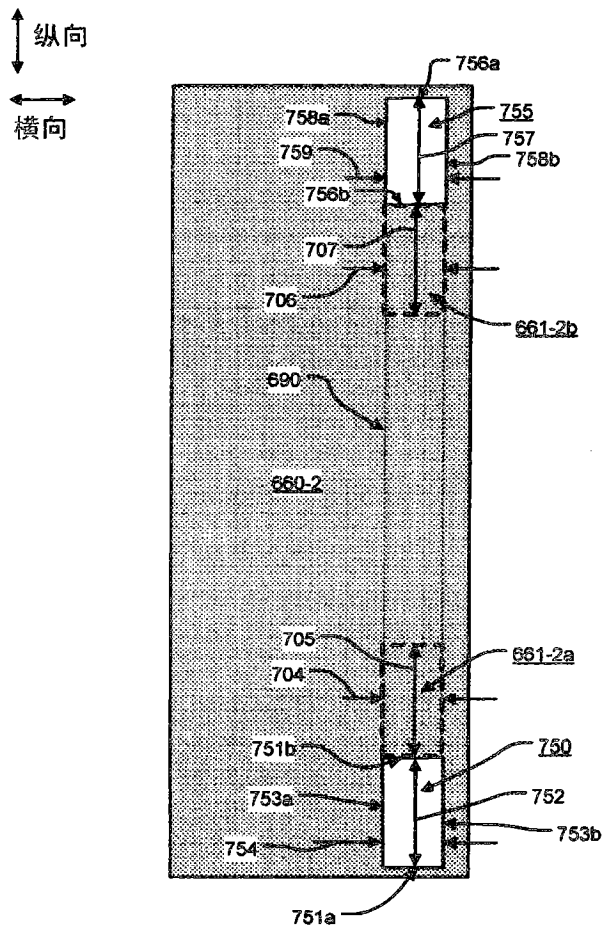


图 19B

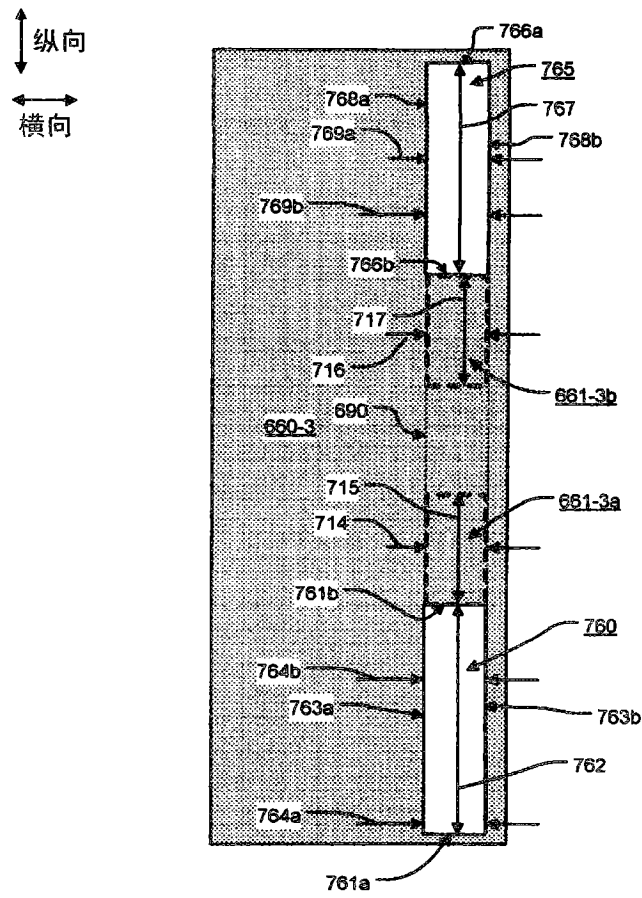


图 19C

纵向
↑
↓
横向
←
→

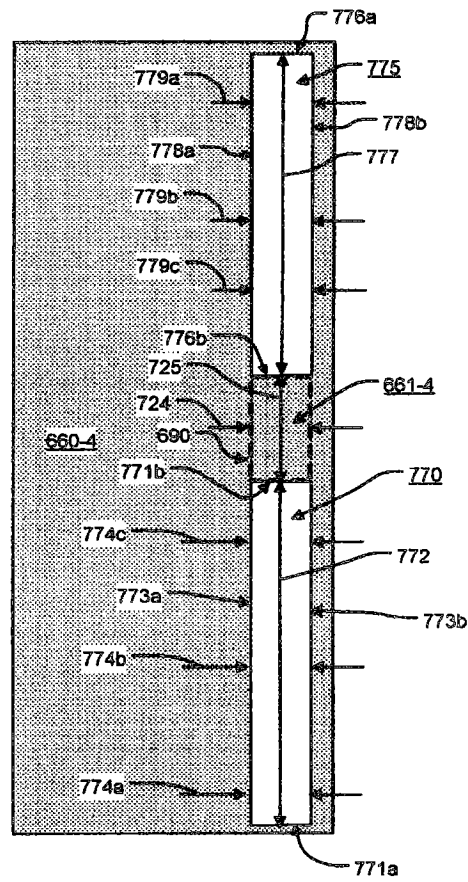


图 19D

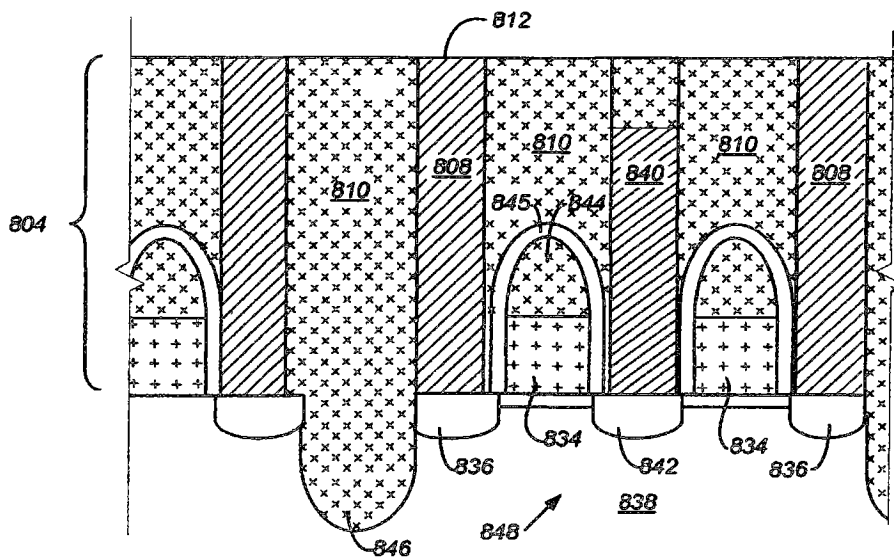


图 20

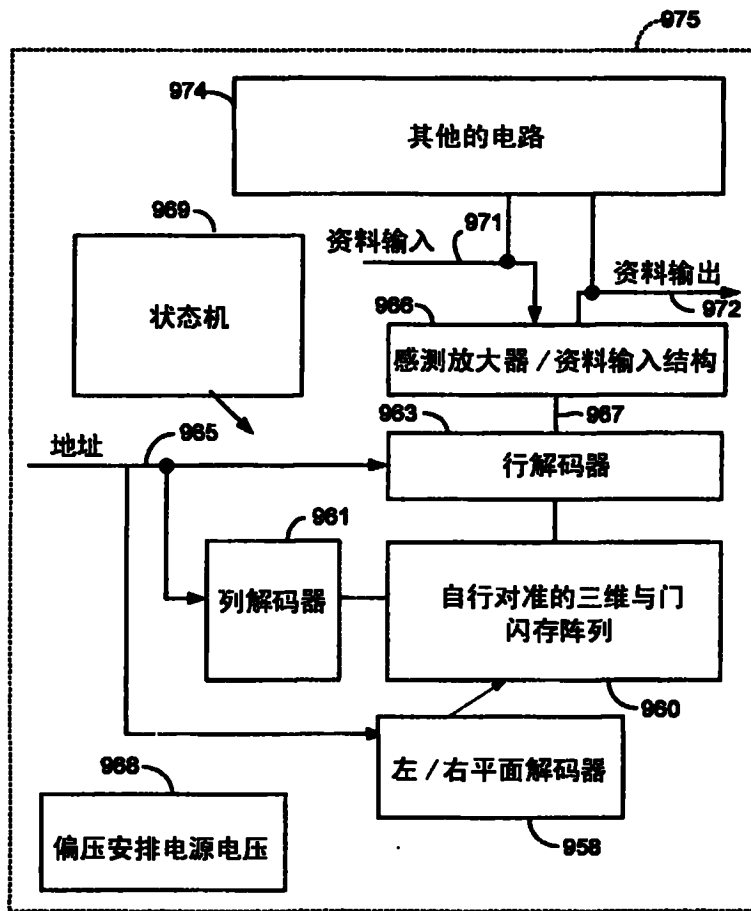


图 21