



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월24일  
(11) 등록번호 10-0933806  
(24) 등록일자 2009년12월16일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 7/22 (2006.01)

(21) 출원번호 10-2008-0092881

(22) 출원일자 2008년09월22일

심사청구일자 2008년09월22일

(56) 선행기술조사문헌

KR1020070045644 A

KR1020080107763 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박기천

경기도 이천시 고담동 하이닉스 고담기숙사  
106-704

최병진

경기도 수원시 영통구 영통동 신나무실6단지아파트  
극동아파트 615-1104

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 13 항

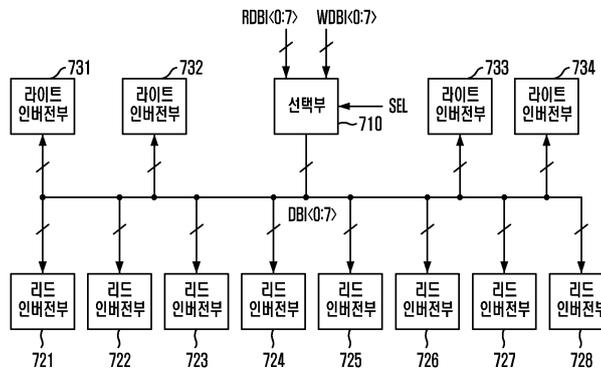
심사관 : 윤난영

(54) 반도체 메모리장치

(57) 요약

본 발명은 인버전 버스의 면적을 줄임으로써 반도체 메모리장치의 면적을 줄이는 기술에 관한 것으로, 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보와 라이트 인버전 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부; 선택부에 의해 실린 인버전 정보를 전달하기 위한 상기 인버전 버스; 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 출력 데이터에 반영하는 다수의 리드 인버전부; 및 상기 인버전 버스로부터 전달받은 상기 라이트 인버전 정보를 입력 데이터에 반영하는 다수의 라이트 인버전부를 포함한다.

대표도 - 도7



**특허청구의 범위**

**청구항 1**

리드 인버전 정보와 라이트 인버전 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부;  
 선택부에 의해 실린 인버전 정보를 전달하기 위한 상기 인버전 버스;  
 상기 인버전 버스로부터 전달받은 상기 인버전 정보를 출력 데이터에 반영하는 다수의 리드 인버전부; 및  
 상기 인버전 버스로부터 전달받은 상기 인버전 정보를 입력 데이터에 반영하는 다수의 라이트 인버전부  
 를 포함하는 반도체 메모리장치.

**청구항 2**

제 1항에 있어서,  
 상기 선택부는,  
 리드 동작시에는 상기 리드 인버전 정보를 상기 인버전 버스에 실어주고,  
 라이트 동작시에는 상기 라이트 인버전 정보를 상기 인버전 버스에 실어주는 것을 특징으로 하는 반도체 메모리  
 장치.

**청구항 3**

제 1항에 있어서,  
 상기 선택부는,  
 라이트 인에이블 신호에 의해 인에이블되고, 리드 펄스에 의해 디스에이블되는 제어신호의 제어를 받아 동작하  
 는 것을 특징으로 하는 반도체 메모리장치.

**청구항 4**

제 1항에 있어서,  
 상기 다수의 리드 인버전부는,  
 각각의 데이터 출력회로에 구비되는 것을 특징으로 하는 반도체 메모리장치.

**청구항 5**

제 1항에 있어서,  
 상기 다수의 라이트 인버전부는,  
 각각의 데이터 입력회로에 구비되는 것을 특징으로 하는 반도체 메모리장치.

**청구항 6**

제 1항에 있어서,  
 상기 다수의 라이트 인버전부는,  
 각각의 बैं크의 입/출력부에 구비되는 것을 특징으로 하는 반도체 메모리장치.

**청구항 7**

리드 인버전 정보를 생성하는 인버전 생성부;  
 라이트 인버전 정보를 입력받는 인버전 입력회로;  
 상기 인버전 생성부로부터 전달된 리드 인버전 정보와 상기 인버전 입력회로로부터 전달된 상기 라이트 인버전  
 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부;

상기 선택부에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스;  
 상기 인버전 버스로부터 전달받은 상기 인버전 정보를 반영해 데이터를 출력하는 다수의 데이터 출력회로; 및  
 상기 인버전 버스로부터 전달받은 상기 인버전 정보를 입력 데이터에 반영하는 다수의 데이터 입력회로  
 를 포함하는 반도체 메모리장치.

**청구항 8**

제 7항에 있어서,  
 상기 반도체 메모리장치는,  
 상기 인버전 버스로부터 전달받은 상기 인버전 정보를 메모리장치 외부로 출력하기 위한 인버전 출력회로  
 를 더 포함하는 것을 특징으로 하는 반도체 메모리장치.

**청구항 9**

제 7항에 있어서,  
 상기 선택부는,  
 리드 동작시에는 상기 인버전 버스에 상기 리드 인버전 정보를 실어주고,  
 라이트 동작시에는 상기 인버전 버스에 상기 라이트 인버전 정보를 실어주는 것을 특징으로 하는 반도체 메모리  
 장치.

**청구항 10**

제 7항에 있어서,  
 상기 반도체 메모리장치의 데이터 핀에는,  
 상기 데이터 출력회로와 상기 데이터 입력회로가 하나씩 구비되는 것을 특징으로 하는 반도체 메모리장치.

**청구항 11**

리드 인버전 정보를 생성하는 인버전 생성부;  
 라이트 인버전 정보를 입력받는 인버전 입력회로;  
 상기 인버전 생성부로부터 전달된 리드 인버전 정보와 상기 인버전 입력회로로부터 전달된 상기 라이트 인버전  
 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부;  
 상기 선택부에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스;  
 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 반영해 데이터를 출력하는 다수의 데이터 출력회로;  
 및  
 각각의 뱅크별로 구비되어, 상기 인버전 버스로부터 전달받은 상기 라이트 인버전 정보를 입력 데이터에 반영하  
 는 입/출력부  
 를 포함하는 반도체 메모리장치.

**청구항 12**

제 11항에 있어서,  
 상기 반도체 메모리장치는,  
 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 메모리장치 외부로 출력하기 위한 인버전 출력회로  
 를 더 포함하는 것을 특징으로 하는 반도체 메모리장치.

**청구항 13**

제 11항에 있어서,

상기 선택부는,

리드 동작시에는 상기 인버전 버스에 상기 리드 인버전 정보를 실어주고,

라이트 동작시에는 상기 인버전 버스에 상기 라이트 인버전 정보를 실어주는 것을 특징으로 하는 반도체 메모리 장치.

## 명세서

### 발명의 상세한 설명

#### 기술분야

<1> 본 발명은 반도체 메모리장치에 관한 것으로, 더욱 자세하게는 인버전 버스의 면적을 줄여 반도체 메모리장치의 전체 면적을 줄이기 위한 기술에 관한 것이다.

#### 배경기술

<2> WDBI(Write Data Bus Inversion) 기능(function)은 메모리장치로 데이터가 입력될 때 데이터의 변화를 최소화 하여 SSO(Simultaneous Switching Output) 노이즈를 줄이기 위해 사용된다. 한편 RDBI(Read Data Bus Inversion) 기능은 메모리장치로부터 데이터가 출력될 때 데이터의 변화를 최소화하여 SSO 노이즈를 줄이기 위해 사용된다.

<3> 데이터가 입력될때는 메모리 컨트롤러(memory controller)로부터 데이터와 함께 인버전 정보(WDBI)를 메모리장치에 보냄으로써 데이터의 반전여부를 메모리장치가 판단하게 하며, 데이터가 출력될때는 메모리장치로부터 데이터와 함께 인버전 정보(RDBI)를 메모리 컨트롤러에 보냄으로써 메모리 컨트롤러가 데이터의 반전여부를 판단하게 한다.

<4> 도 1은 종래의 4뱅크 쿼터 구조를 갖는 반도체 메모리장치의 구성을 도시한 도면이다.

<5> 도면을 참조하면, 4개의 뱅크가 1/4씩 나뉘어 4개의 구역에 배치되어 있는 것을 확인할 수 있다. 각각의 뱅크 주변의 X는 로우(row) 동작을 위한 회로들을 나타내며, Y는 컬럼 동작을 위한 회로들을 나타낸다.

<6> 또한, CPERI는 클럭과 관련있는 회로들이 모여있는 영역을 나타내고, DPERI는 데이터의 입/출력과 관련된 회로들이 모여있는 영역을 나타낸다.

<7> 도 2는 데이터 입력 회로들과 뱅크 사이에서 데이터와 인버전 정보가 교환되는 것을 도시한 도면이다(하나의 쿼터 만을 도시함).

<8> 도면의 DQ라 명명된 블록들(210~280)은 데이터 핀마다 구비되는 데이터 입력회로와 데이터 출력회로가 구비된 블록을 의미한다. 또한, 도면의 DBI라 명명된 블록(290)은 DBI 핀에 구비되는 인버전 입력회로와 인버전 출력회로가 구비된 블록을 의미한다.

<9> 먼저 메모리장치의 리드/라이트 동작시 데이터의 흐름에 대해 알아본다.

<10> 라이트 동작시 메모리장치의 데이터 핀으로는 직렬로 연속하여 데이터가 입력된다. 각각의 데이터 핀에는 데이터 입력회로(210~280 내에 구비, 이하 편의상 210~280으로 표기)가 구비되는데, 데이터 입력회로(210~280)는 직렬로 입력되는 데이터들을 병렬로 정렬하여 글로벌 라인(GI00<0:7>~GI07<0:7>)으로 전달한다. 메모리장치가 8비트 프리페치 스킴(8bit prefetch scheme)을 사용하는 경우에 데이터 입력회로(210~280)는 직렬로 입력되는 8개의 데이터를 병렬로 정렬해 글로벌 라인(GI00<0:7>~GI07<0:7>)으로 전달한다. 즉, 하나의 데이터 핀(예, DQ0 핀)으로 입력되는 데이터들은 병렬로 변환된 뒤에 8개의 글로벌 라인(예, GI00<0:7>)에 실리게 된다. 그리고 이러한 글로벌 라인(GI00<0:7>~GI07<0:7>)은 모든 뱅크의 Y블록(11, 21, 31, 41)과 연결되며, 뱅크 어드레스에 의해 선택된 뱅크(10~40)에 병렬로 데이터를 라이트하게 된다.

<11> 리드 동작시 뱅크 어드레스에 의해 선택된 뱅크(10~40)로부터는 병렬로 데이터가 출력된다. 각각의 데이터 핀에는 데이터 출력회로(210~280 내에 구비, 이하 편의상 210~280으로 표기)가 구비되는데, 데이터 출력회로(210~280)는 글로벌 라인(GI00<0:7>~GI07<0:7>)을 통해 병렬로 전달되는 데이터를 직렬로 정렬하여 데이터 핀을 통해 칩 외부로 출력한다. 메모리장치가 8비트 프리페치 스킴을 사용하는 경우에 데이터 출력회로(예, 210)는 8

개의 글로벌 라인(예, GI00<0:7>)으로 전달되는 데이터를 직렬로 정렬해 데이터 핀을 이용해 출력한다.

- <12> 도면에는 글로벌 라인(GI00<0:7>~GI07<0:7>)이 리드 경로의 데이터와 라이트 경로의 데이터를 모두 전달하는 경우를 도시하였는데, 메모리장치에 따라 리드 경로의 데이터를 전달하는 글로벌 라인과 라이트 경로의 데이터를 전달하는 글로벌 라인이 따로 구비될 수도 있다(GIO가 RGIO와 WGIO로 분리되는 경우도 있음).
- <13> 이제 메모리장치의 리드/라이트 동작시 인버전 정보(DBI)의 흐름에 대해 알아본다.
- <14> 라이트 동작시 인버전 핀으로는 라이트 인버전 정보(WDBI)가 직렬로 연속하여 입력된다. 라이트 인버전 정보(WDBI)란 라이트시 메모리 외부로부터 입력되는 데이터가 반전된 데이터인지 아닌지를 나타내는 정보를 말한다. 인버전 입력회로(290 내에 구비, 이하 편의상 290으로 표기)는 직렬로 입력되는 라이트 인버전 정보(WDBI)를 병렬로 정렬해 라이트 인버전 버스(WDBI<0:7>)로 전달한다. 라이트 인버전 정보도 데이터와 동일한 프리패치 스킴을 사용한다. 따라서 메모리장치가 8비트 프리패치 스킴을 사용하는 경우에 인버전 입력회로(290)는 직렬로 입력되는 8개의 라이트 인버전 정보(WDBI)를 병렬로 정렬해 라이트 인버전 버스(WDBI<0:7>)로 전달한다. 라이트 인버전 버스(WDBI<0:7>)는 8개의 라인으로 구성된다.
- <15> 라이트 인버전 버스(WDBI<0:7>)는 라이트 인버전 정보를 각 बैं크의 Y블록(11, 21, 31, 41)에 전달한다. बैं크의 Y블록(11, 21, 31, 41) 내에는 글로벌 라인(GI00<0:7>~GI07<0:7>)의 데이터를 बैं크(10, 20, 30, 40) 내의 로컬 라인(LIO/LIOB)으로 전달하기 위한 쓰기 드라이버(WTDRV: write driver)들이 구비된다. 이러한 쓰기 드라이버들은 라이트 인버전 정보(WDBI<0:7>)에 따라 글로벌 라인(GI00<0:7>~GI07<0:7>)의 데이터를 반전/비반전해 로컬 라인으로 전달한다. 각각의 बैं크(10, 20, 30, 40) 내에는 글로벌 라인(GI00<0:7>~GI07<0:7>)의 갯수와 동일한 로컬 라인(LIO/LIOB)이 배치되므로, 각각의 बैं크(10, 20, 30, 40)별로 글로벌 라인(GI00<0:7>~GI07<0:7>)의 갯수에 대응하는 쓰기 드라이버들이 구비된다. 예를 들어, Y블록(11)에는 64개의 쓰기 드라이버가 구비된다.
- <16> 리드 동작시 리드 인버전 정보(RDBI<0:7>)는 메모리장치 내의 인버전 생성부(300)에서 생성된다. 리드 동작시에는 메모리장치 자신이 저장하고 있던 데이터를 출력하므로, 메모리장치 자체적으로 리드 인버전 정보(RDBI<0:7>)를 생성하여 이에 따라 데이터를 반전 또는 비반전해 출력해야 하기 때문이다. 인버전 생성부(300)는 DC 모드에서는 8개의 데이터(GI00<0>~GI07<0>) 중 5개 이상의 데이터가 '0'일 때 리드 인버전 정보(RDBI<0>)를 '1'로 생성하며, AC 모드에서는 이전 데이터와 비교했을 때 천이한 데이터(GI00<0>~GI07<0>)가 5개 이상일 때 리드 인버전 정보(RDBI<0>)를 '1'로 생성한다(나머지 <1>~<7>의 천이도 마찬가지로). 인버전 생성부(300)가 리드 인버전 정보(RDBI<0:7>)를 어떻게 생성해야 하는지에 대해서는 스펙(spec)에 규정된 사항에 해당하므로, 더 이상의 설명은 생략하기로 한다.
- <17> 인버전 생성부(300)에서 생성된 리드 인버전 정보는 리드 인버전 버스(RDBI<0:7>)로 전달되어 각각의 데이터 출력회로(210~280)로 전달된다. 데이터 출력회로(210~280)는 리드 인버전 정보(RDBI<0:7>)에 따라 자신이 출력하는 데이터를 반전/비반전해 출력한다.
- <18> 리드 인버전 버스(RDBI<0:7>)는 인버전 출력부(290)로도 리드 인버전 정보를 전달한다. 리드 동작시에는 메모리장치가 외부로 리드 인버전 정보를 출력해 주어야 하기 때문이다.
- <19> 도면의 경우 쿼터 बैं크 구조를 갖는 메모리장치의 쿼터 하나만을 도시하였으므로, 각각의 बैं크의 Y블록(11, 21, 31, 41)에는 8개의 데이터 핀에 대응되는 글로벌 라인(GI00<0:7>~GI07<0:7>)이 연결된 것을 예시하였다. 도면에 도시되지 않은 나머지 बैं크들에도 각각 8개의 데이터 핀에 대응되는 글로벌 라인이 연결될 것이다. 예를 들어, बैं크(50, 60, 70, 80)에는 8~15번 데이터 핀에 대응되는 글로벌 라인들이 연결된다. 또한, 인버전 핀 하나는 8개의 데이터 핀으로 입출력되는 데이터의 인버전 정보를 담당하므로, 나머지 쿼터들에도 인버전 핀이 각각 하나씩 배치된다.
- <20> 도 3은 도 2와 마찬가지로 데이터 입력 회로들(210~280)과 बैं크(10~40) 사이에서 데이터와 인버전 정보가 교환되는 것을 도시한 도면이다. 다만, बैं크의 Y블록(11, 21, 31, 41)의 일부가 데이터 핀 및 인버전 핀 부근으로 배치된 것을 도시한다. 도 2와 동일한 부분에는 동일한 기호를 사용하였다.
- <21> 글로벌 라인(GI00<0:7>~GI07<0:7>)은 DQ블록(210~280)으로부터 각각의 बैं크(10~40)까지 모두 연결되어야 하며, 라이트 인버전 버스(WDBI<0:7>) 또한 DBI블록(290)으로부터 각각의 बैं크(10~40)까지 모두 연결되어야 한다. 따라서 도 2와 같이 बैं크의 Y블록(11, 21, 31, 41)을 배치할 경우, 글로벌 라인(GI00<0:7>~GI07<0:7>) 및 라이트 인버전 버스(WDBI<0:7>)의 길이가 너무 길어져서 칩 내의 많은 면적을 차지하게 된다. 따라서 최근의 메모리장치들은 Y블록(11, 21, 31, 41)의 일부분 즉, 데이터가 입/출력되는 부분(12, 22, 32, 42)을 도 3과 같이 데이

터 핀 인버전 핀 부근으로 배치한다.

- <22> 입/출력부(12, 22, 32, 42)는 Y블록(11, 21, 31, 41) 중에 데이터가 입/출력되는 부분을 따로 떼어낸 부분을 의미한다. 이러한 입/출력부(12, 22, 32, 42)에는 글로벌 라인(GI00<0:7>~GI07<0:7>)과 데이터의 교환을 하기 위한 쓰기 드라이버(WTDRV)와 센스앰프(IOSA)가 배치된다.
- <23> 본래 Y블록(11, 21, 31, 41)의 일부인 입/출력부(12, 22, 32, 42)를 도면과 같이 배치함으로써, 글로벌 라인(GI00<0:7>~GI07<0:7>) 및 라이트 인버전 버스(WDBI<0:7>)의 길이를 줄일 수 있게 되며, 그 결과 메모리장치의 전체 면적을 줄일 수 있게 된다.
- <24> 도 4는 도 2의 DQ블록(210) 내의 데이터 입력회로와 데이터 출력회로를 도시한 도면이다.
- <25> 데이터 입력회로(410)는, 데이터 버퍼부(411), 직병렬 변환부(412), 드라이버부(413)를 포함하여 구성된다.
- <26> 데이터 버퍼부(411)는 데이터 패드(DQ PAD, 데이터 핀에 연결되는 웨이퍼 상의 패드)로 입력되는 데이터를 버퍼링하여 직병렬 변환부(412)로 전달한다. 데이터 패드로는 프리패치 스킴에 따라 데이터가 연속해서 입력된다. 8비트 프리패치 스킴을 사용하는 경우에는 하나의 라이트 커맨드(write command)에 대응하여 8개의 데이터가 직렬로 연속해 입력된다.
- <27> 직병렬 변환부(412)는 직렬로 입력된 데이터를 병렬로 정렬한다. 몇개의 데이터씩 병렬로 정렬하는지는 몇비트 프리패치 스킴을 쓰는지에 따라 달라지는데, 8비트 프리패치 스킴을 사용하는 경우 직렬로 입력된 8개의 데이터가 8개의 라인(GIO\_PRE0<0:7>)을 통해 병렬로 출력된다.
- <28> 드라이버부(413)는 병렬로 정렬된 데이터(GIO\_PRE0<0:7>)를 글로벌 라인(GI00<0:7>)에 실어주는 역할을 하는 곳으로, TDQSS\_CLK에 의해 스트로빙(strobing)되며 데이터를 글로벌 라인(GI00<0:7>)에 실어준다. TDQSS\_CLK은 연속으로 입력되는 라이트 커맨드 간의 간격만큼의 주기를 갖는 클럭이다.
- <29> 데이터 출력회로(420)는 출력드라이버부(421), 병직렬 변환부(422), 리드 인버전부(433)를 포함하여 구성된다.
- <30> 리드 인버전부(433)는 출력할 데이터(GI00<0:7>)를 리드 인버전 정보(RDBI<0:7>)에 따라 반전하거나 비반전하는 역할을 수행한다. 리드 인버전 정보(RDBI<0:7>)가 '1'이면 출력할 데이터를 반전하며, 리드 인버전 정보(RDBI<0:7>)가 '0'이면 출력할 데이터를 반전하지 않는다. 이러한 리드 인버전부(433)는 도면에 도시된 바와 같이, 글로벌 라인(GI00<0:7>)의 데이터와 리드 인버전 정보(RDBI<0:7>)를 입력받는 배타적 오아(XOR) 게이트들을 포함하여 구성된다.
- <31> 병직렬 변환부(422)는 리드 인버전부(433)로부터 출력되는 데이터들을 직렬로 변환한다. 8비트 프리패치 스킴을 사용하는 경우 8개의 라인의 데이터를 직렬로 변환하여 출력한다. 즉, 병직렬 변환부(422)는 직병렬 변환부(412)와 반대의 기능을 수행한다고 할 수 있다.
- <32> 출력드라이버부(421)는 병직렬 변환부(422)를 통해 직렬로 변환된 데이터를 메모리장치 외부로 출력한다. 즉, 출력드라이버부(421)는 데이터 입력버퍼(411)와 반대의 기능을 수행한다고 할 수 있다.
- <33> 도 5는 도 2의 DBI블록(290) 내의 인버전 입력회로와 인버전 출력회로를 도시한 도면이다.
- <34> 인버전 입력회로(510)는 인버전 버퍼부(511), 직병렬 변환부(512), 드라이버부(513)를 포함해 구성된다.
- <35> 인버전 버퍼부(511)는 인버전 패드(WDBI PAD, 인버전 핀에 연결되는 웨이퍼 상의 패드)로 입력되는 라이트 인버전 정보(WDBI\_IN)를 버퍼링하여 직병렬 변환부(512)로 전달한다. 라이트 인버전 정보(WDBI\_IN)는 데이터와 마찬가지로 직렬로 연속하여 입력된다.
- <36> 직병렬 변환부(512)는 직렬로 입력된 라이트 인버전 정보(WDBI\_IN)를 병렬로 정렬한다. 데이터 대신 라이트 인버전 정보(WDBI)를 정렬한다는 점을 제외하고는 데이터 입력회로(410)의 직병렬 변환부(412)와 동일한 역할을 수행한다.
- <37> 드라이버부(513)는 병렬로 정렬된 인버전 정보(WDBI\_PRE<0:7>)를 라이트 인버전 버스(WDBI<0:7>)에 실어주는 역할을 하는 곳으로, TDQSS\_CLK에 의해 스트로빙되며 라이트 인버전 정보(WDBI\_PRE<0:7>)를 라이트 인버전 버스(WDBI<0:7>)에 실어준다.
- <38> 인버전 출력회로(520)는 병직렬 변환부(522), 출력드라이버(511)를 포함하여 구성된다.
- <39> 병직렬 변환부(522)는 리드 인버전 버스(RDBI<0:7>)로 전달되는 리드 인버전 정보를 직렬로 변환하여 출력하며,

출력드라이버(521)는 직렬로 변환된 리드 인버전 정보(RDBI\_OUT)를 메모리장치 외부로 출력한다.

- <40> 도 6은 Y블록(11, 도 2의 경우) 또는 입/출력부(12 도 3의 경우)에 구비되는 쓰기 드라이버들과 그 전단에 구비되는 라이트 인버전부를 도시한 도면이다.
- <41> 쓰기 드라이버들(621~628)의 전단에는 라이트 인버전부(610)가 구비된다. 라이트 인버전부(610)는 라이트 인버전 버스(WDBI<0:7>)를 통해 전달된 라이트 인버전 정보에 따라 메모리장치 내에 저장될 데이터(GI00<0:7>)를 반전 또는 비반전한다. 라이트 인버전 정보(WDBI<0:7>)가 '1'이면 데이터를 반전하고, 라이트 인버전 정보(WDBI<0:7>)가 '0'이면 데이터를 반전하지 않는다. 라이트 인버전부(610)는 리드 인버전부(433)와 마찬가지로 배타적 오아 게이트들을 포함하여 구성된다.
- <42> 쓰기 드라이버들(621~628)은 라이트 인버전부(610)에 의해 라이트 인버전 정보(RDBI<0:7>)가 반영된 데이터들을 बैं크 내의 로컬 라인들(LIO/LIOB0<0:7>)로 전달한다. 쓰기 드라이버(621~628)로 입력되는 라이트 인에이블 신호(WTEN)는 라이트 동작시 인에이블되는 신호로 리드 동작시에는 쓰기 드라이버(621~628)가 동작하지 않도록 제어한다.
- <43> 도면에는 하나의 데이터 핀(DQ0)으로 입력된 데이터들(GI00<0:7>)을 로컬 라인(LIO/LIOB0<0:7>)으로 전달하는 쓰기 드라이버들(621~628)만을 도시했다. 메모리장치가 쿼터 बैं크 구조를 가질 때 하나의 Y블록(11, 21, 31, 41) 또는 입/출력부(12, 22, 32, 42)에는 쓰기 드라이버가 64개 구비되며, 라이트 인버전부(610)에도 배타적 오아 게이트가 64개 구비된다.
- <44> 종래의 반도체 메모리장치에서는 메모리장치 내에서 라이트 인버전 정보를 전달하기 위한 라이트 인버전 버스(WDBI<0:7>)와 리드 인버전 정보를 전달하기 위한 리드 인버전 버스(RDBI<0:7>)가 따로 구비된다. 이와 같이 라이트 인버전 버스(WDBI<0:7>)와 리드 인버전 버스(RDBI<0:7>)가 따로 구비되면 인버전 기능(DBI function)을 구현하기 위해 메모리장치 내에 많은 라인이 필요하게 되며, 이는 메모리장치 면적 증가의 큰 요인이 된다.
- <45> 따라서 인버전 기능의 구현에 필요한 라인들의 갯수를 줄여주기 위한 기술이 요구된다.

**발명의 내용**

**해결 하고자하는 과제**

- <46> 본 발명은 인버전 기능의 구현에 필요한 라인의 갯수를 줄여 반도체 메모리장치의 전체면적을 줄이고자 하는 데 그 목적이 있다.

**과제 해결수단**

- <47> 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보와 라이트 인버전 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부; 선택부에 의해 실린 인버전 정보를 전달하기 위한 상기 인버전 버스; 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 출력 데이터에 반영하는 다수의 리드 인버전 전부; 및 상기 인버전 버스로부터 전달받은 상기 라이트 인버전 정보를 입력 데이터에 반영하는 다수의 라이트 인버전부를 포함할 수 있다.
- <48> 또한, 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보를 생성하는 인버전 생성부; 라이트 인버전 정보를 입력받는 인버전 입력회로; 상기 인버전 생성부로부터 전달된 리드 인버전 정보와 상기 인버전 입력회로로부터 전달된 상기 라이트 인버전 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부; 상기 선택부에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스; 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 반영해 데이터를 출력하는 다수의 데이터 출력회로; 및 상기 인버전 버스로부터 전달받은 상기 라이트 인버전 정보를 입력 데이터에 반영하는 다수의 데이터 입력회로를 포함할 수 있다.
- <49> 또한, 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보를 생성하는 인버전 생성부; 라이트 인버전 정보를 입력받는 인버전 입력회로; 상기 인버전 생성부로부터 전달된 리드 인버전 정보와 상기 인버전 입력회로로부터 전달된 상기 라이트 인버전 정보를 선택적으로 인버전 버스에 실어주기 위한 선택부; 상기 선택부에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스; 상기 인버전 버스로부터 전달받은 상기 리드 인버전 정보를 반영해 데이터를 출력하는 다수의 데이터 출력회로; 및 각각의 बैं크별로 구비되어, 상기 인버전 버스로부터 전달받은 상기 라이트 인버전 정보를 입력 데이터에 반영하는 입/출력부를 포함할 수 있다.

**효 과**

<50> 본 발명에 따른 반도체 메모리장치는, 라이트 인버전 버스와 리드 인버전 버스를 따로 구비하지 아니하며, 공통된 인버전 버스를 통해 라이트 인버전 정보와 리드 인버전 정보가 모두 전달된다. 따라서 인버전 정보를 처리하기 위한 라인의 갯수가 반으로 줄어들게 되며, 이는 반도체 메모리장치의 전체 면적을 크게 줄여준다는 장점이 있다.

**발명의 실시를 위한 구체적인 내용**

<51> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<52> 도 7은 본 발명에 따른 반도체 메모리장치의 기본 구성도이다.

<53> 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)를 선택적으로 인버전 버스(DBI<0:7>)에 실어주기 위한 선택부(710); 선택부(710)에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스(DBI<0:7>); 인버전 버스(DBI<0:7>)로부터 전달받은 리드 인버전 정보(RDBI<0:7>)를 출력 데이터에 반영하는 다수의 리드 인버전부(721~728); 및 인버전 버스(DBI<0:7>)로부터 전달받은 라이트 인버전 정보(WDBI<0:7>)를 입력 데이터에 반영하는 다수의 라이트 인버전부(731~734)를 포함한다.

<54> 선택부(710)로는 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)가 입력된다. 리드 인버전 정보(RDBI<0:7>)는 메모리장치의 내부에서 생성되며, 라이트 인버전 정보(WDBI<0:7>)는 메모리장치 외부의 메모리 컨트롤러(memory controller)로부터 입력된다. 선택부(710)는 리드 인버전 정보(RDBI<0:7>) 또는 라이트 인버전 정보(WDBI<0:7>)를 선택적으로 인버전 버스(DBI<0:7>)에 실어준다. 리드 동작시에는 리드 인버전 정보(RDBI<0:7>)를 인버전 버스(DBI<0:7>)에 전달하며, 라이트 동작시에는 라이트 인버전 정보(WDBI<0:7>)를 인버전 버스(DBI<0:7>)에 전달한다. 선택부(710)로 입력되는 선택신호(SEL)는 라이트 동작시에는 인에이블되고, 리드 동작시에는 디스에이블됨으로써 선택부(710)를 제어하는 신호이다.

<55> 인버전 버스(DBI<0:7>)는 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)를 모두 전달하는 버스(bus)를 말한다. 메모리장치의 리드 동작시에는 리드 인버전 정보(RDBI<0:7>)만이 사용되며 메모리장치의 라이트 동작시에는 라이트 인버전 정보(WDBI<0:7>)만이 사용된다. 따라서 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)는 동시에 사용될 일이 없으므로, 하나의 버스를 통해 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)를 전달하는 것이 가능하다.

<56> 리드 인버전부(721~728)는 인버전 버스(DBI<0:7>)로부터 전달받은 리드 인버전 정보(RDBI<0:7>)를 출력 데이터에 반영한다. 출력 데이터란 메모리장치 외부로 출력되는 데이터를 의미한다. 리드 인버전부(721~728)를 메모리장치의 어느 곳에 배치할 것인지는 메모리장치의 구성에 따라 달라질 수 있지만, 일반적으로(배경기술 부분에서 설명한 바와 같이) 리드 인버전부(721~728)는 데이터 핀마다 구비되는 데이터 출력회로 내에 각각 배치된다.

<57> 라이트 인버전부(731~734)는 인버전 버스(DBI<0:7>)로부터 전달받은 라이트 인버전 정보(WDBI<0:7>)를 입력 데이터에 반영한다. 입력 데이터란 라이트 동작시 메모리장치 외부로부터 입력되어 메모리장치 내에 저장될 데이터를 말한다. 외부로부터 입력된 데이터가 메모리장치에 저장될 때에는 라이트 인버전 정보(WDBI<0:7>)에 따라 데이터를 반전 또는 비반전하여 입력해야 하기 때문에, 이러한 라이트 인버전부(731~734)는 DBI 기능을 지원하는 메모리장치 내에서 반드시 필요하다. 라이트 인버전부(731~734)는 배경기술 부분에서 설명한 바와 같이, बैं크의 입/출력부 내의 쓰기 드라이버 전단에 위치할 수도 있으며, 다른 곳에 위치할 수도 있다(이에 대해서는 후술).

<58> 만약 라이트 인버전부(731~734)가 बैं크의 입/출력부 내에 위치할 경우 라이트 인버전부(731~734)는 बैं크의 갯수만큼 배치된다. 물론 쿼터 बैं크 구조를 갖는 메모리장치의 전체에서는 बैं크수\*4개의 라이트 인버전부가 구비될 것이다.

<59> 본 발명에서는 공유된 인버전 버스(DBI<0:7>)를 통해 라이트 인버전 정보(WDBI<0:7>)와 리드 인버전 정보(RDBI<0:7>)가 메모리장치 내에서 전달된다. 인버전 버스(DBI<0:7>)는 메모리장치의 여러 부분에 인버전 정보(RDBI<0:7> 또는 WDBI<0:7>)를 전달해야 하기 때문에 그 길이가 상당히 길어질 수밖에 없다. 따라서 인버전 버스(DBI<0:7>)는 많은 면적을 차지하게 된다. 본 발명은 라이트 인버전 버스와 리드 인버전 버스를 하나의 인버전 버스(DBI<0:7>)로 통합하는 방법을 통해 인버전 버스(DBI<0:7>)에 필요한 면적을 반으로 줄여줌으로써 메모

리장치의 전체 면적을 줄이는데 큰 기여를 하게 된다.

- <60> 도 8은 선택부(710)를 제어하는 선택신호(SEL)를 생성하는 방법을 설명하기 위한 도면이다.
- <61> 선택신호(SEL)는 라이트 동작시 인에이블되는 신호인 라이트 인에이블 신호(WTEN)와 리드 동작시 인에이블되는 펄스 신호인 리드 인에이블 펄스(RDENP)를 이용해 만들어질 수 있다.
- <62> 도면의 SR래치에는 라이트 인에이블 신호(WTEN)가 셋(set) 신호로서 입력되고, 리드 인에이블 펄스(RDENP)가 리셋(reset) 신호로서 입력되고, SR래치의 출력 신호가 선택신호(SEL)가 된다. 따라서 선택신호(SEL)는 라이트 인에이블 신호(WTEN)의 인에이블과 동시에 인에이블되며, 리드 인에이블 펄스(RDENP)의 인에이블과 동시에 디스에이블된다.
- <63> 선택신호(SEL)는 단지 라이트 동작과 리드 동작을 구별해주기 위한 신호로서, 도면에 도시된 SR래치를 사용해서 선택신호(SEL)를 생성하는 방법 이외에, 여러 다양한 방법으로 선택신호(SEL)를 생성할 수 있음은 당연하다.
- <64> 도 9는 본 발명에 따른 반도체 메모리장치의 제1상세 실시예 도면이다.
- <65> 도 9는 도 8에서 설명한 본 발명의 특징이 도 3에 적용된 경우를 도시하였다.
- <66> 즉, 도 7에서 설명한 라이트 인버전부(731~734)가 입/출력부(12, 22, 32, 42) 내에 배치되고, 리드 인버전부(721~728)가 데이터 출력회로(210~280) 내에 배치된 경우를 도시한다. 또한, 도면을 간단히 하기 위해 데이터를 전달하는 글로벌 버스(GIO)의 도시를 생략하였다
- <67> 도면의 DQ라 명명된 블록(210~280)들은 데이터 핀마다 구비되는 데이터 입력회로와 데이터 출력회로가 구비된 블록을 의미한다. 또한, 도면의 DBI라 명명된 블록(290)은 DBI핀에 구비되는 인버전 입력회로와 인버전 출력회로가 구비된 블록을 의미한다.
- <68> 본 발명에 따른 반도체 메모리장치의 제1상세 실시예는, 리드 인버전 정보(RDBI<0:7>)를 생성하는 인버전 생성부(300); 라이트 인버전 정보(WDBI<0:7>)를 입력받는 인버전 입력회로(290) 내에 배치; 인버전 생성부(300)로부터 전달된 리드 인버전 정보(RDBI<0:7>)와 인버전 입력회로(290)로부터 전달된 라이트 인버전 정보(WDBI<0:7>)를 선택적으로 인버전 버스에 실어주기 위한 선택부(710); 선택부(710)에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스(DBI<0:7>); 인버전 버스(DBI<0:7>)로부터 전달받은 리드 인버전 정보(RDBI<0:7>)를 반영해 데이터를 출력하는 다수의 데이터 출력회로(210~280) 내에 배치; 및 각각의뱅크별로 구비되어 인버전 버스(DBI<0:7>)로부터 전달받은 라이트 인버전 정보(WDBI<0:7>)를 입력 데이터에 반영하는 입/출력부(12, 22, 32, 42)를 포함하여 구성된다.
- <69> 또한, 인버전 버스(DBI<0:7>)는 인버전 출력회로(290)내에 배치)로도 연결된다. 인버전 출력회로(290)도 리드 인버전 정보(RDBI<0:7>)를 메모리장치 외부로 출력해야 하기 때문에, 인버전 버스(DBI<0:7>)로부터 리드 인버전 정보(RDBI<0:7>)를 전달받아야 하기 때문이다.
- <70> 선택부(710)에 대해서는 도 7과 함께 상세히 설명하였다. 그리고 DQ블록(210~280) 내에 구비되는 데이터 입력회로와 데이터 출력회로에 대해서는 배경기술 부분에서 상세히 설명하였다. 또한, DBI 블록(290) 내에 구비되는 인버전 입력회로와 인버전 출력회로에 대해서도 배경기술 부분에서 상세히 설명하였다. 또한, 인버전 생성부(300)와 입/출력부(12, 22, 32, 42)에 대해서도 배경기술 부분에서 상세히 설명하였으므로, 여기서는 각각의 부분에 대한 상세한 설명을 생략하기로 한다.
- <71> 본 발명은 인버전 생성부(300)에서 생성된 리드 인버전 정보(RDBI<0:7>)와, 인버전 입력회로(290)로부터 입력된 라이트 인버전 정보(WDBI<0:7>)를 모두 인버전 버스(DBI<0:7>)를 통해 전달한다. 인버전 버스(DBI<0:7>)는 인버전 정보를 필요로 하는 메모리장치 내의 각 구성요소들과 연결되어 인버전 정보를 전달한다. 본 발명은 동일한 인버전 버스(DBI<0:7>)를 통해 리드 인버전 정보(RDBI<0:7>)와 라이트 인버전 정보(WDBI<0:7>)를 모두 전달하는 방식을 사용함으로써 메모리장치 내의 인버전 버스(DBI<0:7>)가 차지하는 면적을 반으로 줄이게 된다.
- <72> 도 10은 본 발명에 따른 반도체 메모리장치의 제2상세 실시예 구성도이다.
- <73> 도 10은 라이트 인버전 정보를 데이터에 반영하는 역할을 데이터 입력회로에서 수행하는 반도체 메모리장치에 도 8에서 설명한 본 발명의 특징이 적용된 경우를 도시한다. 또한, 도면을 간단히 하기 위해 데이터를 전달하는 글로벌 버스(GIO)의 도시를 생략하였다.
- <74> 도면의 DQ라 명명된 블록(1010~1080)들은 데이터 핀마다 구비되는 데이터 입력회로와 데이터 출력회로가 구비된

블록을 의미한다. 또한, 도면의 DBI라 명명된 블록(1090)은 DBI핀에 구비되는 인버전 입력회로와 인버전 출력회로가 구비된 블록을 의미한다.

- <75> 본 발명에 따른 반도체 메모리장치는, 리드 인버전 정보(RDBI<0:7>)를 생성하는 인버전 생성부(300); 라이트 인버전 정보(WDBI<0:7>)를 입력받는 인버전 입력회로(1090 내에 배치); 인버전 생성부(300)로부터 전달된 리드 인버전 정보(RDBI<0:7>)와 인버전 입력회로(1090)로부터 전달된 라이트 인버전 정보(WDBI<0:7>)를 선택적으로 인버전 버스(DBI<0:7>)에 실어주기 위한 선택부(710); 선택부(710)에 의해 실린 인버전 정보를 전달하기 위한 인버전 버스(DBI<0:7>); 인버전 버스(DBI<0:7>)로부터 전달받은 리드 인버전 정보(RDBI<0:7>)를 반영해 데이터를 출력하는 다수의 데이터 출력회로(1010~1080 내에 배치); 및 인버전 버스(DBI<0:7>)로부터 전달받은 라이트 인버전 정보(WDBI<0:7>)를 입력 데이터에 반영하는 다수의 데이터 입력회로(1010~1080 내에 배치)를 포함하여 구성된다.
- <76> 또한, 인버전 버스(DBI<0:7>)로부터 전달받은 리드 인버전 정보(RDBI<0:7>)를 메모리장치 외부로 출력하기 위한 인버전 출력회로(1090 내에 배치)를 포함한다.
- <77> 도 10에서는 외부로부터 입력된 데이터를 라이트 인버전 정보(WDBI<0:7>)에 따라 반전/비반전 하는 역할을 데이터 입력회로(1010~1080)에서 수행한다. 즉, 도 7에서 설명한 라이트 인버전부(731~734)가 데이터 입력회로(1010~1080) 내에 구비된다. 도 10에서는 이미 라이트 인버전 정보(WDBI<0:7>)가 반영된 데이터가 데이터 입력회로(1010~1080)로부터 बैं크의 입/출력부(12, 22, 32, 42 또는 Y블록, 도 10에는 미도시)로 전달된다. 따라서 라이트 인버전 정보(WDBI<0:7>)가 बैं크의 입/출력부(12, 22, 32, 42)로 전달될 필요가 없기 때문에 बैं크의 입/출력부(12, 22, 32, 42)로는 인버전 버스(DBI<0:7>)가 연결되지 않는다.
- <78> 도 11은 도 10의 DQ블록(1010)을 도시한 도면이다.
- <79> DQ블록 내에는 데이터 입력회로(1110)와 데이터 출력회로(1120)가 구비된다.
- <80> 데이터 입력회로(1110)는 데이터 버퍼부(1111), 직병렬 변환부(1112), 라이트 인버전부(1113), 드라이버부(1114)를 포함하여 구성된다.
- <81> 즉, 데이터 입력회로(1110)는 도 4에서 설명한 데이터 입력회로에 라이트 인버전부가 더 포함된 구성을 가진다.
- <82> 라이트 인버전부(1113)는 인버전 버스(DBI<0:7>)로부터 라이트 인버전 정보(WDBI<0:7>)를 전달받아 라이트 인버전 정보(WDBI<0:7>)에 따라 입력된 데이터(GIO\_PRE0<0:7>)를 반전하거나 비반전하여 출력한다. 이러한 라이트 인버전부(1113)는 도면에 도시된 바와 같이 배타적 오아게이트를 포함하여 구성될 수 있다.
- <83> 드라이버부(1114)는 이미 라이트 인버전부(1113)에 의해 라이트 인버전 정보(WDBI<0:7>)가 반영된 데이터를 글로벌 라인(GI00<0:7>)에 실어준다. 이미 데이터 입력회로(1110)에서 데이터에 라이트 인버전 정보(WDBI<0:7>)를 반영하였으므로, बैं크의 입/출력부(12, 22, 32, 42)에는 종래처럼 라이트 인버전부가 구비될 필요가 없다.
- <84> 데이터 입력회로(1110)에서는 단순히 입력받은 데이터를 글로벌 버스(GI00<0:7>)에 전달해주는 것이 아니라, 라이트 인버전 정보(WDBI<0:7>)를 반영한 데이터를 글로벌 버스(GI00<0:7>)에 전달해준다. 이에 따른 마진 등이 종래와는 달라져 추가적인 타이밍의 조절(timing tuning) 등이 이루어져야 할 수도 있는데, 이러한 타이밍 조절은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 용이하게 할 수 있으므로, 이에 대한 설명은 생략하기로 한다.
- <85> 데이터 출력회로(1120)는, 출력드라이버부(1121), 병직렬 변환부(1122), 리드 인버전부(1123)를 포함하여 구성된다.
- <86> 데이터 출력회로(1120)는 도 4에서 설명한 종래의 데이터 출력회로(420)와 동일하게 구성된다. 다만 종래의 리드 인버전부(423)는 리드 인버전 버스를 통해 리드 인버전 정보를 전달받았지만, 본 발명에서는 인버전 버스(DBI<0:7>)를 통해 리드 인버전 정보(RDBI<0:7>)를 전달받는다라는 점이 상이하다.
- <87> 도 12는 도 10의 DBI블록(1090)을 도시한 도면이다.
- <88> DBI블록(1090) 내에는 인버전 입력회로(1210)와 인버전 출력회로(1220)가 구비된다.
- <89> 인버전 입력회로(1210)는 인버전 버퍼부(1211), 직병렬 변환부(1212)를 포함하여 구성된다.
- <90> 인버전 입력회로(1210)는 도 5의 인버전 버퍼부(510)에서 드라이버부(513)가 제외된 구성을 갖는다. 인버전 입력회로(1210)로 입력된 라이트 인버전 정보(WDBI<0:7>)는 인버전 버스(DBI<0:7>)를 통해 각각의 데이터 입력회

로(1010~1080)로 전달되며, 데이터 입력회로(1010~1080)에서 라이트 인버전 정보(WDBI<0:7>)가 반영된 데이터를 TDQSS\_CLK에 따라 스트로빙하기 때문에 인버전 입력회로(1210) 자체적으로 라이트 인버전 정보(WDBI<0:7>)를 스트로빙해줄 필요가 없기 때문이다.

- <91> 인버전 출력회로(1220)는 병직렬 변환부(1222), 출력드라이버(1222)를 포함하여 구성된다. 인버전 출력회로(1220)는 도 5에서 설명한 인버전 출력회로(520)와 동일하게 구성될 수 있다.
- <92> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

**도면의 간단한 설명**

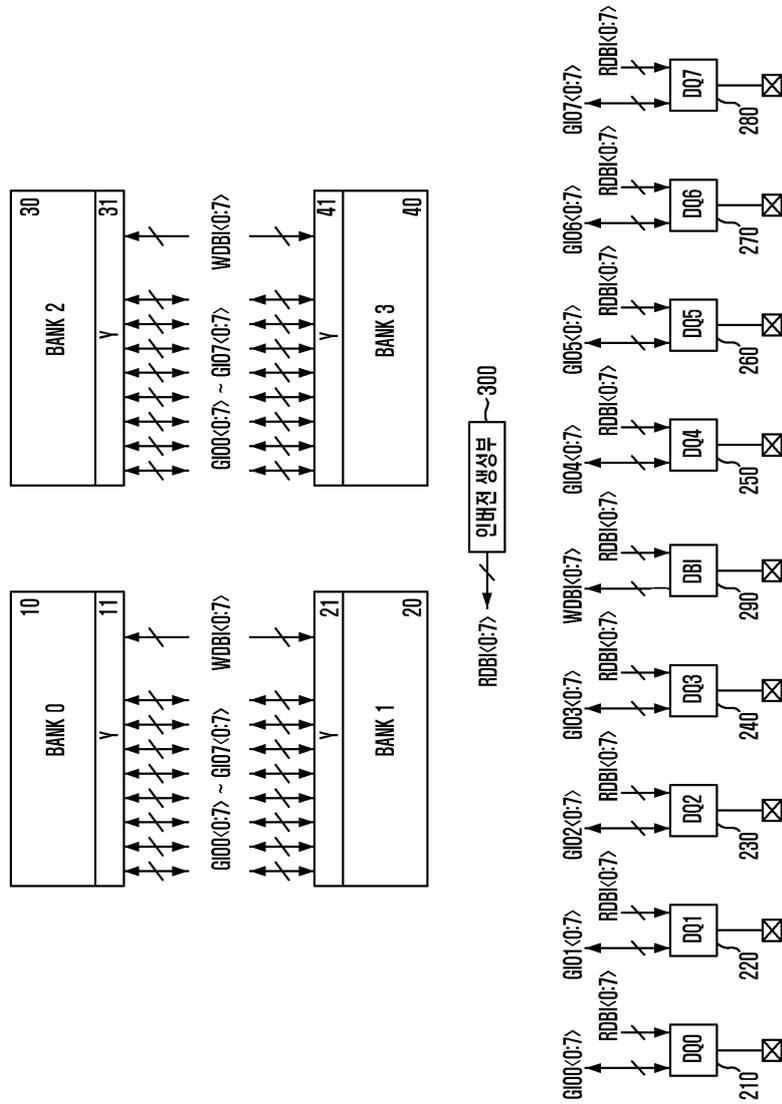
- <93> 도 1은 종래의 4뱅크 쿼터 구조를 갖는 반도체 메모리장치의 구성을 도시한 도면.
- <94> 도 2는 데이터 입력 회로들과 뱅크 사이에서 데이터와 인버전 정보가 교환되는 것을 도시한 도면.
- <95> 도 3은 도 2와 마찬가지로 데이터 입력 회로들(210~280)과 뱅크(10~40) 사이에서 데이터와 인버전 정보가 교환되는 것을 도시한 도면.
- <96> 도 4는 도 2의 DQ블록(210) 내의 데이터 입력회로와 데이터 출력회로를 도시한 도면.
- <97> 도 5는 도 2의 DBI블록(290) 내의 인버전 입력회로와 인버전 출력회로를 도시한 도면
- <98> 도 6은 Y블록(11, 도 2의 경우) 또는 입/출력부(12 도 3의 경우)에 구비되는 쓰기 드라이버들과 그 전단에 구비되는 라이트 인버전부를 도시한 도면.
- <99> 도 7은 본 발명에 따른 반도체 메모리장치의 기본 구성도.
- <100> 도 8은 선택부(710)를 제어하는 선택신호(SEL)를 생성하는 방법을 설명하기 위한 도면.
- <101> 도 9는 본 발명에 따른 반도체 메모리장치의 제1상세 실시예 도면.
- <102> 도 10은 본 발명에 따른 반도체 메모리장치의 제2상세 실시예 구성도.
- <103> 도 11은 도 10의 DQ블록(1010)을 도시한 도면.
- <104> 도 12는 도 10의 DBI블록(1090)을 도시한 도면.

**도면**

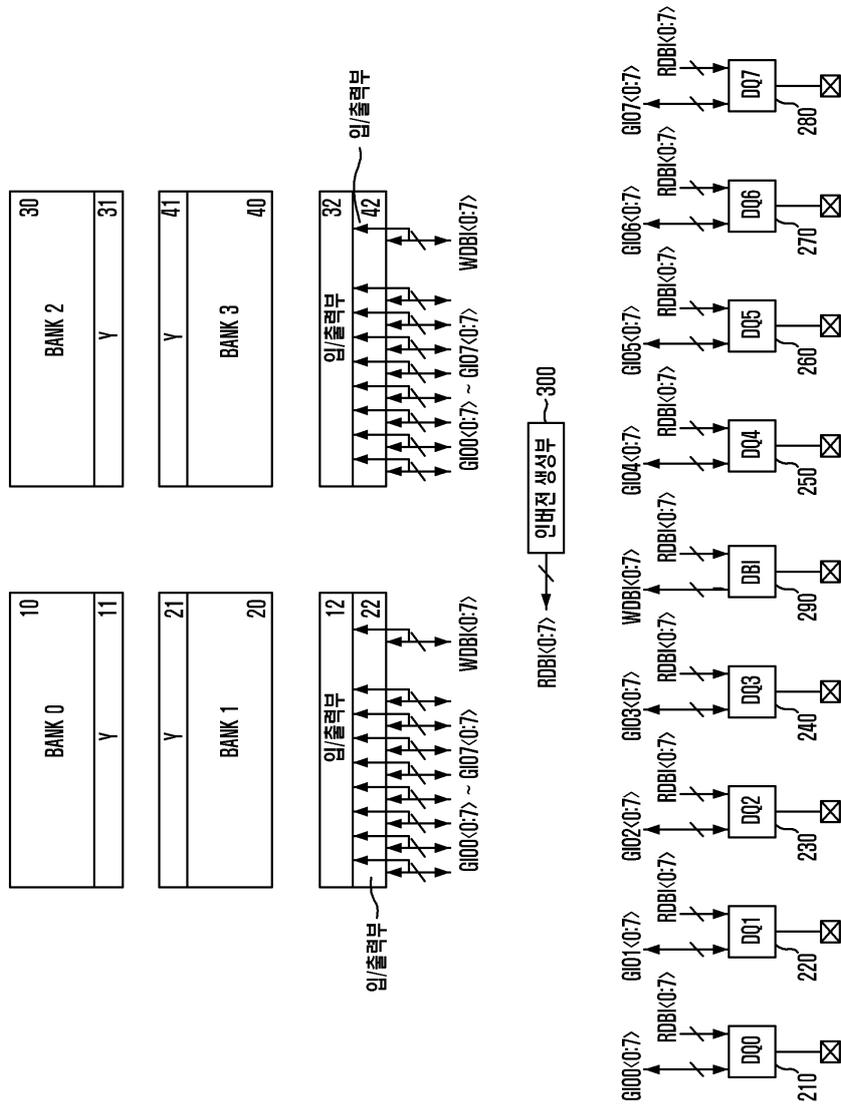
**도면1**

BANK0 <sup>10</sup>	X	X	BANK2 <sup>30</sup>	BANK0 <sup>50</sup>	X	X	BANK2 <sup>70</sup>
Y			Y	Y			Y
Y			Y	Y			Y
BANK1 <sup>20</sup>	X	X	BANK3 <sup>40</sup>	BANK1 <sup>60</sup>	X	X	BANK3 <sup>80</sup>
DPERI			CPERI		DPERI		
BANK0 <sup>90</sup>	X	X	BANK2 <sup>110</sup>	BANK0 <sup>130</sup>	X	X	BANK2 <sup>150</sup>
Y			Y	Y			Y
Y			Y	Y			Y
BANK1 <sup>100</sup>	X	X	BANK3 <sup>120</sup>	BANK1 <sup>140</sup>	X	X	BANK3 <sup>160</sup>

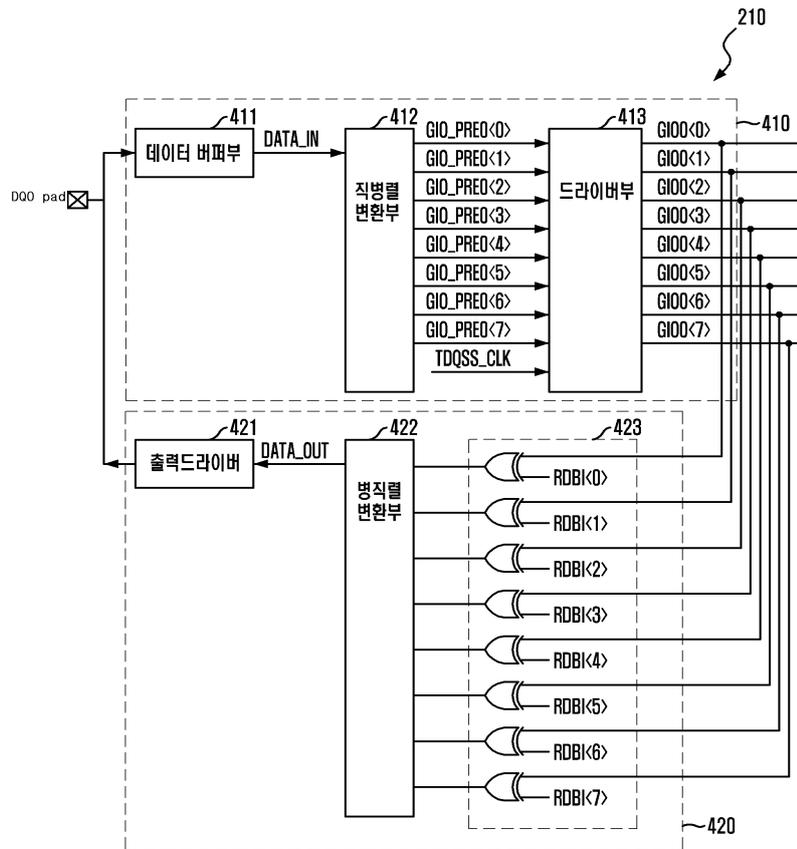
도면2



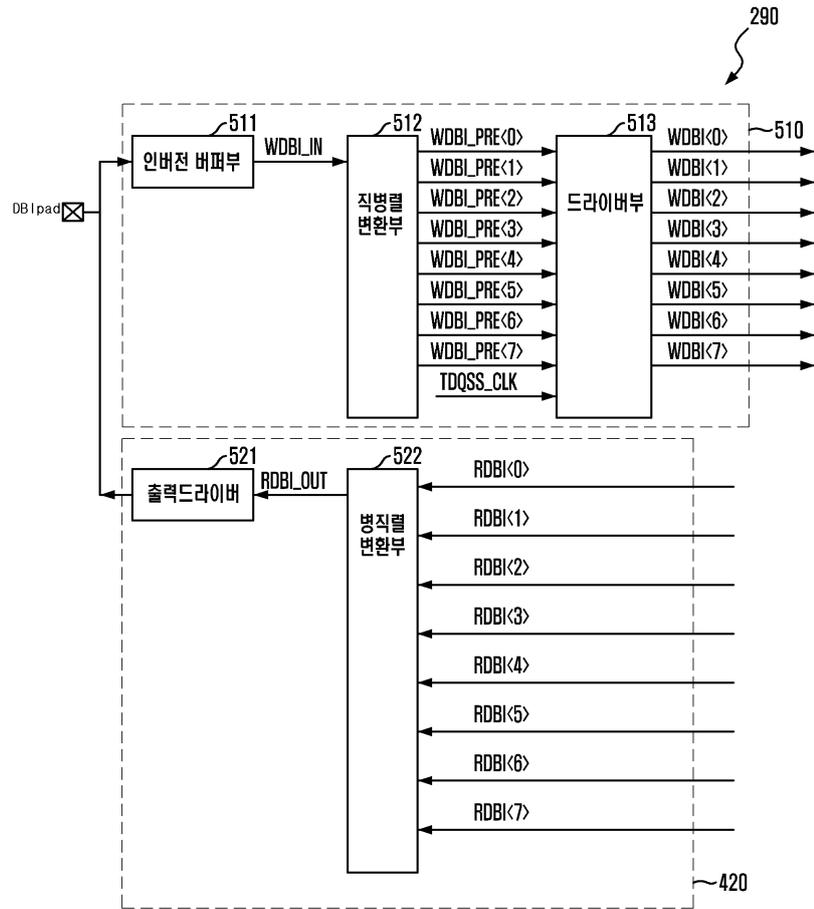
도면3



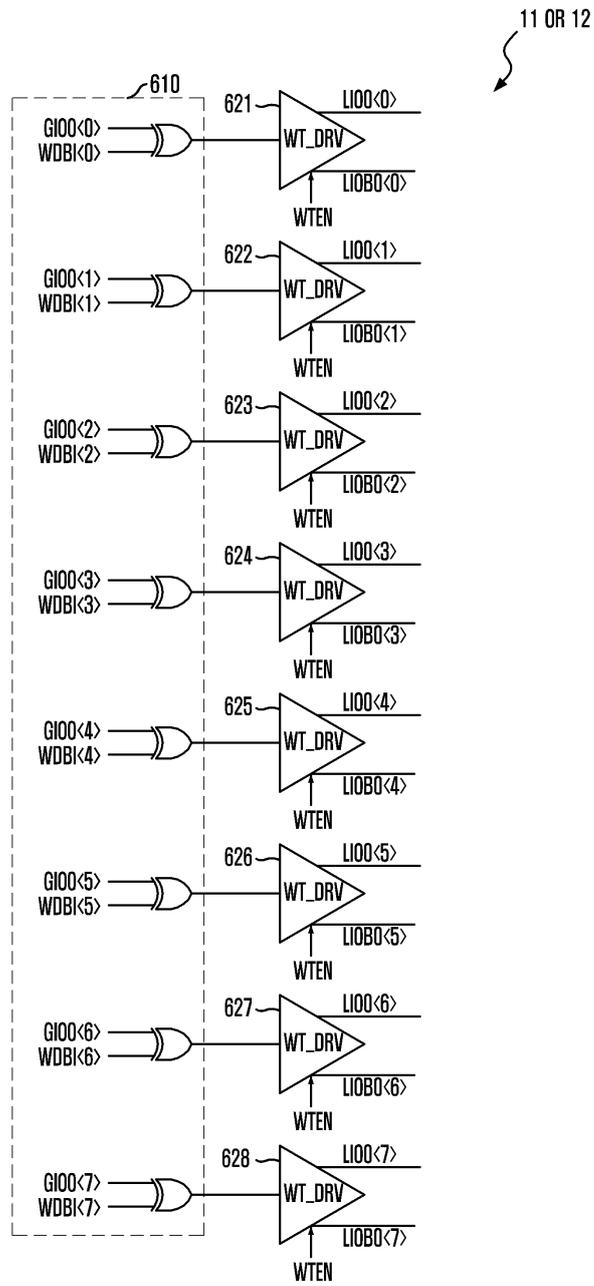
도면4



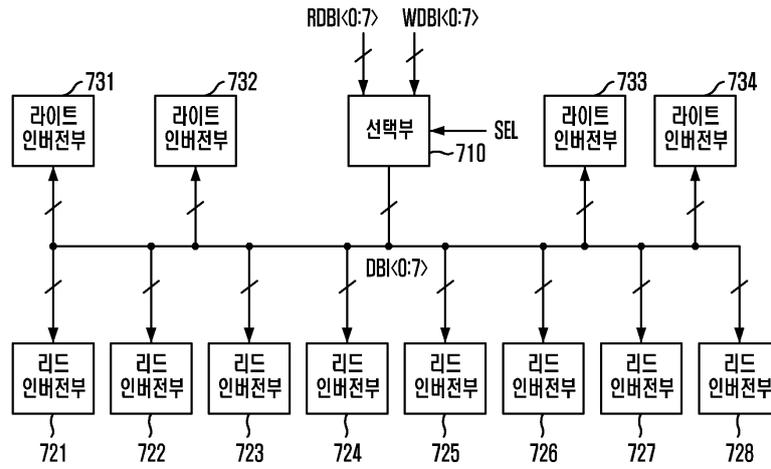
도면5



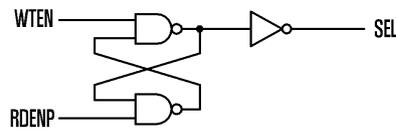
도면6



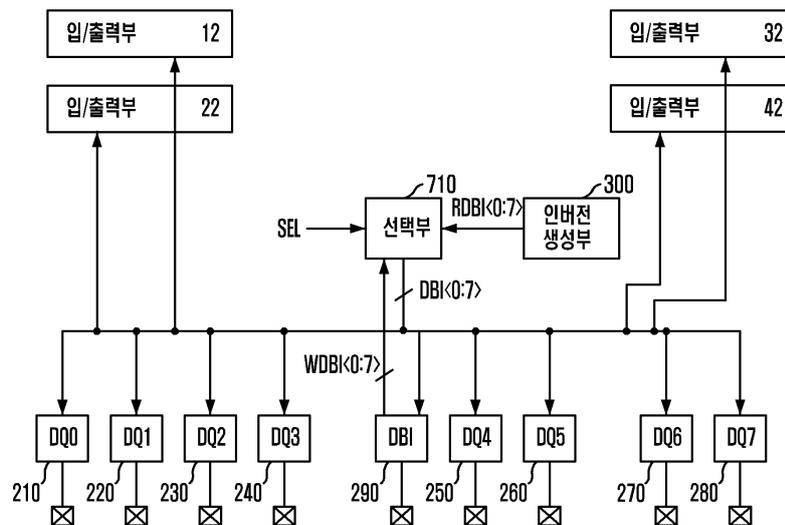
도면7



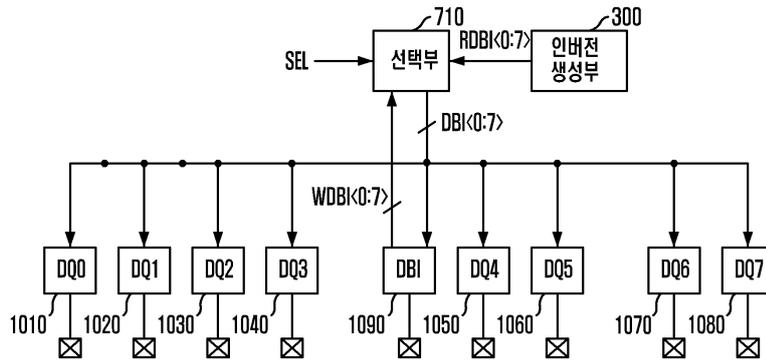
도면8



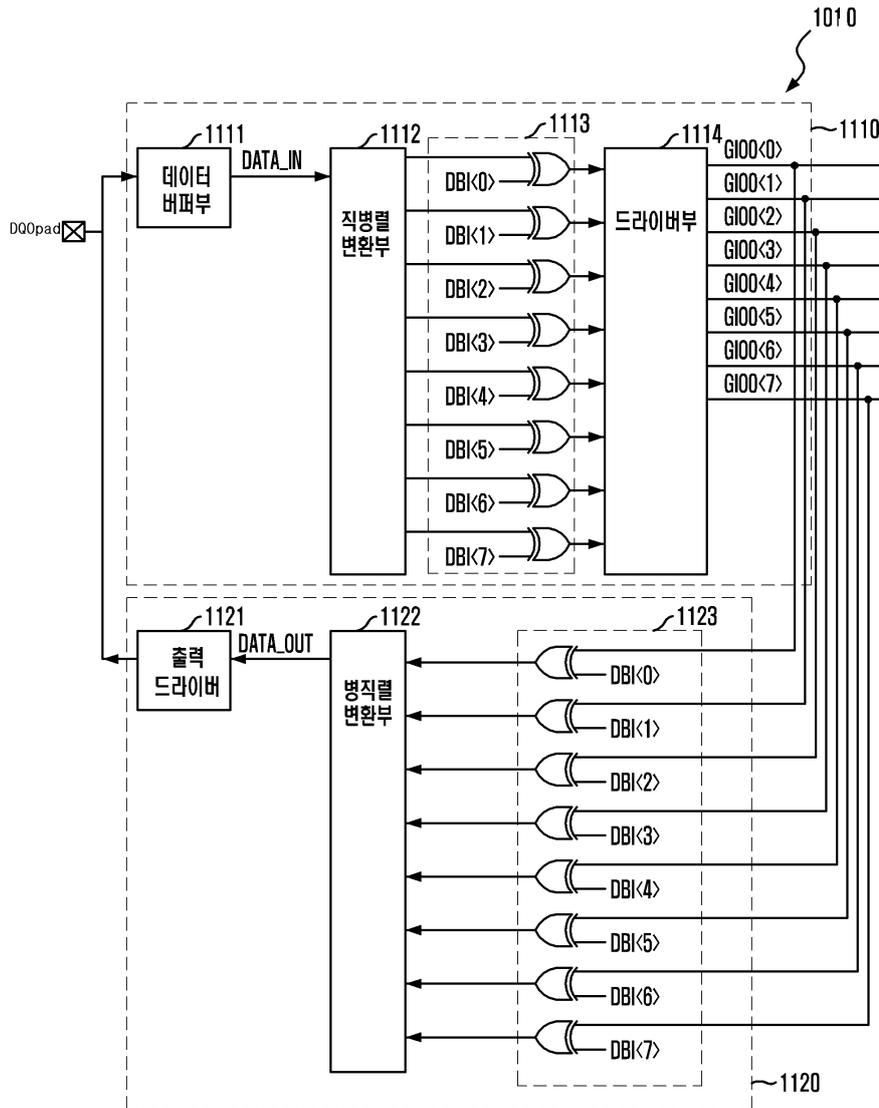
도면9



도면10



도면11



도면12

