



(12)发明专利申请

(10)申请公布号 CN 109087954 A

(43)申请公布日 2018. 12. 25

(21)申请号 201810961593.6

(22)申请日 2018.08.22

(71)申请人 电子科技大学

地址 611731 四川省成都市高新西区西源大道2006号

(72)发明人 陈万军 高昊昊 譙彬 左慧玲 邓操 夏云 刘超

(74)专利代理机构 成都点睛专利代理事务所 (普通合伙) 51232

代理人 孙一峰

(51) Int. Cl.

H01L 29/861(2006.01)

H01L 29/06(2006.01)

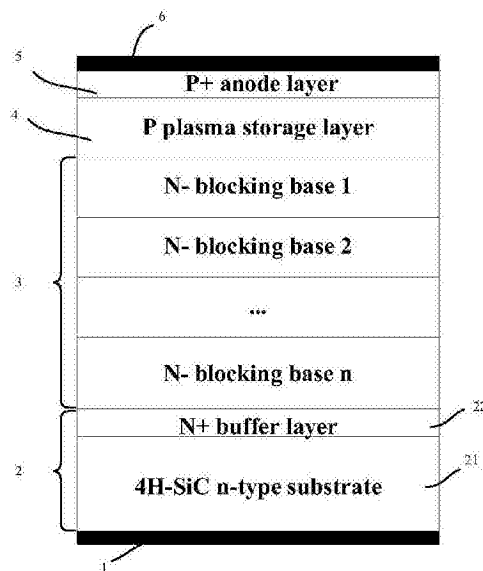
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种碳化硅漂移阶跃恢复二极管

(57)摘要

本发明涉及功率半导体技术,特别涉及一种碳化硅漂移阶跃恢复二极管。本发明对常规p⁺-p-n₀-n⁺碳化硅漂移阶跃恢复二极管的n₀基区进行了改造,通过将均匀掺杂的n₀基区改变为N型阶梯式变掺杂基区3,从而在N型基区内引入了方向为自下而上的内建电场,在漂移阶跃恢复二极管在脉冲放电的反向泵浦阶段,使得N型基区内的少数载流子空穴更快的被抽取,且更早的被加速至饱和速度,使得反向泵浦阶段的时间降低,从而使得脉冲放电回路中的负载上形成的电压脉冲前沿的电压变化率更大、时间更短。



1. 一种碳化硅漂移阶跃恢复二极管,其元胞结构包括自下而上依次层叠设置的N型欧姆接触电极(1)、N型碳化硅衬底(2)、N型阶梯式变掺杂基区(3)、P型等离子存储层(4)、P型重掺杂阳极(5)、P型欧姆接触电极(6);

所述N型碳化硅衬底(2)包括N+衬底层(21)与位于N+衬底层(21)上表面的N+buffer层(22);

所述N型阶梯式变掺杂基区(3)包括n层不同掺杂浓度的N型碳化硅外延层,且 $n \geq 2$,每层N型外延层的掺杂浓度变化规律为自下而上递减,表现为阶梯式的浓度分布。

一种碳化硅漂移阶跃恢复二极管

技术领域

[0001] 本发明涉及一种半导体开关二极管,特别涉及一种碳化硅漂移阶跃恢复二极管。

背景技术

[0002] 漂移阶跃恢复二极管(Drift step recovery diodes,简称DSRD)是一种半导体开关二极管,由俄罗斯Ioffe物理技术研究所提出,一般应用于超宽带(Ultra Wide Band,简称UWB)脉冲信号源,可以达到纳秒甚至皮秒级的开关时间,具有高效率、高可靠性、结构紧凑和重量轻等特点,因此在多种脉冲信号源中被作为关键器件使用。

[0003] 在几千伏甚至是几十千伏的纳秒级脉冲系统中,对于单个硅基DSRD器件,由于漂移区厚度很大,已无法满足脉冲前沿的时间要求,需要多个器件串联使用,这极大地增大了系统的体积。宽禁带碳化硅材料具有比硅材料高的禁带宽度、饱和载流子速度、热导率和临界击穿电场,使得碳化硅DSRD器件的性能大大优于硅DSRD,从而在同等电压等级及脉冲时间要求的脉冲系统中,碳化硅DSRD的串联数量远小于硅DSRD,极大的节省了系统的体积。但是,由于目前工艺水平的限制,碳化硅材料的载流子迁移率和载流子寿命较低,从而使得常规的碳化硅DSRD器件在脉冲放电的反向泵浦阶段的非速度饱和阶段,少数载流子空穴的抽取速度较慢,从而导致电压脉冲前沿时间长、电压脉冲峰值低、碳化硅DSRD功耗大,难以充分发挥碳化硅材料的优势,限制了器件的性能的提高。

发明内容

[0004] 本发明要解决的技术问题是通过改变碳化硅漂移阶跃恢复二极管的内部结构,以解决电压脉冲前沿时间长、电压脉冲峰值低、碳化硅漂移阶跃恢复二极管功耗大的问题。

[0005] 本发明的技术方案:一种碳化硅漂移阶跃恢复二极管,如图2所示,一种碳化硅漂移阶跃恢复二极管,其元胞结构自下而上分别为包括N型欧姆接触电极1、N型碳化硅衬底2、N型阶梯式变掺杂基区3、P型等离子存储层4、P型重掺杂阳极5、P型欧姆接触电极6;

[0006] 所述N型碳化硅衬底2包括N+衬底层21与N+buffer层22;

[0007] 所述N型阶梯式变掺杂基区3包括n层($n \geq 2$)不同掺杂浓度的N型碳化硅外延层,每层N型外延层的掺杂浓度变化规律为自下而上逐层递减,表现为阶梯式的浓度分布;

[0008] 本发明的方案,相比于常规的 $p^+-p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管,本发明的碳化硅漂移阶跃恢复二极管的 n_0 基区采用了自下而上掺杂浓度逐渐降低的阶梯式变掺杂基区。

[0009] 本发明的有益效果为,本发明对常规 $p^+-p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管的 n_0 基区进行了改造,通过将均匀掺杂的 n_0 基区改变为N型阶梯式变掺杂基区3,从而在N型基区内引入了方向为自下而上的内建电场,在漂移阶跃恢复二极管在脉冲放电的反向泵浦阶段,使得N型基区内的少数载流子空穴更快的被抽取,且更早的被加速至饱和速度,使得反向泵浦阶段的时间降低,从而使得脉冲放电回路中的负载上形成的电压脉冲前沿的电压变化率更大、时间更短。本发明的N型阶梯式变掺杂基区结构使用常规的碳化硅外延工艺,与

常规的 $p^+p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管的制作工艺流程相比,只需改变外延时的掺杂条件,无需额外开发新的工艺方法。

附图说明

- [0010] 图1是常规的碳化硅DSRD元胞结构示意图;
- [0011] 图2是本发明的DSRD元胞结构示意图;
- [0012] 图3是DSRD脉冲产生电路示意图;
- [0013] 图4是常规DSRD与本发明DSRD在反向泵浦阶段初期的器件内部空穴速度对比图;
- [0014] 图5是常规DSRD与本发明DSRD在反向泵浦阶段初期的器件内部空穴浓度对比图;
- [0015] 图6是常规DSRD与本发明DSRD通过脉冲产生电路输出的电压脉冲波形对比。

具体实施方式

[0016] 下面结合附图对本发明进行详细的描述

[0017] 如图2所示,本发明的碳化硅漂移阶跃恢复二极管,其元胞结构自下而上分别为包括N型欧姆接触电极1、N型碳化硅衬底2、N型阶梯式变掺杂基区3、P型等离子存储层4、P型重掺杂阳极5、P型欧姆接触电极6;所述N型碳化硅衬底2包括N+衬底层21与N+buffer层22;所述N型阶梯式变掺杂基区3包括n层($n \geq 2$)不同掺杂浓度的N型碳化硅外延层,每层N型外延层的掺杂浓度变化规律为自下而上逐层递减,表现为阶梯式的浓度分布;其特征在于,相比于常规的 $p^+p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管,本发明的碳化硅漂移阶跃恢复二极管的 n_0 基区采用了自下而上掺杂浓度逐渐降低的阶梯式变掺杂基区。

[0018] 如图1所示,为常规的 $p^+p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管。如图2所示,为本发明的碳化硅漂移阶跃恢复二极管。本发明与常规的 $p^+p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管结构不同的地方在于,本发明对 n_0 基区进行了改造,通过将均匀掺杂的 n_0 基区改变为N型阶梯式变掺杂基区3,从而在N型基区内引入了方向为自下而上的内建电场,在漂移阶跃恢复二极管在脉冲放电的反向泵浦阶段,使得N型基区内的少数载流子空穴更快的被抽取,且更早的被加速至饱和速度,使得反向泵浦阶段的时间降低,从而使得脉冲放电回路中的负载上形成的电压脉冲前沿的电压变化率更大、时间更短。本发明的N型阶梯式变掺杂基区结构使用常规的碳化硅外延工艺,与常规的 $p^+p-n_0-n^+$ 碳化硅漂移阶跃恢复二极管的制作工艺流程相比,只需改变外延时的掺杂条件,无需额外开发新的工艺方法。

[0019] 本发明提供的碳化硅漂移阶跃恢复二极管,其工作原理如下:

[0020] 如图2所示的元胞结构中,在碳化硅DSRD器件处于脉冲放电的正向泵浦阶段时,正向电流注入器件内部的载流子分别存储在P型载流子存储层4以及N型基区3中;当碳化硅DSRD器件处于脉冲放电的反向泵浦阶段时,碳化硅DSRD器件中存储的少数载流子被抽取,形成反向电流,而该反向电流下降阶段中,储能原件中的电流转移到负载电阻上,从而在负载电阻上形成电压脉冲,即少数载流子的抽取速度决定了脉冲系统输出的电压脉冲前沿的脉冲前沿时间、电压上升率及电压峰值。其中,由于N型基区3宽度较大,所以其中存储的少数载流子空穴的抽取时间成为了影响脉冲前沿时间的主要因素之一。本发明的N型阶梯式变掺杂基区3,在N型基区内引入了方向为自下而上的内建电场,在碳化硅DSRD器件在脉冲放电的反向泵浦阶段,使得N型基区内的少数载流子空穴更快的被抽取,且更早的被加速至

饱和速度,使得反向泵浦阶段的时间降低,从而使得脉冲放电回路中的负载上形成的电压脉冲前沿的电压变化率更大、时间更短,同时也减小了在碳化硅DSRD器件上的能量损耗,从而使更多的能量转化到负载上,使脉冲峰值电压增大,提高了脉冲系统的效率。

[0021] 以同样耐压为12kV的常规 $p^+ - p - n_0 - n^+$ 碳化硅DSRD器件(基区掺杂浓度及厚度为 $7e14cm^{-3}/80\mu m$)与本发明的碳化硅DSRD器件(N型阶梯式变掺杂基区层数取 $n=3$,基区浓度及厚度自上而下分别为 $1.5e15cm^{-3}/30\mu m, 1e15cm^{-3}/30\mu m, 2e14cm^{-3}/20\mu m$)进行仿真比较,两个器件除了基区掺杂方式不同之外,包括器件尺寸和耐压值在内的其他参数均相同,放电电路及仿真条件也完全相同,放电电路如图3所示,输出电压峰值同为11kV。如图4和图5所示为反向泵浦阶段初期(图6所示的225.7ns时刻)的器件内部空穴速度和空穴浓度分布,可以看出,在同一时刻,本发明的碳化硅DSRD器件N型基区内部靠近PN结一侧的少数载流子空穴速度要大于常规器件,远离PN结一侧的空穴速度虽然有所降低,但是远离PN结一侧的区域少数载流子空穴的浓度远远低于靠近PN结一侧的区域,所以对总体空穴抽取的影响较小,从而就使得总体的少数载流子空穴能够更快的被抽取,降低了电压脉冲前沿的时间。如图6所示为脉冲系统输出的电压波形,可以看出本发明的碳化硅DSRD的脉冲前沿时间较短,明显优于常规 $p^+ - p - n_0 - n^+$ 碳化硅DSRD器件。因此,本发明碳化硅DSRD器件适用于超宽带系统。

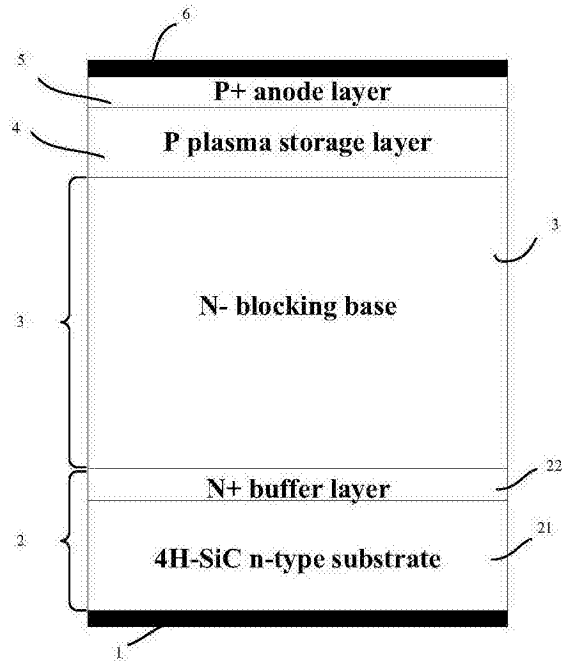


图1

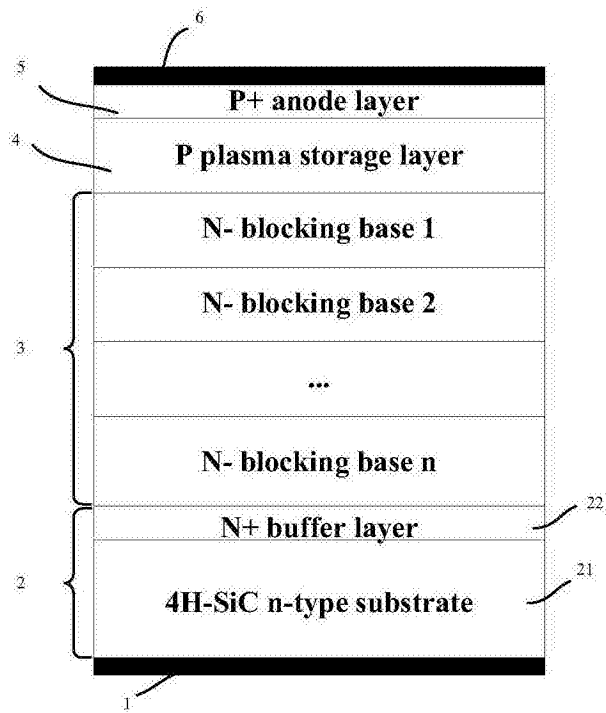


图2

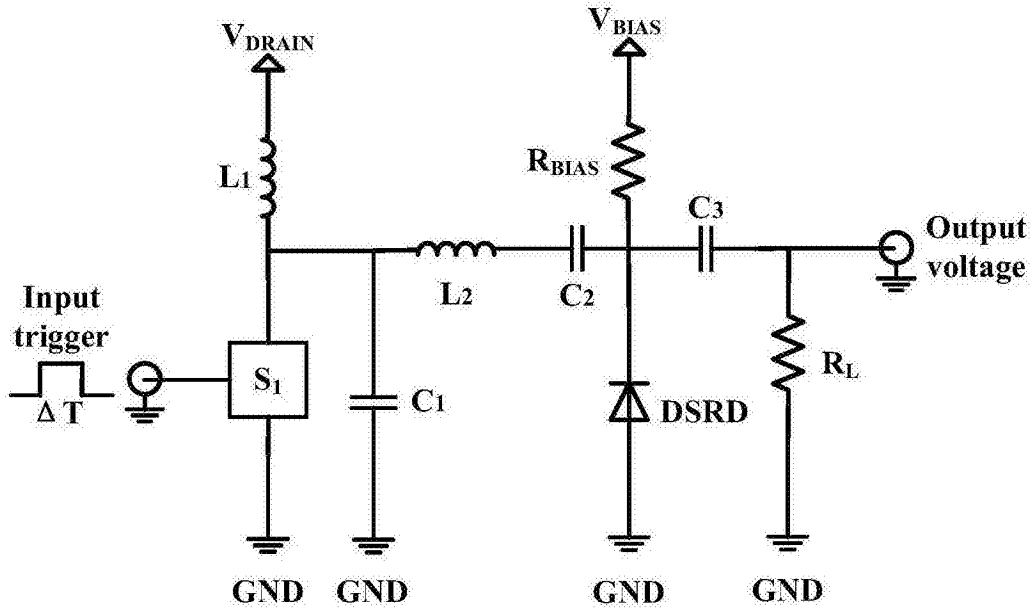


图3

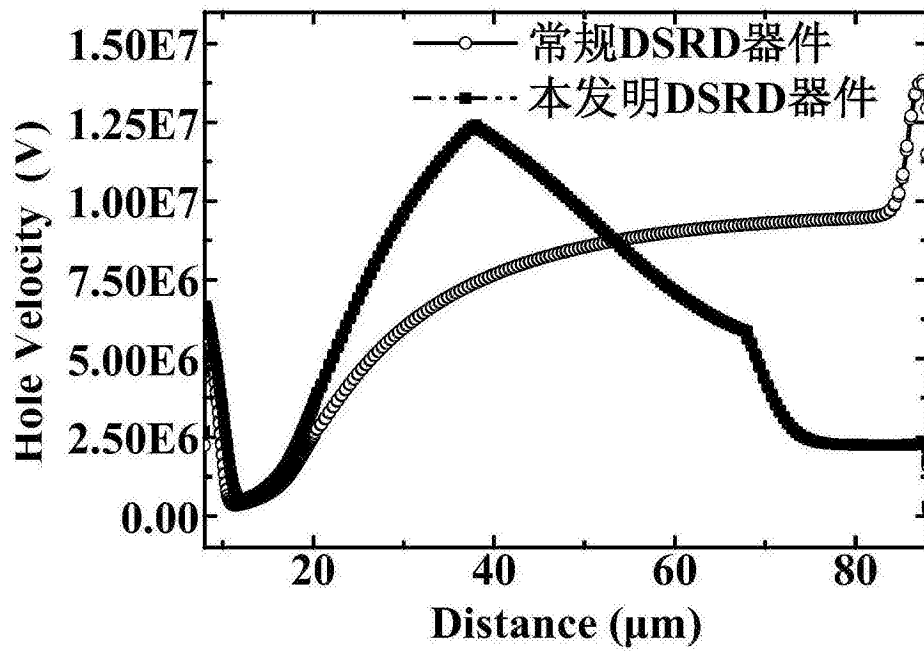


图4

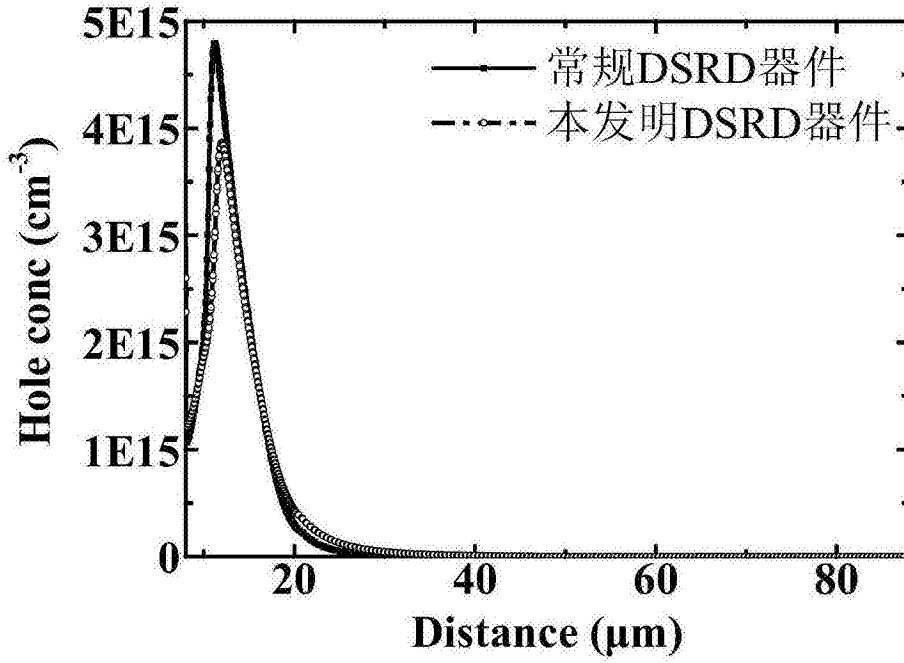


图5

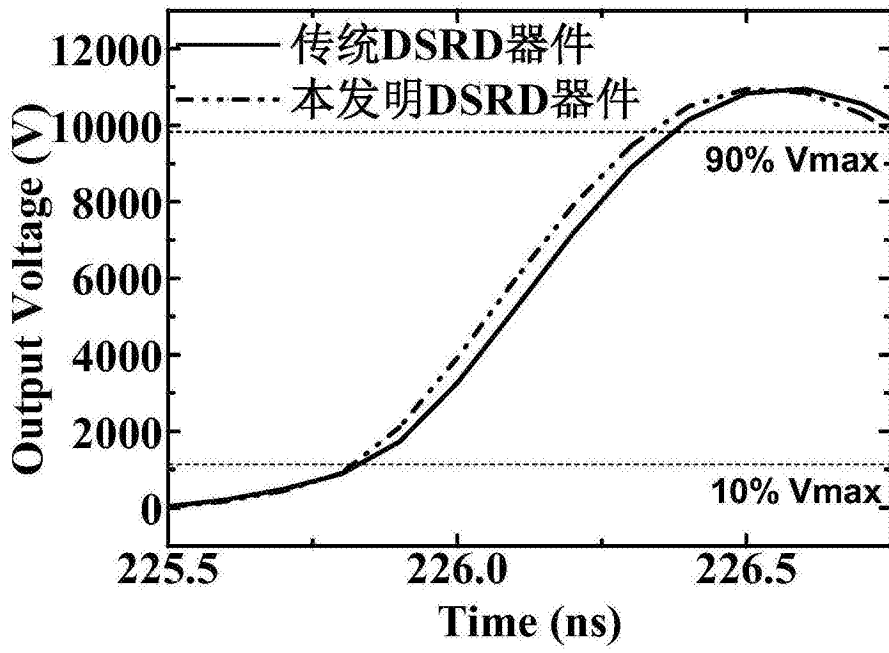


图6