

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-50590
(P2010-50590A)

(43) 公開日 平成22年3月4日(2010.3.4)

| | | | | | | |
|--------------|-------------|------------------|------|------|---|-------------|
| (51) Int.Cl. | | F I | | | | テーマコード (参考) |
| H03K | 5/08 | (2006.01) | H03K | 5/08 | E | 5J022 |
| H03M | 1/10 | (2006.01) | H03M | 1/10 | A | 5J039 |

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2008-211329 (P2008-211329)
 (22) 出願日 平成20年8月20日 (2008. 8. 20)
 特許法第30条第1項適用申請有り 平成20年3月5日 社団法人電子情報通信学会発行の「2008年総合大会講演論文集 (DVD)」に発表

(71) 出願人 592218300
 学校法人神奈川大学
 神奈川県横浜市神奈川区六角橋3丁目27番1号
 (74) 代理人 110000545
 特許業務法人大貫小竹国際特許事務所
 (72) 発明者 齊 智司
 神奈川県川崎市中原区木月住吉町22-10
 (72) 発明者 島 健
 神奈川県相模原市西橋本1-26-4
 Fターム(参考) 5J022 AA01 AC04 BA03 CF01 CF02
 CF04 CF05 CG01
 5J039 DA09 DC04 DC05 KK04 KK16
 KK18 KK20 LL00 MM16

(54) 【発明の名称】 コンパレータ回路

(57) 【要約】

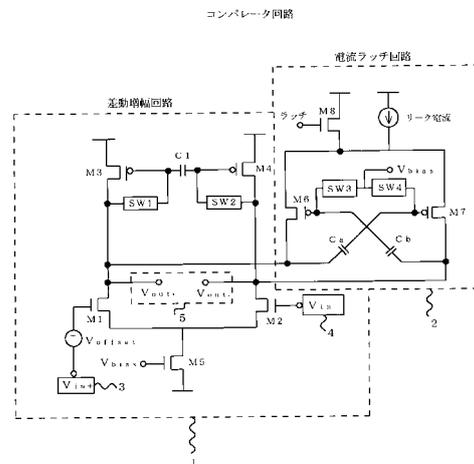
【課題】

MOSトランジスタの閾値電圧の差によって発生するオフセット電圧の影響を軽減させ、比較精度の高いコンパレータ回路を提供する。

【解決手段】

各スイッチがオンにされているキャリブレーションモードにおいて、第1のキャパシタC aおよび第2のキャパシタC bに、出力部5におけるプラス側とマイナス側の出力電圧を記憶させる。各スイッチがオフに切り替わり比較モードに移行すると、第1のMOSトランジスタM 6および第2のMOSトランジスタM 7のゲートに、キャパシタC aおよびC bが記憶したそれぞれの電圧が印加されて補正電圧を基準としたラッチ動作の準備が整う。電流ラッチ回路2は、入力電圧と基準電圧の差を増幅させてHIGHまたはLOWを出力する判定を行う。出力部5では、HIGHまたはLOWに応じた電圧差が生じ、これに応じた電流が流れる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電圧を入力する入力部と、基準電圧を入力する基準電圧入力部と、電圧および電流を出力する出力部と、からなる差動増幅回路と、

互いのゲート端子とドレイン端子をたすきがけに接続した第 1 のトランジスタおよび第 2 のトランジスタと、前記出力部のプラス側の電圧を記憶する第 1 のキャパシタと、前記出力部のマイナス側の電圧を記憶する第 2 のキャパシタと、キャリブレーションモードと比較モードを切り替えるスイッチとを有し、前記第 1 のトランジスタのゲートは、前記第 2 のキャパシタを介して第 2 のトランジスタのドレインに接続され、前記第 2 のトランジスタのゲートは、前記第 1 のキャパシタを介して前記第 1 のトランジスタのドレインに接続され、かつ、前記スイッチの一端は、固定電圧に接続され、前記スイッチの他端は、前記第 1 のトランジスタおよび前記第 2 のトランジスタのそれぞれのゲートに接続される電流ラッチ回路とを、

10

備えることを特徴とするコンパレータ回路。

【請求項 2】

前記キャリブレーションモードにおいては、前記スイッチをオンにして前記第 1 および第 2 のトランジスタのゲートに固定電圧を供給すると共に、前記第 1 のキャパシタおよび前記第 2 のキャパシタに、前記出力部のプラス側とマイナス側の電圧を記憶させ、

また、前記比較モードにおいては、前記スイッチをオフにして前記第 2 のキャパシタから記憶した電圧を前記第 1 のトランジスタのゲートに供給すると共に、前記第 1 のキャパシタから記憶した電圧を前記第 2 のトランジスタのゲートに供給することを特徴とする請求項 1 に記載のコンパレータ回路。

20

【請求項 3】

前記差動増幅回路は、前記出力部におけるオフセット電流を除去する出力電流オフセット除去機能を有することを特徴とした請求項 1 に記載のコンパレータ回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、コンパレータ回路において、とくに、MOSトランジスタの製造偏差に伴う閾値電圧のばらつきによって発生するオフセット電圧の影響を軽減させる電流ラッチ回路に関する。

30

【背景技術】**【0002】**

コンパレータ回路は、A - D コンバータ、携帯機器、デジタルカメラ等の用途で幅広く利用されており、入力された音や光の強度に応じた電圧と基準の電圧とを比較して大小を判定し、「1」または「0」の論理値として出力する回路である。

このような用途の中では、判定速度の高速化や僅かな電位差をまで判定できるコンパレータ回路の高精度化が必要とされている。

【0003】

コンパレータ回路は、主としてMOSトランジスタやキャパシタを組み合わせで構成されている。MOSトランジスタは、所定の電圧を与えられると電流を流す性質があり、このときの電圧を閾値電圧とされている。

40

ところで、MOSトランジスタにおける電流と電圧の関係は、そのチャネル長、チャネル幅の比に依存する性質を持つ。MOSトランジスタは、製造時における意図しない寸法のずれが少なからず発生して生産される。このようなMOSトランジスタの製造偏差は、それぞれの閾値電圧にばらつきを与えることになる。

【0004】

MOSトランジスタの閾値電圧のばらつきは、オフセット電圧をコンパレータ回路内に発生させる。このコンパレータ回路内におけるオフセット電圧は、入力電圧と参照電圧を比較するときにおいて精度を悪化させる問題がある。

50

つまり、コンパレータ回路の入力における閾値電圧の僅かな差は、出力部において増幅されるため比較精度が悪化する問題がある。そのため、素子ばらつきの影響を受けにくいコンパレータ回路が必要とされている。

【0005】

そこで、オフセット電圧によるコンパレータ回路の精度悪化を改善するために、スイッチと容量素子からなるオフセットキャンセル機能を備えた差動型コンパレータが知られている（特許文献1参照）。

特許文献1に記載された差動型コンパレータは、光電変換信号を入力する際にスイッチを閉じて、MOSトランジスタの閾値電圧を基準とする光電変換信号の電圧を容量素子および信号容量素子に蓄積することで、閾値電圧や寄生容量などをキャンセルして信号の比較を行っている。

10

【特許文献1】特開2006-20171号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、コンパレータ回路におけるキャリブレーションモードのときは、オフセット電流を0に調整することができる。そのため、比較する信号を電圧から電流に変更すると、オフセット電圧による影響を軽減して比較できる可能性がある。

しかしながら、特許文献1に記載された差動型コンパレータは、電流信号による処理に対する回路構成は設けられていないため、電流による比較を行うことができない。

20

【0007】

本発明は、オフセット電圧の影響を軽減させるために入力した電圧比較結果を電流差として出力して、比較精度の高いコンパレータ回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

この発明にかかるコンパレータ回路は、電圧を入力する入力部と、基準電圧を入力する基準電圧入力部と、電圧および電流を出力する出力部と、からなる差動増幅回路と、互いのゲート端子とドレイン端子をたすきがけに接続した第1のトランジスタおよび第2のトランジスタと、前記出力部のプラス側の電圧を記憶する第1のキャパシタと、前記出力部のマイナス側の電圧を記憶する第2のキャパシタと、キャリブレーションモードと比較モードを切り替えるスイッチとを有し、前記第1のトランジスタのゲートは、前記第2のキャパシタを介して第2のトランジスタのドレインに接続され、前記第2のトランジスタのゲートは、前記第1のキャパシタを介して前記第1のトランジスタのドレインに接続され、かつ、前記スイッチの一端は、固定電圧に接続され、前記スイッチの他端は、前記第1のトランジスタおよび前記第2のトランジスタのそれぞれのゲートに接続される電流ラッチ回路とを、備えることを特徴としている（請求項1）。

30

【0009】

したがって本発明のコンパレータ回路では、第1のキャパシタおよび第2のキャパシタに前記出力部におけるオフセット電圧を記憶させ、前記第1のトランジスタおよび第2のトランジスタのゲートに記憶した電圧を印加することで、補正電圧が行われる。

40

【0010】

ここで、第1のキャパシタおよび第2のキャパシタによるオフセット電圧の記憶は、スイッチがオンであるキャリブレーションモードのときに第1および第2のトランジスタのゲートに固定電圧を供給して行い、電圧補正は、スイッチがオフである比較モードのときに第1のキャパシタまたは前記第2のキャパシタに記憶した電圧をそれぞれのトランジスタのゲートに供給させて行わせる（請求項2）。

【0011】

このように、第1のトランジスタおよび第2のトランジスタのゲートに印加される電圧を変更することで、前記キャパシタによるオフセット電圧の記憶と補正電圧を行うことができる。

50

【0012】

さらに本発明のコンパレータ回路の差動増幅回路は、出力部におけるオフセット電流を除去する出力電流オフセット除去機能を有することを特徴としている（請求項3）。

【0013】

出力電流オフセット機能は、キャリブレーションモードにおいてオフセット電流が除去されるような構成であればよい。

【発明の効果】

【0014】

以上のように本発明によれば、比較する信号を電圧から電流に変換して行い、オフセット電圧の影響を軽減するため、コンパレータ回路の比較精度を向上させることができる。さらに、本コンパレータ回路は、キャパシタをラッチ回路に備えたことによって微小な電流差にのみ応答する回路、すなわち、電圧信号を電流信号に変換する簡便な回路構成であるため、回路の集積化に優れ、高機能化を図ることができる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明のコンパレータ回路について図面を参照して説明する。

図1は、本発明のコンパレータ回路の構成を示す回路図である。

本コンパレータ回路は、入力された信号を比較して出力する差動増幅回路1と出力状態を保持する電流ラッチ回路2から構成されている。

【0016】

差動増幅回路1は、比較する電圧を入力する入力部3（以下、入力部3において入力された電圧を V_{in+} とする）、基準電圧を入力する基準電圧入力部4（以下、基準電圧を V_{in-} とする）、比較結果を出力する出力部5（以下、出力部5におけるプラス側の電圧および電流を V_{out+} 、 I_{out+} 、マイナス側の電圧および電流を V_{out-} 、 I_{out-} とする）、MOSトランジスタM1、M2、M3、M4、M5、スイッチSW1およびSW2、キャパシタC1から成る。

20

なお、各スイッチには、CMOS（Complementary MOS）など、入力部3には、NMOS（Nチャネル型MOS）などを用いることができる。

【0017】

MOSトランジスタM5は、本コンパレータ回路に電圧を供給しており、ゲートにバイアス電圧（ V_{bias} ）が接続され、ドレインにはMOSトランジスタM1およびM2のソースに接続されている。

30

MOSトランジスタM1は、ゲートに入力部3が接続され、ドレインには、プラス側の出力部5および、MOSトランジスタM3のソースが接続されている。

MOSトランジスタM2は、ゲートに基準電圧入力部4が接続され、ドレインには、マイナス側の出力部5および、MOSトランジスタM4のソースが接続されている。

【0018】

キャパシタC1の両端は、MOSトランジスタM3およびM4のゲートに接続されており、MOSトランジスタM3およびM4における電圧差を記憶する。また、MOSトランジスタM3とキャパシタC1との間には、スイッチSW1の一端が接続されており、同様にMOSトランジスタM4とキャパシタC1の間にスイッチSW2の一端が接続されている。

40

スイッチSW1の他端は、MOSトランジスタM3のソースに接続されている。

スイッチSW2の他端は、MOSトランジスタM4のソースに接続されている。

【0019】

これに対して電流ラッチ回路2は、第1のキャパシタCaおよび第2のキャパシタCb、第1のMOSトランジスタM6、第2のMOSトランジスタM7、第3のMOSトランジスタM8、スイッチSW3およびSW4から構成されている。

【0020】

第1のキャパシタCaは、差動増幅回路1のプラス側の出力電圧を記憶するもので、一

50

端が出力部 5 のプラス側に接続されると共に第 1 の MOS トランジスタ M 6 のドレインに接続され、他端が、第 2 の MOS トランジスタ M 7 のゲートに接続されている。

第 2 のキャパシタ C b は、差動増幅回路 1 のマイナス側の出力電圧を記憶し、第 2 の MOS トランジスタ M 7 のドレインに接続され、他端は、第 1 の MOS トランジスタ M 6 のゲートに接続されている。

第 1 のキャパシタ C a から第 2 の MOS トランジスタ M 7 のゲートへの配線と第 2 のキャパシタ C b と第 1 の MOS トランジスタ M 6 のゲートへの配線はたすきがけにして接続されている。

【 0 0 2 1 】

第 1 の MOS トランジスタ M 6 は、ドレインが前述した如く、第 1 のキャパシタ C a と出力部 5 のプラス側とに接続され、ソースが、第 3 の MOS トランジスタ M 8 のドレインに接続されている。

第 2 の MOS トランジスタ M 7 は、ドレインが前述した如く第 2 のキャパシタ C b と出力部 5 のマイナス側とに接続され、ソースが、第 3 の MOS トランジスタ M 8 のドレインに接続されている。

第 3 の MOS トランジスタ M 8 は、ゲートに接続されたラッチクロック信号に基づいて、ソースに接続された定電圧を電流ラッチ回路 2 に供給する。

スイッチ S W 3 は、第 1 の MOS トランジスタ M 6 のゲートに接続され、他端はバイアス電圧 (V b i a s) に接続されている。

スイッチ S W 4 は、第 2 の MOS トランジスタ M 7 のゲートに接続され、他端は、バイアス電圧 (V b i a s) に接続されている。

なお、本コンパレータ回路のモードと各スイッチの関係は、スイッチ S W 1 ~ S W 4 がオン (通電) に切り替わることでキャリブレーションモードに移行し、オフ (非通電) に切り替わることで入力電圧を比較する比較モードに移行する。

【 0 0 2 2 】

本コンパレータ回路は、入力部 3 に与えられた電圧を第 1 のキャパシタ C a および第 2 のキャパシタ C b に記憶させることで、どのような入力電圧 V_{in+} であっても、微小な電流差にのみ応答する回路である。

つまり、本コンパレータ回路は、電圧比較結果を電流差として出力するトランスコンダクタンス回路を差増増幅回路 1 として設けており、各キャパシタの電圧記憶機能を利用して、オフセット電圧の影響を受けずに比較精度を向上させることができる。

【 0 0 2 3 】

本コンパレータ回路の構成は以上となるが、続いて動作について説明する。

本コンパレータ回路の動作は、大きく 3 段階に分けられる。1 段階目は、キャパシタによるオフセット電圧の記憶、2 段階目は入力された入力電圧と基準電圧の比較、3 段階目は、HIGH または LOW の出力判定を行うことである。

【 0 0 2 4 】

まず、1 段階目のキャパシタによるオフセット電圧の記憶について説明する。

キャリブレーションモードにおいて、電流ラッチ回路 2 の MOS トランジスタ M 6 および M 7 のゲートにはバイアス電圧 (V b i a s) が供給される。

このとき、スイッチ S W 1 および S W 2 よりも同時かあるいは僅かに早くスイッチ S W 3 および S W 4 をオンにすると、リーク電流が MOS トランジスタ M 6 および M 7 のソース - ドレイン間に流れる。これに伴い差動増幅回路 1 の出力部 5 における電流は、リーク電流が等しく二分された値が出力される。

$$I_{out+} = I_{out-} = I_{leak} / 2 \quad (1)$$

【 0 0 2 5 】

つまり差動増幅回路 1 では、MOS トランジスタ M 1 におけるドレイン - ソース間は、MOS トランジスタ M 3 におけるドレイン - ソース間に流れる電流にリーク電流の半分を加えた電流が流れる。同様に、MOS トランジスタ M 2 におけるドレイン - ソース間は、MOS トランジスタ M 4 におけるドレイン - ソース間に流れる電流にリーク電流の半分を

10

20

30

40

50

加えた電流が流れる。

$$I_{D S 1} = I_{D S 3} + I_{l e a k} / 2 \quad (2)$$

$$I_{D S 2} = I_{D S 4} + I_{l e a k} / 2 \quad (3)$$

(ここで、 $I_{D S n}$ は、M O S トランジスタ $M n$ におけるドレイン - ソース間の電流を表す。)

【0026】

したがって、差動増幅回路1におけるプラス側の出力電流は、 $I_{D S 1} - I_{D S 3}$ で表されるため

$$I_{o u t +} = I_{l e a k} / 2$$

である。

また同様に、マイナス側の出力電流は、 $I_{D S 2} - I_{D S 4}$ で表されるため、

$$I_{o u t -} = I_{l e a k} / 2$$

である。

【0027】

このように、キャリブレーションモードでは、M O S トランジスタの閾値電圧に基づくオフセット電流をゼロにすることができる(出力電流オフセット除去機能)。

このような出力部5における出力電流が等しいとき、出力電圧 $V_{o u t}$ は、オフセット電圧の影響によりプラス側とマイナス側の値が異なる。

$$V_{o u t +} - V_{o u t -} \quad (6)$$

電流ラッチ回路2の第1のキャパシタ $C a$ および第2のキャパシタ $C b$ は、このときのプラス側の出力電圧 $V_{o u t +}$ とマイナス側の出力電圧 $V_{o u t -}$ をそれぞれ記憶する。

【0028】

次に、本コンパレータ回路に入力された電圧信号と基準電圧の比較について説明する。

コンパレータ回路は、スイッチ $S W 1$ から $S W 4$ の各々にオフ信号を送信してオンからオフに切り替えることによって、キャリブレーションモードから比較モードに移行する。

はじめにスイッチ $S W 3$ および $S W 4$ がオフになると、キャパシタ $C a$ および $C b$ に記憶した電圧は、M O S トランジスタ $M 6$ および $M 7$ のゲートに印加される。このとき、先ほど記憶したプラス側の出力電圧 $V_{o u t +}$ は第1のM O S トランジスタ $M 7$ のゲートへ、マイナス側の出力電圧 $V_{o u t -}$ は第2のM O S トランジスタ $M 6$ のゲートへ印加される。

【0029】

このように、出力部5のマイナス側の電圧を第1のM O S トランジスタ $M 6$ のゲートに印加し、その一方で、出力部5のプラス側の電圧を第2のM O S トランジスタ $M 7$ のゲートに印加することで、補正電圧を基準としたラッチ動作の準備ができる。

【0030】

また、すべてのスイッチがオフである比較モードでは、入力部3の入力電圧 $V_{i n +}$ には比較する電圧が印加され、M O S トランジスタ $M 1$ のゲート電圧が変化する。同時に(1)式の関係が成立しなくなり、出力部5における出力電流の値が変化することになる。

【0031】

出力電流の変化は、第1のM O S トランジスタ $M 6$ および第2のM O S トランジスタ $M 7$ のドレイン電位および各々交差するゲート電位の変化によりもたらされた出力部5の電圧変化に基づいて生じる。ここで、電流ラッチ回路2から差動増幅回路1に出力される電流は、オフセット電圧補正された電流が流れる。

【0032】

次に、電流ラッチ回路2におけるH I G HまたはL O Wの出力について説明する。

電流ラッチ回路2は、比較モードにおける出力電圧について、たすきがけに接続されたトランジスタ $M 6$ および $M 7$ による正帰還により、入力電圧と基準電圧の電圧差を増幅させてH I G HまたはL O Wの出力を判定する。

このときのH I G HまたはL O Wの判定は、プラス側の電圧よりもマイナス側の電圧が大きい場合($V_{o u t +} < V_{o u t -}$)をH I G Hとし、プラス側の電圧をマイナス側の電

10

20

30

40

50

圧よりも大きい場合 ($V_{out+} > V_{out-}$) を LOW とする。

第3のMOSトランジスタM8のゲートに接続されたラッチクロック信号により、MOSトランジスタM6およびM7のソース端子に電圧が供給されると、増幅された電圧がHIGHまたはLOWに応じてプラス側の出力電圧 V_{out+} 、マイナス側の出力電圧 V_{out-} に現われる。

【0033】

図2は、以上で説明した本コンパレータ回路のスイッチの動作と電流ラッチ回路2の動作を示すタイムチャートである。

本タイムチャートは、上位にスイッチの動作、下位にラッチクロック信号の動作を示しており、各信号の凹凸は、立ち上がりにおいてオンを示し、立下りではオフを示す。

10

【0034】

各スイッチは、測定を開始して $1.0 \mu s$ 後にキャリブレーションモードの信号を受信すると、オフからオンに切り替える。上述のとおり、キャリブレーションモードにおいてスイッチがオンされると、キャパシタCaおよびCbにオフセット電圧が記憶される。

測定開始から $2.0 \mu s$ 後において、それぞれのキャパシタにおけるオフセット電圧の記憶が完了すると、各スイッチは、オンからオフに切り替えられ、比較モードに移行する。

その後、 $3.0 \mu s$ までの比較モードにおいては、電圧信号から電流信号へ変換が行われている。既に説明したように、 $2.5 \mu s$ 後においては、入力部3に入力電圧が印加される。電流ラッチ回路2は、比較モードが完了すると、ラッチクロック信号に基づいてHIGHまたはLOWの信号を出力する。

20

【0035】

以上の動作によって、本コンパレータ回路の動作が実行されるが、続いて、本コンパレータ回路における比較精度、すなわち、電流ラッチ回路2のLOWとHIGHの判定精度について説明をする。

本コンパレータ回路における精度の検証は、シミュレーションによって行った。シミュレーションは、入力電圧 V_{in+} にオフセット電圧として $100 [mV]$ を加え、LOWを判定する最大の入力電圧 V_{in+} の値とHIGHを判定する最小の入力電圧 V_{in+} の値を求めた。

具体的には、低電位側から電圧を上昇させて測定し、電流ラッチ回路2がLOWを判定する最大電圧を求め、また一方では、高電位側から電圧を低下させて測定し、電流ラッチ回路2がHIGHを判定する最小電圧を求めた。

30

なお、基準電圧 V_{in-} には、 $2.5 [V]$ を印加させてシミュレーションを行った。

【0036】

まず、電流ラッチ回路2によるLOWの判定について説明する。

シミュレーションによる電流ラッチ回路2のLOWを判定する最大の入力電圧は、 $2.5050 [V]$ であった。

図3は、この電圧における入力波形と出力波形の関係を示した図である。図3(a)は、入力電圧 $V_{in+} = 2.5050 [V]$ における入力電圧波形である。また図3(b)は、入力電圧 $V_{in+} = 2.5050 [V]$ における出力電圧波形である。

40

【0037】

入力部3の入力電圧 V_{in+} は、図3(a)の $2.5 \mu s$ において、 $2.5000 [V]$ から $2.5050 [V]$ に増加している。この電圧の増加は、 $2.0 \mu s$ において、入力部3の入力電圧 V_{in+} に比較電圧が印加されたことを示している。

また、図3(b)では、 $2.0 \mu s$ 以前において、プラス側とマイナス側の出力電圧には、差が生じている。この電圧差がオフセット電圧であり、プラス側とマイナス側の電圧をそれぞれキャパシタCaおよびCbに記憶される。

さらに、ラッチクロック信号が発生した $3.0 \mu s$ 以降では、プラス側の出力電圧は、マイナス側の出力電力よりも大きく、その差は、約 $1.3 [V]$ である。

入力部3の入力電圧 V_{in+} と基準電圧入力部4の基準電圧 V_{in-} の差は、 $5.0 [m$

50

V]であったが、出力部5におけるプラス側とマイナス側の出力電圧の差は、1.3000[V]であるため、電流ラッチ回路2の正帰還により電圧が増幅されて出力されていることがわかる。

【0038】

続いて、電流ラッチ回路2がHIGHを判定する最小の入力電圧は、2.5095[V]であった。

図4は、この電圧における入力波形と出力波形の関係を示した図である。図4(a)は、入力電圧 $V_{in+} = 2.5095[V]$ における入力電圧波形である。また図4(b)は、入力電圧 $V_{in+} = 2.5095[V]$ における出力電圧波形である。

【0039】

低電位側の測定と同様の理由により、図4(a)では、 $2.5\mu s$ 以降において、入力電圧 V_{in+} は、 $2.5000[V]$ から $2.5095[V]$ に増加している。

さらに図4(b)では、入力時には $9.5[mV]$ の差であったが、出力時には、 $3.5000[V]$ に増幅されて出力されている。

また、低電位側とは異なり、出力部5における電圧は、プラス側の出力 V_{out+} よりもマイナス側の出力 V_{out-} を大きくして出力されている。

【0040】

続いて、電流ラッチ回路2がLOWを判定した最大の電圧とHIGHを判定した最小電圧における出力電流について説明する。

図5(a)は、入力電圧 $V_{in+} = 2.5050[V]$ における出力電流波形である。図5(b)は、入力電圧 $V_{in+} = 2.5095[V]$ における出力電流波形である。

【0041】

図5(a)、(b)ともに $3.0\mu s$ の時点でラッチクロック信号を受信している。それ以前では、オフセット電流の差 $I_{out+} - I_{out-}$ が0であることが確認できる。

ラッチクロック信号受信後は、低電位側の測定においてはプラス側の出力電流 I_{out+} に電流が流れ、高電位側の測定においてはマイナス側の出力電流 I_{out-} に電流が流れていることが確認できる。

【0042】

図3および図4の結果より、本コンパレータ回路は、入力電圧が $2.5050[V]$ 以下ではLOWを出力し、入力電圧が $2.5095[V]$ 以上ではHIGHを出力する。したがって、その判定範囲を表すと次式になる。

$$V_{in+} < 2.5050, 2.5095 < V_{in+}$$

本コンパレータは、 $2.5095[V]$ から $2.5050[V]$ における範囲についてはHIGHまたはLOWの判定をすることができない。この $4.5[mV]$ の範囲については、入力電圧と基準電圧の差が小さい値であるため、有限の利得では、これを増幅して判定することができない。

【0043】

このように、本コンパレータ回路は、与えたオフセット電圧 $100[mV]$ に対して、判定不能範囲が $4.5[mV]$ である。したがって、コンパレータに用いるMOSトランジスタの閾値電圧が大きく異なる場合においても、比較精度の向上を図ることができる。

【図面の簡単な説明】

【0044】

【図1】本コンパレータ回路の構成を示す回路図である。

【図2】本コンパレータ回路のスイッチの動作とラッチの動作を示すタイムチャートである。

【図3】図3(a)は、入力電圧 $V_{in+} = 2.5050[V]$ における入力電圧波形である。図3(b)は、入力電圧 $V_{in+} = 2.5050[V]$ における出力電圧波形である。

【図4】図4(a)は、入力電圧 $V_{in+} = 2.5095[V]$ における入力電圧波形である。図4(b)は、入力電圧 $V_{in+} = 2.5095[V]$ における出力電圧波形である。

【図5】図5(a)は、入力電圧 $V_{in+} = 2.5050[V]$ における出力電流波形であ

10

20

30

40

50

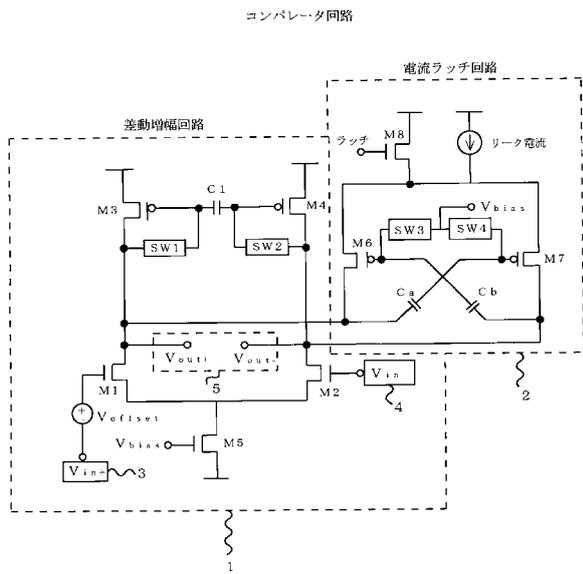
る。図 5 (b) は、入力電圧 $V_{in+} = 2.5095 [V]$ における出力電流波形である。

【符号の説明】

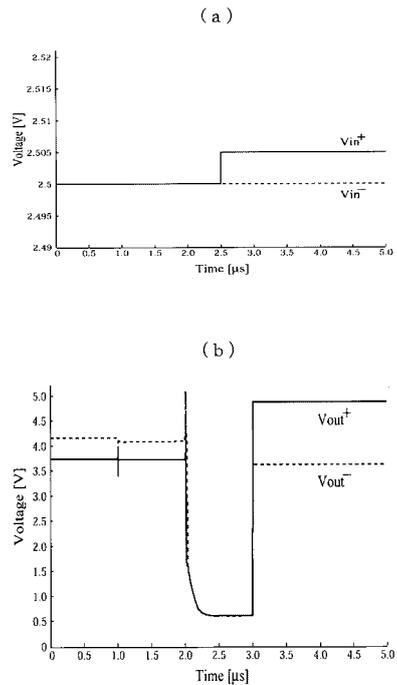
【0045】

1・・・差動増幅回路、2・・・電流ラッチ回路、3・・・入力部、4・・・基準電圧
入力部、5・・・出力部、M1～M5・・・MOSトランジスタ、M6・・・第1のトランジスタ、M7・・・第2のトランジスタ、M8・・・第3のトランジスタ、C1・・・
キャパシタ、Ca・・・第1のキャパシタ、Cb・・・第2のキャパシタ、SW1～SW4
4・・・スイッチ

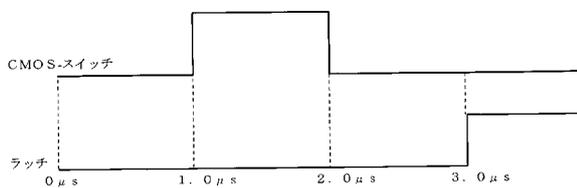
【図1】



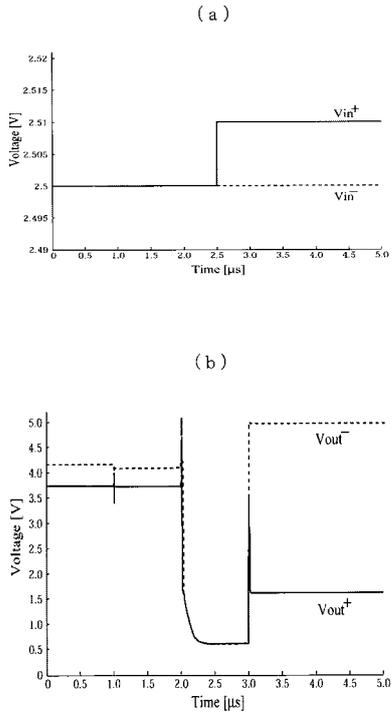
【図3】



【図2】



【 図 4 】



【 図 5 】

