

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5309027号
(P5309027)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int.Cl. F I
H03F 1/02 (2006.01) H03F 1/02

請求項の数 17 (全 10 頁)

(21) 出願番号	特願2009-522829 (P2009-522829)	(73) 特許権者	501144003
(86) (22) 出願日	平成19年7月31日(2007.7.31)		アナログ・デバイス・インコーポレーテッド
(65) 公表番号	特表2009-545915 (P2009-545915A)		アメリカ合衆国マサチューセッツ州ノーウッド、ワン・テクノロジー・ウェイ (番地なし)
(43) 公表日	平成21年12月24日(2009.12.24)		
(86) 国際出願番号	PCT/US2007/017058	(74) 代理人	100102842
(87) 国際公開番号	W02008/019009		弁理士 葛和 清司
(87) 国際公開日	平成20年2月14日(2008.2.14)	(72) 発明者	シンガー, ローレンス, エー.
審査請求日	平成22年5月20日(2010.5.20)		アメリカ合衆国 マサチューセッツ州 O1803、バーリントン、パール ストリート 114
(31) 優先権主張番号	11/498, 994		
(32) 優先日	平成18年8月4日(2006.8.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 積層バッファ

(57) 【特許請求の範囲】

【請求項 1】

第1の信号源に結合された第1の入力と、第1の負荷に結合された第1の出力とを有する、第1のバッファであって、第1の信号源の出力信号を実質的にトラッキングする出力信号を提供するように構成されており、第1の端子、第2の端子および第3の端子を含む少なくとも一つの第1のトランジスタを含む前記第1のバッファと；

第2の信号源に結合された第2の入力と、前記第1の負荷と異なる第2の負荷に結合された第2の出力とを有する、第2のバッファであって、第2の信号源の出力信号を実質的にトラッキングする出力信号を提供するように構成されており、第1の端子、第2の端子および第3の端子を含む少なくとも一つの第2のトランジスタを含む前記第2のバッファと；および

第1の出力と第2の出力の間に零入力電流の値を決定する電流バイアス要素として接続された能動電流源とを含み、

第1のバッファおよび第2のバッファは積層バッファであり、第1のバッファと第2のバッファとは、少なくとも一つの第1のトランジスタの第2の端子から第3の端子へと流れる零入力電流が、少なくとも一つの第2のトランジスタの第2の端子から第3の端子へと流れるものでもあるように構成され、

能動電流源を通る電流は、第1のバッファの出力電圧からも、第2のバッファの出力電圧からも独立である、回路。

【請求項 2】

10

20

第1および第2の積層バッファの少なくとも一方が、ソースフォロワを含む、請求項1に記載の回路。

【請求項3】

第1および第2のバッファのそれぞれが、ソースフォロワを含む、請求項2に記載の回路。

【請求項4】

電流バイアス要素が、零入力電流がそれを通過して流れるように構成かつ配設された相互コンダクタンス要素を含む、請求項1～3のいずれか一項に記載の回路。

【請求項5】

相互インダクタンス要素が、電流調整トランジスタを含み、該電流調整トランジスタは、零入力電流がその電流電極の間を流れるように配設されている、請求項3に記載の回路。

10

【請求項6】

電流バイアス要素が、ダイオード装置と電流源とをさらに含み、該電流源は、前記ダイオード装置の陽極と電流調整トランジスタの制御電極の両方に結合されてそれらに入力電流を供給し、ダイオード装置の陰極に結合された出力と、第2のバッファの入力に結合された入力とを有する、ダミーバッファをさらに含み、請求項1～4のいずれか一項に記載の回路。

【請求項7】

第1および第2の負荷が、少なくとも1つのスイッチドキャパシタ回路への入力を含み、該スイッチドキャパシタ回路は、スイッチのクロック同期動作によって、それぞれのキャパシタが第1および第2のバッファの第1および第2の出力に選択的に接続されるように構成かつ配設されている、請求項1～6のいずれか一項に記載の回路。

20

【請求項8】

第1および第2の信号源の出力を独立に調節するように構成かつ配設された制御回路をさらに含み、請求項1～7のいずれか一項に記載の回路。

【請求項9】

第1および第2の信号源が、第1および第2の入力にDC信号を供給するように構成されている、請求項1～8のいずれか一項に記載の回路。

【請求項10】

第1および第2の信号源が、第1および第2の入力に、時間の関数として変化する信号を供給するように構成されている、請求項1～8のいずれか一項に記載の回路。

30

【請求項11】

第1の端子、第2の端子および第3の端子を含む少なくとも一つの第1のトランジスタを含む第1のバッファと、第1の端子、第2の端子および第3の端子を含む少なくとも一つの第2のトランジスタを含む第2のバッファとを含む回路の動作方法であって、

(a) 第1および第2のバッファをバイアスするために能動電流源を使用するステップ、
ここにおいて能動電流源は第1のバッファと第2のバッファとの間に接続されており、第1のバッファを通過して流れる電流は、実質的に第2のバッファを通過して流れる電流と同じであって、能動電流源を通過して流れる電流とも同じであり、

40

能動電流源を通過して流れる電流は、第1のバッファの出力電圧からも、第2のバッファの出力電圧からも独立であり、

(b) それぞれの入力信号を、第1のバッファおよび第2のバッファの入力信号として受け取るステップ、および

(c) バッファリングされた出力信号を、第1および第2のバッファの出力から、それぞれのバッファに対応する、能動的電流バイアス要素から独立したそれぞれの負荷に供給するステップであって、バッファリングされた出力信号はそれぞれの入力信号を実質的にトラックする信号である前記ステップ

を含む、前記方法。

【請求項12】

50

第1および第2のバッファの少なくとも一方が、ソースフォロワを含む、請求項11に記載の方法。

【請求項13】

第1および第2のバッファのそれぞれが、ソースフォロワを含む、請求項12に記載の方法。

【請求項14】

ステップ(a)が、第1および第2のバッファの少なくとも一方に結合された電流調整トランジスタを用いて、零入力電流が、前記電流調整トランジスタの電流電極の間を流れるように、前記零入力電流を調整することを含む、請求項11~13のいずれか一項に記載の方法。

10

【請求項15】

ステップ(a)が、零入力電流が電流源によって生成される電流を実質的に鏡像反映するように、電流調整トランジスタに前記零入力電流を調整させるステップをさらに含む、請求項14に記載の方法。

【請求項16】

第1および第2のバッファの出力からのバッファリングされた出力信号を、少なくとも1つのスイッチドキャパシタ回路の入力に供給するステップであって、前記少なくとも1つのスイッチドキャパシタ回路は、クロック同期されたスイッチの動作によって、それぞれのキャパシタが第1および第2のバッファの出力に選択的に接続されるように構成かつ配設される、前記ステップをさらに含む、請求項11~15のいずれか一項に記載の方法。

20

【請求項17】

第1の信号源に結合された第1の入力と、第1の負荷に結合された第1の出力とを有する、第1のバッファであって、第1の信号源の出力信号を実質的にトラッキングする出力信号を提供するように構成されており、第1の端子、第2の端子および第3の端子を含む少なくとも一つの第1のトランジスタを含む前記第1のバッファと；

第2の信号源に結合された第2の入力と、前記第1の負荷と異なる第2の負荷に結合された第2の出力とを有する、第2のバッファであって、第2の信号源の出力信号を実質的にトラッキングする出力信号を提供するように構成されており、第1の端子、第2の端子および第3の端子を含む少なくとも一つの第2のトランジスタを含む前記第2のバッファと；および

30

能動手段であって、該能動手段は第1の負荷とも第2の負荷とも異なるものであり、前記第1のバッファおよび前記第2のバッファの両方を通過して流れて、それにバイアスを与える零入力電流の値を決定するためのものであり、零入力電流は、少なくとも一つの第1のトランジスタの第2の端子から第3の端子へと流れ、かつ、少なくとも一つの第2のトランジスタの第2の端子から第3の端子へと流れるように構成された前記能動手段とを含む回路であって、

能動手段は、第1の出力と第2の出力の間に零入力電流の値を決定する電流バイアス要素として接続された能動電流源であり、能動電流源は、第1のバッファの出力電圧からも、第2のバッファの出力電圧からも独立である、前記回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層バッファ (stacked buffers) の回路および方法に関する。

【背景技術】

【0002】

ソースフォロワ (source follower) およびエミッタフォロワ (emitter follower) は、よく知られているバッファトポロジである。p型金属酸化膜半導体 (PMOS) ソースフォロワおよびn型金属酸化膜半導体 (NMOS) ソースフォロワが、図1Aおよび図1Bにそれぞれ示されている。いずれの場合にも、電流源102を使用して、入力ノード

50

108と出力ノード110の間に結合されたトランジスタ104、106に対するバイアス電流が生成される。当該技術においてよく理解されているように、トランジスタ104、106に適正にバイアスがかけられていると、それぞれのトランジスタは、実質的に一定のゲート・ソース間電圧を維持するように、そのドレインとソースの間の電流を調整する。すなわち、図1Aの例において、出力ノード110における電圧 V_{OUT} は、出力ノード110に接続された負荷のインピーダンスに何らかの変化があるにもかかわらず、入力ノード108における電圧 V_{IN} より下で、実質的に一定のゲート・ソース間電圧降下(V_{GS})に維持される。同様に、図1Bの例において、出力ノード110における電圧 V_{OUT} は、出力ノードに接続された負荷のインピーダンスに何らかの変化があるにもかかわらず、入力ノード108における電圧 V_{IN} より上で、実質的に一定のゲート・ソース間電圧降下(V_{GS})に維持される。さらに複雑な多くのバッファトポロジが確かに存在するが、これらのフォロワは、最も簡潔なものであり、また電力効率とノイズ効率の最も高いものの内に含まれる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許第5323158号

【特許文献2】米国特許第5479130号

【特許文献3】米国特許第6040793号

【発明の概要】

20

【発明が解決しようとする課題】

【0004】

本発明の一観点によれば、回路は、第1および第2のバッファを含み、第1のバッファ中を流れてそれにバイアスをかける零入力電流(quiescent current)が、第2のバッファ中を流れてそれにバイアスをかけるように構成かつ配設されている。

別の観点によれば、方法は、第1のバッファ中を流れてそれにバイアスをかける零入力電流を、第2のバッファ中にも流れてそれにバイアスをかけるようにさせることを含む。

別の観点によれば、回路は、第1および第2のバッファと、第1および第2のバッファの両方中を流れてそれらにバイアスをかける零入力電流の値を決定する手段とを含む。

【0005】

30

複数バッファを必要とする多くの用途がある。我々は、2つ以上のバッファを高電圧源(high supply)と低電圧源(low supply)の間に積層することによって、電力の点で、利点が得られることを認識した。それぞれの異なるバッファに対して個別のバイアス電流を必要とするのではなく、積層体内のバッファのすべてにバイアスをかけるのに同一の零入力電流を使用することによって、回路によって消費される合計電力を大幅に低減することができる。

【課題を解決するための手段】

【0006】

本明細書に示す実施例は、相補型金属酸化膜半導体(CMOS)トポロジにおける積層ソースフォロワのものであるが、その他様々なトポロジを使用する多数の異なるタイプのバッファの任意のものを代替的に使用できること、および本発明は説明した特定のタイプのバッファに限定されないことを理解すべきである。例えば、以下の回路、またはそのある部分を、バイポーラトポロジにおけるエミッタフォロワとして追加的または代替的に実装してもよい。

40

【図面の簡単な説明】

【0007】

【図1A】図1Aは、従来技術型NMOSソースフォロワ回路の概略図である。

【図1B】図1Bは、従来技術型PMOSソースフォロワ回路の概略図である。

【図2】図2は、本発明のある観点を具現化する積層バッファの一実施例の部分概略、部分構成図である。

50

【図3】図3は、図2に示された回路の説明用の一態様を示す概略図である。

【図4】図4は、図2に示された回路の説明用の別の態様を示す概略図である。

【図5】図5は、本発明のある観点を具現化する積層バッファの別の実施例の構成図である。

【発明を実施するための形態】

【0008】

図2は、本発明のある観点を具現化する積層バッファ回路の実施例の部分概略、部分ブロック図である。図のように、この回路は、高電圧源ノード202（例えば、 V_{DD} ）と低電圧源ノード204（例えば、 GND ）との間に積層された、NMOSトランジスタM1およびPMOSトランジスタM2を含む。この実施例において、NMOS、PMOSトランジスタM1、M2のソース間には、電流バイアス要素206が接続されており、この電流バイアス要素206は、2つのトランジスタM1、M2中を流れる零入力電流を決定する働きをする。以下により詳細に説明するように、電流バイアス要素206は、多数の形態の内の任意の形態をとることができるとともに、バッファに対する多数の場所の内の任意の場所に配置することが可能であり、本発明は、この目的に対する、いかなる特定のタイプの装置または回路の使用にも限定されるものではない。重要なことは、電流バイアス要素が、バッファトランジスタM1、M2中、およびその間を流れる零入力電流を、手近の応用に好適な精度レベルで決定することができることである。態様によっては、回路の負荷（図2には示さず）の一つが、バッファのための電流バイアス要素としての役割を果たすこともできる。好適な電流バイアス要素のいくつかの実施例を以下で考察するが、本発明は、記述される特定の電流バイアス回路および技法の使用に限定されないことを理解すべきである。

【0009】

図2の回路における、それぞれのソースフォロワ・バッファは、図1Aおよび1Bに関して上述した従来技術型の個々のソースフォロワ・バッファと同様に動作してもよい。特に、トランジスタM1は、そのドレインとソースの間の電流を制御して、第1の出力ノード210に接続された負荷のインピーダンスにおける何らかの変化があるにもかかわらず、（NMOSトランジスタM1のソースに接続された）第1の出力ノード210における電圧 V_{OUT1} が、（NMOSトランジスタM1のゲートに接続された）第1の入力ノード208における電圧 V_{IN1} より下で、実質的に一定のゲート・ソース間電圧降下（ V_{GS} ）となるように維持してもよい。同様に、トランジスタM2は、そのドレインとソースの間の電流を調整して、（PMOSトランジスタM2のソース接続された）第2の出力ノード214における電圧 V_{OUT2} が、第2の出力ノード214に接続された負荷のインピーダンスにおける何らかの変化にもかかわらず、（PMOSトランジスタM2のゲートに接続された）第2の入力ノード212における電圧 V_{IN2} より上で、実質的に一定のゲート・ソース間電圧降下（ V_{GS} ）に維持してもよい。

【0010】

図3は、図2に示すものと同様の積層バッファの実施態様の概略図であり、ここで、電流バイアス要素206は、NMOS、PMOSトランジスタM1、M2のソース間に抵抗 R_{BIAS} を導入する、抵抗器302を含む。第1および第2の出力ノード210、214における電圧が既知であれば、抵抗 R_{BIAS} は、以下に式(1)で示す、零入力電流 I_{BIAS} を決定するように選択することができる。

【数1】

$$I_{BIAS} = \frac{(V_{OUT1} - V_{OUT2})}{R_{BIAS}} \quad (1)$$

【0011】

図3の態様において使用された、抵抗器式電流バイアス付与技法（resistor-based current biasing technique）は、用途によっては機能するが、出力ノード210、214に

おける電圧 V_{OUT1} 、 V_{OUT2} が、動作中に大きく変化することが予期される環境においては、最良の選択肢ではないことがある。この理由は、零入力電流 I_{BIAS} は、出力ノード 210、214 における電圧 V_{OUT1} 、 V_{OUT2} が変化すると、大きく変動する可能性があり、抵抗器 302 はまた、2つの出力ノード 210、214 間のクロストークの経路を導入する可能性があるためである。

【0012】

図4は、図2に示されたものと同様の積層バッファ回路の別の実施態様の概略図であり、ここで、電流バイアス要素206は、より複雑で、かつより頑強である。図示のように、この実施例では、電流バイアス要素206は、電流源402、一对のNMOSトランジスタM3、M4、およびPMOSトランジスタM5を含む。NMOSトランジスタM3のドレインおよびソースは、それぞれ、NMOSトランジスタM1のソースと、PMOSトランジスタM2のソースとに接続されている。NMOSトランジスタM4は、ダイオード接続されており、そのゲート/ドレイン(陽極端子)がNMOSトランジスタM3のゲートに接続されており、そのソース(陰極端子)がPMOSトランジスタM5のソースに接続されている。PMOSトランジスタM5のゲートおよびドレインは、PMOSトランジスタM2とまったく同様に、それぞれ、入力ノード212と低電圧源ノード204とに接続されている。電流 I_{BIAS} を生成する電流源402は、高電圧ノード202とダイオード接続されたNMOSトランジスタM4の陽極端子との間に接続されている。

10

【0013】

動作に際して、NMOSトランジスタM3は、ソースフォロワ装置M1、M2に対して、フローティング電流源として作用する。NMOSトランジスタM3、M4は、トランジスタM1、M2、M3における零入力電流が、NMOSトランジスタM3、M4の大きさの比に応じてスケールされる、電流源402からの入力電流 I_{BIAS} に実質的に等しくなるように、擬似電流ミラー(pseudo current mirror)を形成する。PMOSトランジスタM5は、PMOSトランジスタM2に対して適正にスケールされて、それらのソースにおける電圧が同一となるようにされる。

20

【0014】

態様によっては、電流バイアス要素206に、電圧制御または電流制御された抵抗を有するように構成された1つまたは2つ以上の装置、例えばそのトライオード領域で動作する装置などを、追加的または代替的に含めてもよい。そのような態様においては、そのような要素によって導入された抵抗 R_{BIAS} は、所望の動作パラメータに基づいて、選択的に調節してもよい。追加的または代替的に、電流バイアス要素206の1つまたは2つ以上の構成要素を、周期的なスイッチ制御信号によって選択的に起動して、すなわちスイッチを入れて、例えば、制御してもよい。

30

【0015】

本明細書において記述される様々な回路の入力ノード208、212は、多数の種類(図示せず)のいずれに結合してもよく、本発明は、いかなる特定の種類の信号源との使用にも限定されるものではない。態様によっては、例えば、回路を参照バッファとして使用する場合には、入力ノード208、212は、1つまたは2つ以上の直流(DC)信号源に結合してもよい。その他の態様においては、入力ノード208、212の1つまたは2つ以上を、時間の関数として変化する信号を生成する信号源に結合してもよい。態様によっては、制御回路(図2~4に図示せず)は、1つまたは2つ以上の信号源に結合するとともに、入力ノード208、212に供給される信号を独立に調節するように、そのような信号源を制御するように、構成かつ配設してもよい。

40

【0016】

本明細書において考察する様々な回路の出力ノード210、214は、多数の種類(図示せず)の任意のものに結合して、それを駆動するのに使用してもよく、本発明は、いかなる特定の種類の負荷での使用にも限定されるものではない。態様によっては、回路は、例えば、参照バッファとして動作して、出力ノード210、214がそれに接続されている負荷を、1つまたは2つ以上のスイッチドキャパシタ回路(図示せず)の入力として、このスイ

50

ツチドキャパシタ回路は、クロック同期されたスイッチの動作によって、出力ノード 210、214 からそれぞれのキャパシタへ、またはその逆に、電荷が選択的に転送されるように構成かつ配設してもよい。この種のスイッチドキャパシタ回路の例は、例えば、参照により本明細書に組み入れてある、特許文献 1 ~ 3 に記載されている。

【0017】

上記のように、本発明のある態様を実施するために、上述のような特定の種類のバッファや電流バイアス要素を使用することは必要ではない。相補型バッファ（例えば、NMOSソースフォロワとPMOSソースフォロワ）の間に電流バイアス要素 206 を配置することは、同一のバイアス電流を共有するように 2 つ以上のバッファを積層できるようにする一方法であるが、その他多数の実装方法も可能である。ここで、図 5 を参照して、いくつかの可能な代替実装形態について説明する。

10

【0018】

図 5 に示すように、態様によっては、回路に、バッファの 1 つ 502 を通過して流れてそれにバイアスをかける零入力電流 I_{BIAS} が、別のバッファ 504 中を流れてそれにバイアスをかけるように、高電圧源ノード 202（例えば、 V_{DD} ）と低電圧源ノード 204（例えば、 GND ）との間に積層される、2 つ以上のバッファ 502、504（これは任意好適な種類または構成のものでよい）を含めてもよい。図示した例においては、2 つのバッファだけを示しているが、2 つのバッファ 502、504 と共に、任意の数の追加のバッファを、高電圧源ノード 202 と低電圧源ノード 204 の間に積層してもよいことを理解すべきである。

20

【0019】

2 つ以上のバッファ 502、504 によって共有される電流 I_{BIAS} は、多数の方法の内の任意の方法で設定することが可能であり、本発明は、それを行うためのいかなる特定の回路または技法にも限定されるものではない。上述の例と関係して考察するように、そのような結果を得る一つの方法は、バッファの間、例えば、図 5 における場所 506 に電流バイアス要素 206 を導入することである。そのような方法でバイアス電流 I_{BIAS} を生成することは、例えば、上述した図 2 ~ 4 の例における場合のように、2 つ以上の相補型トランジスタがバッファ 502、504 として使用されている場合に意味があるといえる。他の態様においては、好適な電流バイアス要素 206 を、例えば、場所 508、510 のいずれか、または両方に追加的または代替的に配置してもよい。例えば、バッファ 502、504 の両方が NMOS ソースフォロワである場合には、電流バイアス要素 206 を場所 510 に配置して、場所 506、508 にいかなる構成要素も配置しないことにも意味がある。同様に、バッファ 502、504 の両方が PMOS ソースフォロワである場合には、電流バイアス要素 206 を場所 508 に配置して、場所 506、510 にはいかなる構成要素も配置しないことにも意味がある。

30

【0020】

態様によっては、さらに、好適な電流バイアス要素を、場所 506、508、510 の 2 つ以上またはおそらく全部に配置してもよい。その他の態様においては、回路は、いかなる電流バイアス要素を使用することなく、その代わりにバッファ 502、504 によって駆動される負荷 516、518 の 1 つまたは 2 つ以上に依存して、バイアス電流 I_{BIAS} のレベルを設定してもよい。図 5 における場所 506、508、510 における省略符号は、したがって、1 つまたは 2 つ以上の電流バイアス要素 206、追加のバッファ、その他の回路要素、あるいはおそらく図示した回路ノード間の単なる直接接続、の可能な位置を示すことを意図している。電流バイアス要素または使用されるその他の構成要素の、特定の数、種類および場所は、使用されるバッファの特定の種類、およびそのようなバッファが使用される特定の環境に応じて選択することができる。

40

【0021】

上述の観点に加えて、図 5 は、異なる信号源 512、514 を使用して、バッファ 502、504 のそれぞれを駆動する方法、およびそれらのバッファ 502、504 によって異なる負荷 516、518 を駆動する方法を示している。上記のように、態様によっては

50

、例えば、バッファ502、504の1つまたは2つ以上を参照バッファとして使用する場合には、信号源512、514の1つまたは2つ以上に、直流(DC)信号源を含めてもよい。その他の態様においては、信号源512、514の1つまたは2つ以上を、時間の関数として変化する信号を生成するように構成してもよい。やはり上述したように、制御回路520は、さらに、信号源512、514の1つまたは2つ以上に結合してもよく、またそのような信号源を制御してバッファ502、504の入力に供給される信号を独立して調節するように、構成かつ配設してもよい。

【0022】

態様によっては、バッファ502、504の1つまたは2つ以上からの出力を、制御回路520にフィードバックして、制御回路520に信号源512、514を制御させて、バッファ502、504の1つまたは2つ以上が、より正確に参照信号を追跡するようにしてもよい。例えば、信号源512の一方または両方に、差分入力とシングルエンド出力を有する、演算増幅器(図示せず)の出力を含めてもよく、制御回路520には演算増幅器自体を含めてもよい。バッファ502、504の出力を、そのような演算増幅器の反転入力にフィードバックするとともに、参照電圧を増幅器の非反転入力に供給することによって、増幅器は、バッファの出力の電圧が、参照電圧と厳密に一致するようにバッファの入力に供給される信号を制御することになる。バッファ502、504の入力と出力の間に固有の電圧差がある態様においては、例えばバッファ502、504が、(例えば、図2~4の態様におけるように)特定のゲート・ソース間電圧降下を有するソースフォロワを含む場合には、そのような実装形態によって、演算増幅器の非反転入力に供給される参照電圧を、負荷に対してそのような電圧差を導入することなく、バッファリングすることが可能となる。

【0023】

上記で考察した他の例と同様に、図5に示された負荷516、518には、ある数の装置または回路の任意のものを含めてもよく、本発明は、いかなる特定の種類の負荷での使用にも限定されるものではない。態様によっては、バッファ502、504は、例えば、参照バッファとして動作させてもよく、またバッファ502、504によって駆動される負荷516、518には、1つまたは2つ以上のスイッチドキャパシタ回路(図示せず)を含め、これらのスイッチドキャパシタ回路を、クロックで同期されたスイッチの動作によって電荷がバッファ502、504の出力からそれぞれのキャパシタへ、またはその逆に選択的に転送されるように構成かつ配設してもよい。この種のスイッチドキャパシタ回路の例は、例えば、参照によりその全内容を本明細書に組み入れてある、特許文献1~3に記載されている。

【0024】

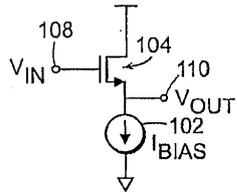
本発明のいくつかの態様を詳細に述べたが、当業者は様々な改変および改良を容易に思いつくであろう。そのような改変および改良は、本発明の趣旨の範囲に含めることを意図するものである。したがって、前記の説明は、例としてだけのものであり、限定をするものではない。本発明は、以下の請求項とその均等物によって定義する内容だけによって限定される。

10

20

30

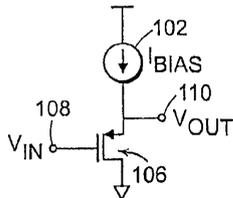
【図1A】



(従来技術)

図 1A

【図1B】



(従来技術)

図 1B

【図2】

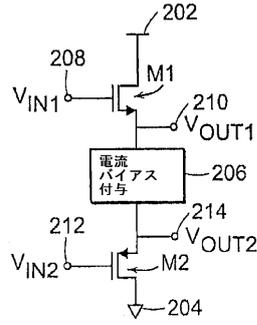


図 2

【図3】

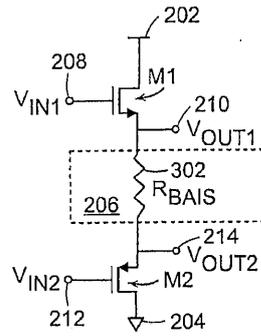


図 3

【図4】

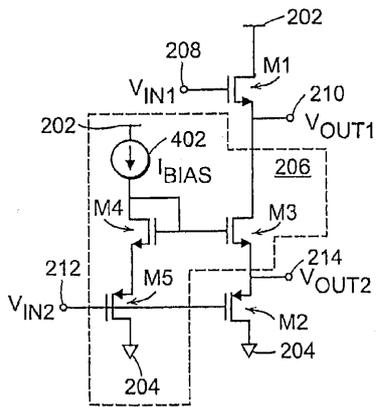


図 4

【図5】

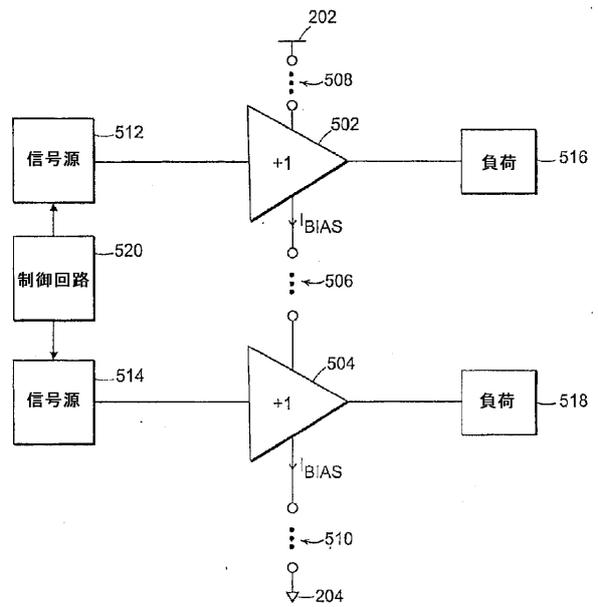


図 5

フロントページの続き

(72)発明者 カブスタ, ロナルド, エー .
アメリカ合衆国 マサチューセッツ州 02453、ウォルサム、スクール アベニュー 61 -
1

審査官 高橋 義昭

(56)参考文献 特開昭58-209211(JP, A)
特開2002-064337(JP, A)
特開平03-289802(JP, A)
特開2004-004241(JP, A)
特開平05-037245(JP, A)
特開平08-097641(JP, A)
特開2006-066984(JP, A)

(58)調査した分野(Int.Cl., DB名)
H03F 1/02 3/34 3/50